

## MASTER

### Een modulator gerealiseerd in NMOS-technologie ten behoeve van een BPSK-demodulator

Butselaar, S.G.E.

*Award date:*  
1988

[Link to publication](#)

#### **Disclaimer**

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

#### **General rights**

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

#### **Take down policy**

If you believe that this document breaches copyright please contact us providing details, and we will remove access to the work immediately and investigate your claim.

TECHNISCHE UNIVERSITEIT EINDHOVEN  
Faculteit der Electrotechniek  
Vakgroep Electronische Schakelingen

EEN MODULATOR GEREALISEERD IN  
NMOS-TECHNOLOGIE TEN BEHOEVE  
VAN EEN BPSK-DEMULATOR

door

S.G.E. Butselaar

Verslag van een electrotechnisch afstudeerproject  
uitgevoerd aan de Technische Universiteit Eindhoven  
gedurende de periode van januari 1987 t/m januari 1988  
onder leiding van Prof. dr. ir. W.M.G. v. Bokhoven.

DE FACULTEIT DER ELECTROTECHNIEK VAN DE TECHNISCHE UNIVERSITEIT  
EINDHOVEN AANVAARDT GEEN VERANTWOORDELIJKHEID VOOR DE INHOUD VAN  
DIT AFSTUDEERVERSLAG

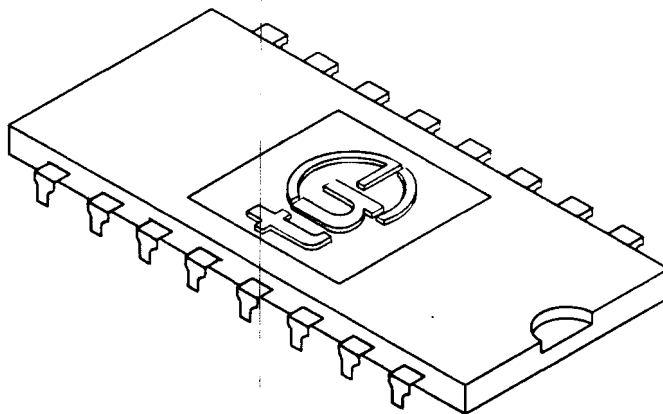
## VOORWOORD.

In dit voorwoord wil ik niet onvermeld laten dat ik mijn afstudeerwerk met veel plezier bij de vakgroep elektronische schakelingen van de TU-Eindhoven heb uitgevoerd. Ik wil dan ook langs deze weg alle medewerkers van de vakgroep hartelijk danken voor de prettige samenwerking, met name ir. J.H. v.d. Boorn, ir. J.A.W. Faatz en ir. G.G. Persoon die mij meer dan eens met hun raadgevingen hebben bijgestaan.

Aan mijn eerste en laatste studiejaar aan de TU heb ik veruit de prettigste herinneringen en omdat ik meer dan 8 jaar als student aan de TU ingeschreven heb gestaan heb ik heel wat vergelijkingsmateriaal...

Ook gaat mijn dank uit naar mevr. G.M.J. Sevens. Zonder haar aanmoediging had ik deze studie nooit tot een goed einde gebracht.

Eindhoven januari 1988.



Voor B'tje.....

**SAMENVATTING.**

In dit verslag wordt de realisatie van een tweetal bpsk-modulatoren in NMOS-technologie besproken die ontworpen zijn ten behoeve van een 70MHz bpsk-demodulator. Van deze modulatoren is er één volgens een nieuwe benaderingswijze ontworpen, de andere is eigenlijk niets anders dan een synchrone detector.

Omdat de synchrone detector blijkens een aantal PSPICE simulaties superieur is aan de andere modulator is alleen van de synchrone detector een layout gerealiseerd. De versterking van de synchrone detector is -4.9dB, de bandbreedte is 17MHz en de dissipatie is 2.6mW. Bij gebruik als bpsk-modulator is de onderdrukking van stoorsignalen groter dan 45dB bij een amplitude van 1.0V. De synchrone detector wordt binnenkort als IC uitgevoerd.

Verder worden de invloeden van de niet-idealiteiten van een modulator op de werking van de bpsk-modulator behandeld.

INHOUDSOPGAVE.

	blz.
1. INLEIDING.....	5
2. BESCHRIJVING VAN DE BPSK-DEMULATOR	
2.1. Het oorspronkelijke ontwerp.....	6
2.2. Toegepaste modificaties.....	8
3. NMOS-TRANSISTOREN.....	11
4. DE MODULATOR	
4.1. Inleiding.....	13
4.2. De inverter.....	13
4.3. De schakeltrap.....	16
4.4. Het ingangscircuit.....	18
4.5. PSPICE simulaties.....	19
5. DE SYNCHRONE DETECTOR	
5.1. De werking van de synchrone detector.....	24
5.2. PSPICE simulaties.....	26
6. NIET-IDEALITEITEN VAN DE MODULATOREN EN HUN INVLOED	
6.1. Inleiding.....	29
6.2. De demodulator voor het I/D-filter	
6.2.1. De invloed van de (verschillende) tijdvertragingen.....	29
6.2.2. De invloed van de verschillende versterkingsfactoren.....	36
6.2.3. De invloed van de schakelpulsen.....	36
6.2.4. De invloed van de offsetspanningen.....	37
6.3. De remodulator in de PLL	
6.3.1. De invloed van de (verschillende) tijdvertragingen.....	38
6.3.2. De invloed van de verschillende versterkingsfactoren.....	40
6.3.3. De invloed van de schakelpulsen.....	40
6.3.4. De invloed van de offsetspanningen.....	41
6.4. Vergelijking van de beide modulatoren.....	42
7. CONCLUSIES.....	44
LITERATUURLIJST.....	45
BIJLAGEN	
Bijlage 1, de PSPICE parameters.....	47
Bijlage 2, de signaaloverdrachten.....	48
Bijlage 3.....	51
Bijlage 4, voorbeeld invoerfile PSPICE, schema's.....	52
Bijlage 5, de layout van de synchrone detector.....	57

## 1. INLEIDING.

Bij de realisatie van geïntegreerde elektronische schakelingen wordt tegenwoordig veelvuldig gebruik gemaakt van MOS-transistoren. Het voordeel van het gebruik van MOS-transistoren ten opzichte van bipolaire transistoren voor geïntegreerde schakelingen ligt vooral in de kleinere chip-oppervlakte die doorgaans nodig is om een schakeling te realiseren. Ook is het aantal processtappen tijdens de productie geringer bij het gebruik van MOS-transistoren.

Deze voordelen van MOS-transistoren ten opzichte van bipolaire transistoren komen nog beter tot uiting als slechts gebruik wordt gemaakt van één type MOS-transistoren, ófwel van N-kanaal MOS-transistoren ófwel van P-kanaal MOS-transistoren. Als nadeel van het gebruik van één type MOS-transistoren kan worden genoemd dat een reeds in bipolaire technologie gerealiseerde schakeling eerst naar de nieuwe technologie moet worden vertaald.

De TU-Eindhoven heeft middels de EFFIC (Eindhovense Fabricage Faciliteit voor IC's) de mogelijkheid om NMOS-IC's te realiseren. Bij de vakgroep elektronische schakelingen van de TUE wordt dan ook gewerkt aan de realisatie van communicatie-IC's in NMOS. Er is gekozen voor de realisatie van communicatie-IC's omdat er voor deze klasse van IC's een grote belangstelling bestaat. In 1983 maakten communicatie-IC's al 20% uit van de totale omzet van IC's [8].

Het IC dat in dit afstudeerverslag wordt behandeld is een bpsk-demodulator. In de tijd van satellietcommunicatie is het nodig om zeer zuinig met zendvermogen om te gaan en moduleren volgens het bpsk principe voldoet aan deze eis omdat de over te zenden digitale informatie is verwerkt in de fase van de gemoduleerde draaggolf.

Aangezien de bpsk-demodulator een vrij complex systeem is, is er in projectvorm aan gewerkt, dat wil zeggen dat steeds meerdere afstudeerders zich met de realisatie van dit IC (hebben) bezighouden. Daarom wordt in dit verslag ook slechts het ontwerp van een onderdeel van dit systeem, namelijk een *modulator*, behandeld.

De te realiseren geïntegreerde bpsk-demodulator is volgens een geheel nieuwe benadering ontworpen en is in discrete bouwwijze reeds gerealiseerd. Een gedetailleerde beschrijving van deze discreet opgebouwde bpsk-demodulator is te vinden in [1].

Een beknopte beschrijving van het systeem waarop deze demodulator is gebaseerd is in hoofdstuk 2 opgenomen. In dit hoofdstuk worden ook enige modificaties besproken die de verwezenlijking van de demodulator in geïntegreerde vorm moeten vergemakkelijken. De essentie van het oorspronkelijke systeem wordt overigens niet aangetast.

In hoofdstuk 3 wordt dan even kort ingegaan op NMOS-transistoren en op hun eigenschappen.

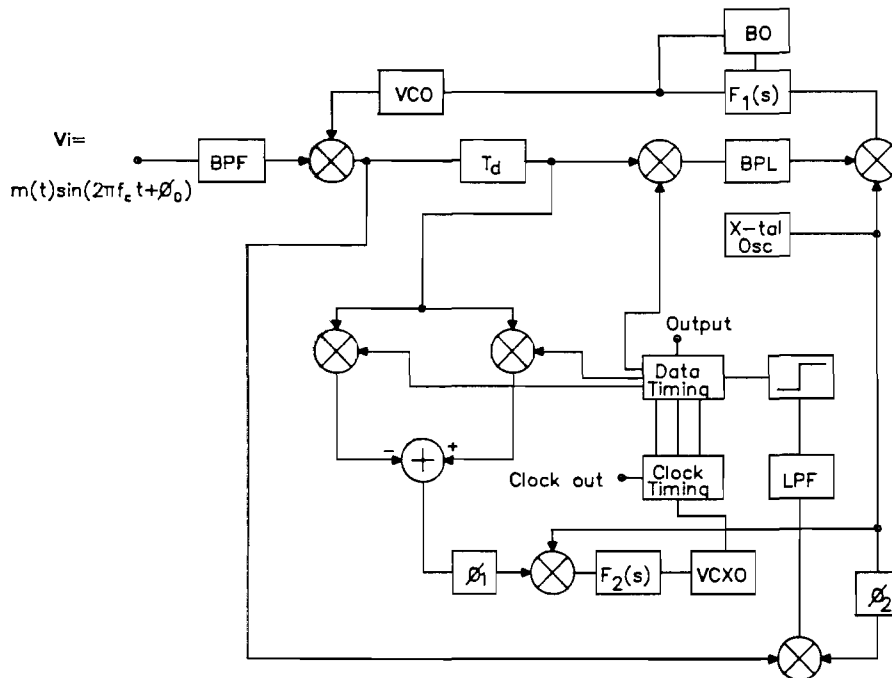
Er worden twee *modulatoren* besproken in respectievelijk hoofdstuk 4 en 5. Niet-idealiteiten van de modulatoren en de invloed hiervan op de werking van de bpsk-demodulator worden in hoofdstuk 6 besproken. In dit hoofdstuk worden tevens de twee modulatoren met elkaar vergeleken.

Ter afsluiting volgt dan hoofdstuk 7 met daarin opgenomen enkele conclusies en aanbevelingen. Na hoofdstuk 7 zijn nog een literatuurlijst en enkele bijlagen in dit verslag opgenomen.

## 2. BESCHRIJVING VAN DE BPSK-DEMODULATOR.

### 2.1. HET OORSPRONKELIJKE ONTWERP.

De door ir. G.J.M. Janssen ontworpen bpsk-demodulator maakt gebruik van draaggolfterugwinning door remodulatie en klokterugwinning met behulp van een early-late tracking loop [1]. Deze combinatie die duidelijke voordelen biedt is nog niet eerder in een bpsk-demodulator toegepast. Het blokschema van het systeem zoals dit oorspronkelijk is ontworpen is in figuur 2-1 weergegeven.

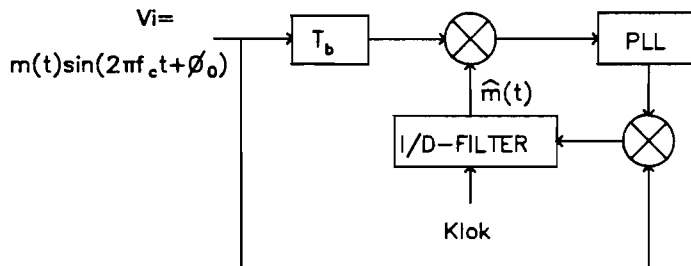


Figuur 2-1. De oorspronkelijke bpsk-demodulator.

Het systeem uit figuur 2-1 is vrij complex, daarom wordt het principe van de bpsk-demodulator aan de hand van twee andere blokschema's verklaard. Bekijk daartoe figuur 2-2. In dit blokschema is  $\hat{m}(t)$  een schatting van het data-signaal  $m(t)$ . Dit signaal  $m(t)$  kan alleen de waarden 1 of -1 aannemen. Als de demodulator correct functioneert geldt dat  $\hat{m}(t) = m(t)$ .

Verder geldt voor het ontvangen bpsk-sigitaal  $v_1 = m(t) \cdot \sin(2\pi f_c t + \phi_0) + n(t)$ , waarbij  $n(t)$  de ontvangen ruis is en  $\phi_0$  een willekeurige beginfase van de draaggolf. Dit betekent dat de PLL, als de tijdvertraging ter grootte van één bittijd ( $T_b$ ) even buiten beschouwing wordt gelaten, het geremoduleerde bpsk-sigitaal  $\hat{m}(t) \cdot \{m(t) \cdot \sin(2\pi f_c t + \phi_0) + n(t)\}$  krijgt aangeboden. Als  $\hat{m}(t)$  een goede schatting is van  $m(t)$  geldt dat  $\hat{m}(t) \cdot m(t) = 1$  en wordt aan de PLL de draaggolf plus (geremoduleerde) ruis aangeboden. De ruis op de draaggolf wordt door de PLL onderdrukt [5] zodat na de PLL een *schone* draaggolf aanwezig is. Doordat nu deze draaggolf met het ontvangen bpsk-sigitaal wordt vermenigvuldigd is het gedemoduleerde sigitaal dat aan het Integrate & Dump-filter (I/D-filter) wordt aangeboden, als frequenties rond de dubbele draaggolfrequentie buiten beschouwing worden gelaten, gelijk aan  $m(t)$  plus de

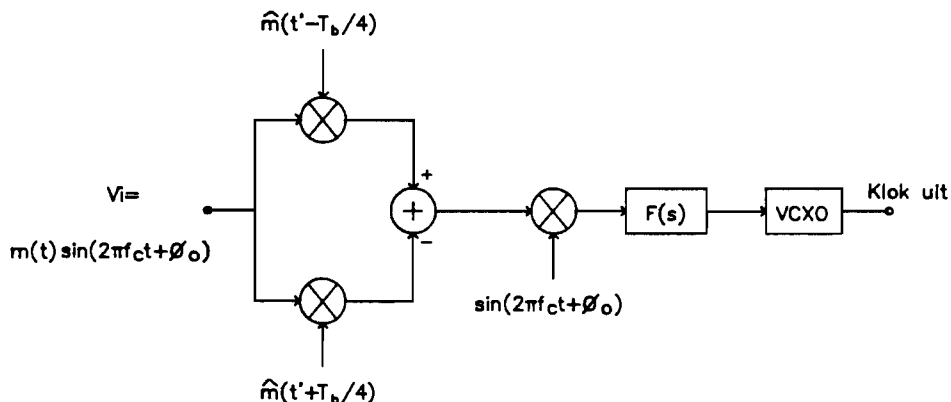
in frequentie verschoven ruis  $n(t)$ . Deze ruis wordt door het I/D-filter goeddeels onderdrukt [2,3]. Omdat het I/D-filter  $\hat{m}(t)$  bepaald met principieel één bittijd vertraging [2] is in de lus een zelfde vertraging opgenomen zodat  $\hat{m}(t)$  en  $m(t)$  synchroon lopen. Dit synchroon lopen van  $m(t)$  en  $\hat{m}(t)$  is noodzakelijk omdat als dit niet het geval is kan gelden dat  $m(t) \cdot \hat{m}(t) = -1$  al is de schatting van  $\hat{m}(t)$  juist.



Figuur 2-2. Re- en demodulatie.

Het moge duidelijk zijn dat het systeem goed functioneert als de PLL in-lock is. Immers als de juiste draaggolf aanwezig is dan is de schatting van de teruggewonnen data gelijk aan  $m(t)$  en doordat deze schatting correct is wordt de juiste draaggolf teruggewonnen. Het is niet direct in te zien hoe het systeem in-lock kan komen. Als er namelijk geen goede draaggolf aanwezig is is ook de schatting van de teruggewonnen data in het algemeen niet gelijk aan  $m(t)$  en daardoor wordt geen goede draaggolf aan de PLL aangeboden. Dat het systeem toch in-lock komt wordt in [1] aannemelijk gemaakt, echter niet bewezen en verder onderzoek naar het dynamische gedrag van de demodulator als deze niet in-lock is lijkt wenselijk.

In het blokschema van figuur 2-2 is een I/D-filter opgenomen en dit filter benodigt een kloksignaal om het filter op de juiste tijd te dumpen. In principe moet het I/D-filter met de bekende bit-rate geklokt worden waarbij het dumpen zo snel mogelijk dient te gebeuren om zo weinig mogelijk van de integratie-tijd te verliezen. Om correcte synchronisatie tussen het ontvangen bpsk-signaal en het kloksignaal te bewerkstelligen wordt het kloksignaal uit het ontvangen bpsk-signaal afgeleid met behulp van een early-late tracking loop, zie figuur 2-3.



Figuur 2-3. De early-late tracking loop.



Deze early-late tracking loop bepaald het gemiddelde van het produkt van  $m(t)$  en  $[\hat{m}(t'-T_b/4) - \hat{m}(t'+T_b/4)]$ . Dit gemiddelde dat in het blokschema van figuur 2-3 ná het filter  $F(s)$  aanwezig is wordt als regelsignaal voor de VCXO gebruikt. Als  $m(t)$  en  $\hat{m}(t')$  synchroon lopen, dat wil zeggen  $t=t'$ , dan is dit gemiddelde nul. Als  $m(t)$  en  $\hat{m}(t')$  niet synchroon lopen wordt de VCXO zolang bijgeregeld totdat dit wel het geval is.

De combinatie van de blokschema's uit de figuren 2-2 en 2-3 vormt al bijna het blokschema uit figuur 2-1. Een verschil is dat bij het systeem uit figuur 2-1 het ontvangen bpsk-sigitaal met behulp van de PLL (de bovenste lus uit figuur 2-1) en een intern in de demodulator opgewekte draaggolf (X-tal.Osc.) op een vaste interne werkfrequentie wordt gemengd. Deze interne werkfrequentie is constant, ook als de frequentie van de draaggolf van het ontvangen bpsk-sigitaal iets veranderd. Dit is vooral van voordeel bij de realisatie van de tijdvertraging en de benodigde faseverschuivers [1].

Verder wordt, om niet geheel duidelijke redenen, niet gebruik gemaakt van een I/D-filter maar van de combinatie van een LPF en een limiter. De blokken waarin staat *Data-Timing* en *Clock-Timing* worden gebruikt om de early- en late-signalen te genereren.

De blokken met een  $\Phi$  erin zijn faseverschuivers nodig voor de synchronisatie tussen de verschillende signalen. *BO* is een Bandbreedte-Omschakeling van het loopfilter in de PLL. Als de PLL in-lock is wordt de bandbreedte van het loopfilter verkleind zodat ruis minder invloed heeft op de werking van de PLL.

Het BPF (BandPassFilter) aan de ingang van de bpsk-demodulator dient er voor om de ontvangen ruis zoveel mogelijk te onderdrukken zonder het ontvangen bpsk-sigitaal aan te tasten. Overigens is de tijdvertraging in de PLL niet gelijk aan  $T_b$  omdat het in principe onmogelijk is om een early-sigitaal te genereren. Dit komt er namelijk op neer dat een sigitaal voorspeld moet worden. Daarom worden de signalen  $m(t)$ ,  $\hat{m}(t'-T_b/4)$  en  $\hat{m}(t'+T_b/4)$  een kwart bittijd extra vertraagd zodat de signalen  $m(t-T_b/4)$ ,  $\hat{m}(t'-T_b/2)$  en  $\hat{m}(t')$ , welke slechts vertragingen zijn van aanwezige signalen, gegenereerd dienen te worden. Dit houdt dus in dat  $T_d = 1.25 \cdot T_b$ .

Tenslotte zorgt de BPL (BandPassLimiter) er voor dat de modulator ná de BPL, die als fasedetector wordt gebruikt, een sigitaal met een constante amplitude krijgt aangeboden.

## 2.2. TOEGEPASTE MODIFICATIES.

Om de realisatie van de bpsk-demodulator in geïntegreerde vorm te vergemakkelijken zijn enige veranderingen in het oorspronkelijke systeem aangebracht.

Zo is het in de NMOS-technologie problematisch om, nauwkeurige reproduceerbare, weerstanden te realiseren, bovendien nemen weerstanden relatief veel ruimte in [7]. RC-filters zijn om deze redenen eigenlijk niet toepasbaar. Daarom wordt het loopfilter in de PLL en waarschijnlijk ook het loopfilter in de early-late tracking loop, niet met behulp van een RC-filter gerealiseerd maar met een SC-filter [13].

Verder genereren de interne draaggolfoscillator, de VCO en de VCXO geen sinusvormige signalen maar blokgolven. Dat deze ingreep geen nadelige invloed heeft op de werking van de bpsk-demodulator wordt aan de hand van een voorbeeld verduidelijkt.

Bekijk de modulator in de PLL ná de BPL. Hier wordt het geremoduleerde signaal vermenigvuldigd met de intern opgewekte draaggolf met frequentie  $f_c$ . Omdat de limiter een niet-lineair element is en er alleen voor dient om de amplitude van het geremoduleerde signaal constant te houden wordt de limiter buiten beschouwing gelaten. In [1] staat beschreven dat de signaal-ruisverhouding van het geremoduleerde signaal maximaal 1dB kleiner wordt als een limiter wordt toegepast. Voor signaal-ruisverhoudingen van het geremoduleerde signaal groter dan 10dB heeft de limiter geen invloed op de werking van de bpsk-demodulator.

Het vermogensspectrum van het geremoduleerde signaal bestaat uit een signaalterm op  $f_c$  en een  $\text{sinc}^2$ -vormig ruisspectrum rond deze frequentie [1]. Veruit het meeste vermogen van dit ruissignaal, meer dan 90% [9,10], is geconcentreerd in een frequentieband met breedte  $2/T_b$  ( $\approx 2\text{MHz}$ ) en centrale frequentie  $f_c$ ,  $3\text{MHz} < f_c < 4\text{MHz}$ . Door demodulatie wordt dit spectrum naar 0Hz en naar  $2f_c$  verschoven. Het spectrum rond 0Hz bevat een signaalterm op 0Hz die het regelsignaal voor de VCO oplevert plus het ongewenste ruisspectrum. Het spectrum rond  $2f_c$  is in zijn totaliteit ongewenst, vooral de signaalterm op  $2f_c$ , en wordt door de PLL zodanig onderdrukt dat dit spectrum geen nadelige invloed heeft op de werking van de PLL [1,5]. In ieder geval wordt het (ruis)spectrum rond  $2f_c$  door de PLL zoveel onderdrukt dat het te verwaarlozen is ten opzichte van het ruisspectrum rond 0Hz. Dit alles geldt in de oorspronkelijke situatie.

In de nieuwe situatie is de intern opgewekte draaggolf een blok golf. Deze blok golf bevat, behalve de grondgolf  $f_c$ , de hogere oneven harmonischen van  $f_c$  namelijk  $(2n+1) \cdot f_c$  met  $n=1,2,3,\dots$ . Daarom bevat het vermogensspectrum van het gedemoduleerde signaal niet alleen de termen rond 0Hz en  $2f_c$ , als voorheen. Door demodulatie met de in de blok golf voorkomende frequentie  $3f_c$  bevat het vermogensspectrum een extra term rond  $2f_c$  en een term rond  $4f_c$ . De amplitude van de frequentiecomponent  $3f_c$  in de blok golf is echter een factor drie kleiner dan de amplitude van de grondgolf. De extra termen in het vermogensspectrum zijn daarom een factor negen zwakker dan de oorspronkelijke termen [2]. De frequentiecomponent  $5f_c$  van de blok golf zorgt voor extra termen in het vermogensspectrum rond  $4f_c$  en  $6f_c$  welke een factor 25 zwakker zijn dan de oorspronkelijke termen, enzovoorts.

Dat deze extra termen geen nadelige invloed hebben op de werking van de demodulator kan als volgt worden ingezien. De eerste extra term die ontstaat door demodulatie met een blok golf ligt rond  $2f_c$  ( $> 6\text{MHz}$ ). Bovendien is deze eerste extra term ook nog eens 10dB verzwakt ten opzichte van een al oorspronkelijk aanwezige term rond de dubbele draaggolf frequentie. Daarom heeft de eerste extra term slechts een minimale toename van ongeveer 0.4dB van de totale term rond  $2f_c$  in het vermogensspectrum tot gevolg. De oorspronkelijke term rond  $2f_c$  was te verwaarlozen ten opzichte van de ruisterm rond 0Hz, de ruisbandbreedte van de PLL is immers veel kleiner dan  $2f_c$ , en de toename van 0.4dB brengt daar weinig verandering in. Ook de overige extra termen in het vermogensspectrum die rond nog hogere frequenties vallen dan de eerste extra term en bovendien nog weer veel zwakker zijn hebben daarom geen nadelige invloed op de werking van de bpsk-demodulator.

Ook voor de VCO en de VCXO kan op analoge wijze aannemelijk worden gemaakt dat het geen nadelige invloed heeft op de werking van de bpsk-demodulator heeft als deze schakelingen blok golven

genereren in plaats van sinusvormige signalen.

Bij de realisatie van de bpsk-demodulator in geïntegreerde vorm wordt, evenals in figuur 2-2 aangegeven, gebruik gemaakt van een I/D-filter. Zo'n I/D-filter is namelijk in NMOS eenvoudiger te realiseren dan het oorspronkelijk gebruikte 4<sup>e</sup>-orde Butterworth Tomson LPF.

Bovenstaande modificaties zijn overigens met een simulatie-programma doorgerekend en blijken toelaatbaar te zijn. Dit programma, geschreven in TurboPascal [11,12], is speciaal ontwikkeld om de bpsk-demodulator op systeemniveau te kunnen simuleren. Met behulp van dit simulatie-programma kan algemeen gecontroleerd worden of een eventuele modificatie zinvol is. Op deze wijze is bijvoorbeeld geverifieerd dat de BPL geen bandfilters behoeft te bevatten en diens gevolg alleen nog maar bestaat uit een limiter. Dit betekent echter dat de signalen die de modulator ná de BPL krijgt aangeboden beide blokgolven zijn en deze modulator kan daarom met behulp van een EXOR-poort gerealiseerd worden. Ook wordt in de early-late tracking loop een limiter opgenomen zodat voor de in deze loop gebruikte modulatoren eveneens EXOR-poorten kunnen worden gebruikt [11,12].

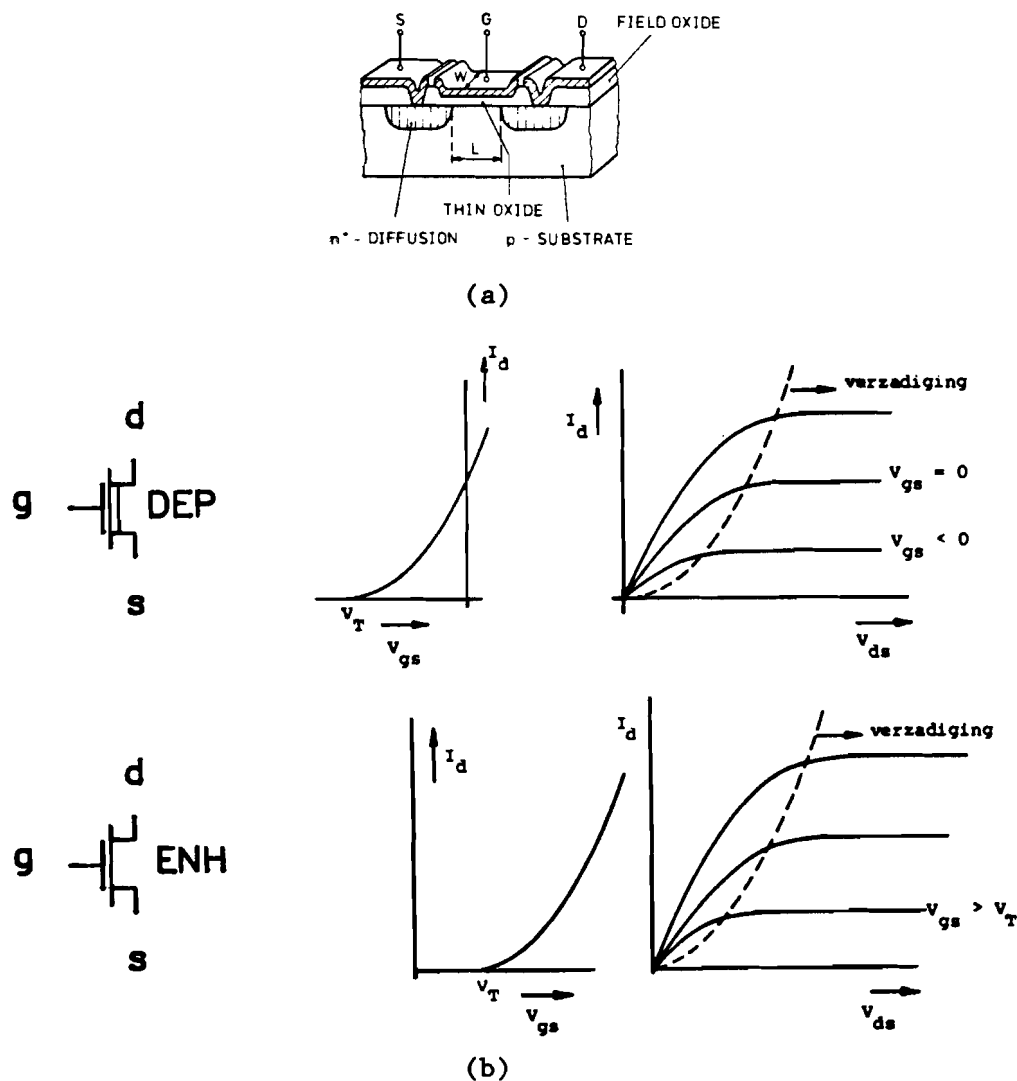
Het hoogfrequente deel van de demodulator dat rond 70MHz werkt, dit is de draaggolffrequentie van het ontvangen bpsk-signaal, wordt niet geïntegreerd, dit zijn de 73MHz VCO, het ingangsfiler en de modulator ná het ingangsfiler. De modulatoren die in dit verslag besproken worden zijn de remodulator in de PLL en de demodulator voor het I/D-filter.

### 3. NMOS-TRANSISTOREN.

Een NMOS-transistor heeft, evenals de bipolaire transistor, drie aansluitpunten namelijk de *drain*, de *gate* en de *source* die gewoonlijk worden afgekort met *d*, *g* en *s*.

De EFFIC heeft de mogelijkheid om twee typen NMOS-transistoren te realiseren. Deze twee typen zijn de depletion-NMOST (DEP) en de enhancement-NMOST (ENH). Het verschil tussen de beide typen is dat de depletion-NMOST een negatieve drempelspanning heeft en de enhancement-NMOST een positieve drempelspanning. De drempelspanning wordt voortaan met  $V_{th}$  aangeduid.

In figuur 3-1(a) is de doorsnede van een geïntegreerde NMOST schematisch weergegeven en in figuur 3-1(b) zijn de in dit verslag gebruikte symbolen voor de twee typen NMOS-transistoren en hun bijbehorende, gestyleerde, DC-karakteristieken opgenomen.



Figuur 3-1. Gebruikte symbolen voor de MOS-transistoren en de DC-karakteristieken.

De DC-karakteristiek van een MOST kan bij benadering door twee formules beschreven worden [8]. In het zogenaamde weerstandsgebied, of ook wel *ohms*-gebied genoemd, dit is het gebied als

$V_{ds} < V_{gs} - V_{th}$ , is de drain-stroom van een MOST bij benadering gelijk aan:

$$I_d = (K_p W/L) \cdot (V_{gs} - V_{th} - \frac{1}{2} V_{ds}) \cdot V_{ds} \quad . \quad 3(1)$$

Als geldt dat  $V_{ds} > V_{gs} - V_{th}$  dan is de MOST in verzadiging en kan de drain-stroom benaderd worden met:

$$I_d = (K_p W/2L) \cdot (V_{gs} - V_{th})^2 \cdot (1 + \lambda V_{ds}) \quad . \quad 3(2)$$

In 3(1) en 3(2) zijn  $K_p$  en  $\lambda$  procesparameters, met andere woorden deze parameters zijn sterk afhankelijk van het productie-proces en  $W$  en  $L$  zijn respectievelijk de breedte en de lengte van de NMOST.

De drempelspanning heeft overigens geen constante waarde maar is afhankelijk van de source-bulkspanning van de desbetreffende MOST. Deze afhankelijkheid wordt het *body-effect* genoemd en kan in formulevorm beschreven worden met:

$$V_{th} = V_{T0} + \gamma \left( \sqrt{(V_{sb} + 2\phi_f)} - \sqrt{(2\phi_f)} \right) \quad , \quad 3(3)$$

waarin  $\gamma$  en  $\phi_f$  eveneens procesparameters zijn en  $V_{T0}$  de drempelspanning van de MOST is als de source-bulkspanning gelijk is aan nul. De potentiaal van de bulk van een NMOS-IC is doorgaans gelijk aan de laagst voorkomende potentiaal om te voorkomen dat pn-overgangen als diode in doorlaatrichting gaan fungeren.

De drain-stroom van een MOST is in het algemeen afhankelijk van  $V_{gs}$ ,  $V_{ds}$  en  $V_{bs}$ , er geldt dus  $I_d = I_d(V_{gs}, V_{ds}, V_{bs})$ . Voor kleine signalen kan de signaalstroom in de drain-stroom met een lineaire benadering als volgt gemodelleerd worden:

$$i_d = g_m \cdot v_{gs} + g_{ds} \cdot v_{ds} + g_{mb} \cdot v_{bs} \quad , \quad \text{met} \quad 3(4)$$

$$g_m = \partial I_d / \partial V_{gs}, \quad g_{ds} = \partial I_d / \partial V_{ds} \quad \text{en} \quad g_{mb} = \partial I_d / \partial V_{bs} \quad .$$

Als  $g_m$ ,  $g_{ds}$  en  $g_{mb}$  worden bepaald uit 3(1) of 3(2) moet er rekening mee worden gehouden dat deze waarden alleen geldig zijn voor frequenties waarbij de parasitaire capaciteiten van de MOST nog geen rol spelen. Als de MOST in verzadiging is volgt uit 3(2) en 3(3):

$$g_m = (2K_p \cdot (W/L) \cdot I_d \cdot (1 + \lambda V_{ds}))^{\frac{1}{2}} \quad ,$$

$$g_{ds} = \lambda I_d / (1 + \lambda V_{ds}) \quad \text{en} \quad 3(5)$$

$$g_{mb} = \gamma g_m / 2 \cdot \sqrt{(V_{sb} + 2\phi_f)} \quad .$$

De formules 3(1) t/m 3(5) proberen het gedrag van de MOST op eenvoudige wijze te benaderen zodat het gedrag van een ontworpen NMOS-schakeling na enig rekenwerk redelijk nauwkeurig kan worden voorspeld. Het simulatie programma *PSPICE* rekent met veel ingewikkelder formules die het werkelijke gedrag van de NMOST veel beter benaderen. In deze formules worden veel meer dan de ter sprake gekomen procesparameters verwerkt. Alle procesparameters en de in de simulaties gebruikte waarden van deze parameters zijn in bijlage 1 opgenomen.

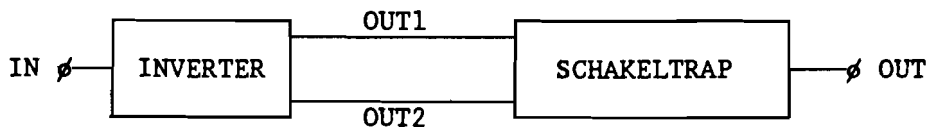
#### 4. DE MODULATOR.

##### 4.1. INLEIDING.

Een bpsk-modulator moet in principe een sinusvormig draaggolf-signaal vermenigvuldigen met een blokvormig data-signaal,  $m(t)$ . Zo'n modulator kan daarom gerealiseerd worden met behulp van een analoge vermenigvuldiger of met een synchrone detector, zie ook hoofdstuk 5. Merk op dat aan de uitgang van de modulator de draaggolf aanwezig is als  $m(t)=1$  en de draaggolf in tegenfase als  $m(t)=-1$ .

Dit laat een andere benadering toe, zie figuur 4-1. De inverter uit figuur 4-1 zorgt er voor dat zowel het oorspronkelijke ingangssignaal als het ingangssignaal in tegenfase aan een schakeltrap worden aangeboden. Deze schakeltrap moet er voor zorgen dat op het juiste moment het juiste signaal naar de uitgang van de schakeltrap wordt doorgeschakeld.

Er moet gelden dat  $OUT1+IN$  en  $OUT2+-IN$  of andersom.



Figuur 4-1. Nieuwe benadering modulator.

Over de eisen waaraan de modulator dient te voldoen valt op te merken dat de modulator:

- grote ingangssignalen moet kunnen verwerken en daarom een lage versterking, liefst 0dB, dient te bezitten,
- frequenties tot 4MHz probleemloos moet kunnen verwerken,
- gedimensioneerd moet worden voor een voedingsspanning van +5 en -5 volt, merk op dat door deze keuze van de voedingsspanning ook referentie-aarde (GND) beschikbaar is,
- een uitgangssignaal met een gelijkspanningsniveau dat gelijk is aan referentie-aarde moet leveren.

Aan het signaal dat als ingangssignaal voor de modulator dient wordt de eis gesteld dat het gelijkspanningsniveau van dit signaal eveneens gelijk is aan referentie-aarde. Om dit te garanderen wordt een speciaal ingangscircuit gebruikt om het ingangssignaal aan de modulator te koppelen.

##### 4.2. DE INVERTER.

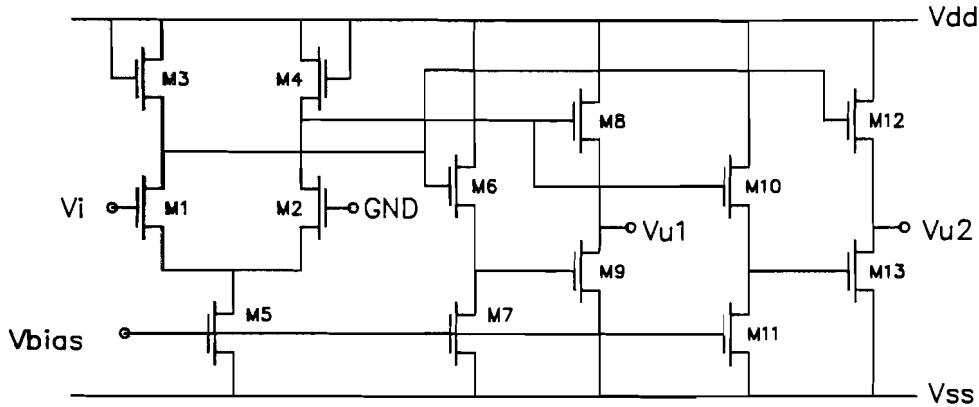
Een schakeling die als inverter dienst kan doen is een eenvoudige verschiltrap (M1 t/m M5) gecombineerd met twee identieke *Differential to Single-ended Converters* (DSC's), respectievelijk M6 t/m M9 en M10 t/m M13, zie figuur 4-2.

M5 fungeert als stroombron, evenals M7 en M11. Als deze stroombron ideaal wordt verondersteld dan is de signaalstroom door M1 gelijk aan de geïnverteerde van de signaalstroom door M2.

Deze signaalstroom is evenredig met de ingangsspanning. Er geldt namelijk, als de beide transistoren M1 en M2 identiek worden verondersteld zodat  $g_{m1}=g_{m2}$  en het body-effect wordt verwaarloosd:

$$i_d = g_{m1} \cdot v_i \quad . \quad 4(1)$$

Omdat het hier een verschiltrap betreft geldt deze relatie niet alleen voor *kleine signalen*, dat wil zeggen signalen waarbij mag worden uitgegaan van het klein-signaalgedrag van de MOST. De relatie tussen  $i_d$  en  $v_i$  mag ook voor *grotere signalen*, afhankelijk van de instelling van de verschiltrap, nog als lineair worden beschouwd [8]. Formule 4(1) is niet geldig voor *grote signalen*.



Figuur 4-2. Een inverter.

Als  $v_i = 0$  geldt  $I_{d1} = I_{d2} = I_{d3} = I_{d4} = \frac{1}{2} I_{d5} = I$  en  $V_{gs3} = V_{gs4} = V_{gs0}$ . Als  $v_i \neq 0$  dan geldt  $I_{d1} = I_{d3} = I + i_d$  en  $I_{d2} = I_{d4} = I - i_d$ .

Er is bewust gekozen, vanwege de eis dat de modulator niet mag versterken, voor enhancement-loads. Voor M3 volgt nu, met  $k_3 = K_p W_3 / 2L_3$ :

$$I + i_d = k_3 \cdot (V_{gs3} - V_{th3})^2 \quad , \quad 4(2)$$

waarbij de invloed van  $\lambda$  is verwaarloosd, zie 3(2). Vul nu in  $V_{gs3} = V_{gs0} + v_{gs3}$  dan volgt:

$$I + i_d = k_3 \cdot (v_{gs3} + V_{gs0} - V_{th3})^2 \quad . \quad 4(3)$$

Voor M4, die identiek wordt verondersteld aan M3 geldt evenzo, met  $V_{gs4} = V_{gs0} + v_{gs4}$ :

$$I - i_d = k_3 \cdot (v_{gs4} + V_{gs0} - V_{th4})^2 \quad . \quad 4(4)$$

Zowel het verband tussen  $v_{gs3}$  en  $i_d$  als tussen  $v_{gs4}$  en  $i_d$  is dus niet lineair en de overdracht van  $v_i$  naar zowel  $v_{gs3}$  als naar  $v_{gs4}$  is diensgevolge sterk vervormd. De vervorming in het verschil van  $v_{gs3}$  en  $v_{gs4}$  is echter veel kleiner. Het body-effect buiten beschouwing latend zodat gesteld mag worden  $V_{th3} = V_{th4} = V_{th}$  volgt namelijk uit het verschil van 4(3) en 4(4):

$$2i_d = g_{m1} v_i = k_3 \cdot [(v_{gs3} + V_{gs0} - V_{th})^2 - (v_{gs4} + V_{gs0} - V_{th})^2] \quad , \quad 4(5)$$

zodat:

$$(g_{m1}/k_3) \cdot v_i = 2(V_{gs0} - V_{th}) \cdot (v_{gs3} - v_{gs4}) + v_{gs3}^2 - v_{gs4}^2 \quad . \quad 4(6)$$

Omdat verder geldt dat  $v_{gs3}$  ongeveer gelijk is aan  $-v_{gs4}$  is het zeker zo dat  $|v_{gs3}^2 - v_{gs4}^2| \ll |v_{gs3} - v_{gs4}|$ , waaruit met 4(6) volgt dat:

$$\frac{\varepsilon_{m1} \cdot v_1}{2 \cdot k_3 \cdot (V_{gs0} - V_{th})} = v_{gs3} - v_{gs4} \quad . \quad 4(7)$$

Het verschil van  $v_{gs3}$  en  $v_{gs4}$  is bij benadering wel lineair afhankelijk van  $i_d$  en  $v_1$ .

De DSC die er voor zorgt dat  $v_{gs3}$  en  $v_{gs4}$  van elkaar worden afgetrokken bestaat uit M6 t/m M9, waarvan M6 en M7 slechts als levelshifter dienen en M8 en M9 het verschil bepalen. Er geldt nu dat  $v_{u1} + v_1$ . Een tweede DSC die het verschil tussen  $v_{gs4}$  en  $v_{gs3}$  bepaalt wordt gevormd door M10 t/m M13 zodat  $v_{u2} + v_1$ .

Voor de DSC bestaande uit M6 t/m M9 geldt:

$$v_{u1} = \frac{\varepsilon_{m8} \cdot v_{i8} - \frac{\varepsilon_{m9} \cdot \varepsilon_{m6}}{\varepsilon_{m6} + \varepsilon_{ds6} + \varepsilon_{mb6} + \varepsilon_{ds7}} \cdot v_{i6}}{\varepsilon_{m8} + \varepsilon_{ds8} + \varepsilon_{mb8} + \varepsilon_{ds9}} \quad , \quad 4(8)$$

zie ook bijlage 2 formule B(8), waarbij  $v_{i8}$  en  $v_{i6}$  de signaalspanningen op de gates van respectievelijk M8 en M6 zijn waarvoor geldt  $v_{gs3} + v_{i6} = 0$  en  $v_{gs4} + v_{i8} = 0$ . Als nu voldaan wordt aan de voorwaarde dat:

$$\varepsilon_{m8} = \frac{\varepsilon_{m9} \cdot \varepsilon_{m6}}{\varepsilon_{m6} + \varepsilon_{ds6} + \varepsilon_{mb6} + \varepsilon_{ds7}} \quad , \quad 4(9)$$

dan volgt:

$$v_{u1} = \frac{\varepsilon_{m8} \cdot (v_{gs3} - v_{gs4})}{\varepsilon_{m8} + \varepsilon_{ds8} + \varepsilon_{mb8} + \varepsilon_{ds9}} = \quad 4(10)$$

$$v_{u1} = \frac{\varepsilon_{m1} \cdot \varepsilon_{m8}}{2 \cdot k_3 \cdot (V_{gs0} - V_{th}) \cdot (\varepsilon_{m8} + \varepsilon_{ds8} + \varepsilon_{mb8} + \varepsilon_{ds9})} \cdot v_1 \quad .$$

Voor de overdracht van  $v_1$  naar  $v_{u2}$  geldt, mits de DSC bestaande uit M10 t/m M13 identiek is aan de DSC bestaande uit M6 t/m M9, dezelfde uitdrukking met een min-teken ervoor. Zoals gewent zijn  $v_{u1}$  en  $v_{u2}$  dus elkaars geïnverteerde. Ook zijn, door de geheel symmetrische opbouw van de inverter de gelijkspanningsniveaux van  $v_{u1}$  en  $v_{u2}$  gelijk.

De afmetingen van de transistoren, gebruikt in de inverter, zijn in tabel 4/1 opgenomen.



Tabel 4/1. Nummer, type en afmetingen van de transistoren van de inverter,  $W$  en  $L$  in  $\mu\text{m}$ .

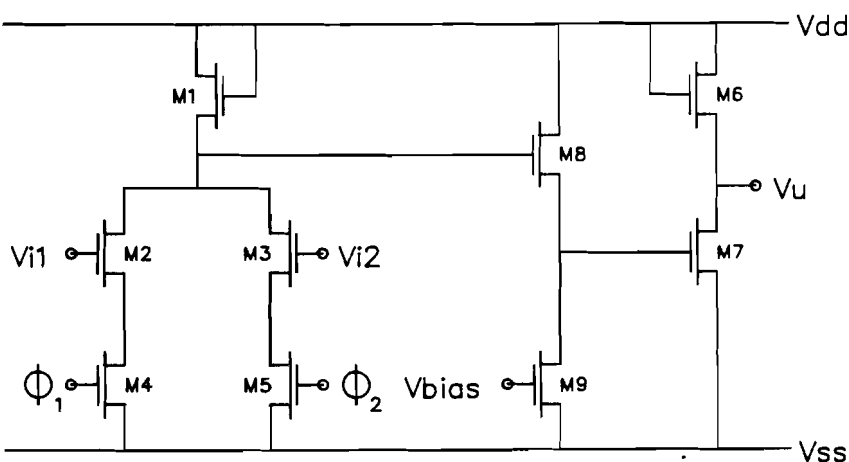
Nr.	type	$W$	$L$
M1	ENH	6	9
M2	ENH	6	9
M3	ENH	8	11
M4	ENH	8	11
M5	ENH	6	15
M6	ENH	6	39
M7	ENH	6	15
M8	ENH	6	36
M9	ENH	6	23
M10	ENH	6	39
M11	ENH	6	15
M12	ENH	6	36
M13	ENH	6	23

#### 4.3. DE SCHAKELTRAP.

De gebruikte schakeltrap is in figuur 4-3 weergegeven. De werking van de schakeltrap is als volgt.

M4 en M5 worden als schakelaars gebruikt. Bij correct gebruik van de schakeltrap is steeds één van deze schakelaars open terwijl de andere gesloten is. De schakelaars zijn dus nooit beide open of beide gesloten.

De spanning op de gate van M4 wordt gebruikt om de schakelaar die M4 vertegenwoordigt te openen en te sluiten. Deze gate-spanning,  $\Phi_1$ , wordt hoog genoemd als M4 in geleiding is, de schakelaar is dan gesloten. De schakelaar is open als M4 spert, de bijbehorende  $\Phi_1$  wordt laag genoemd.



Figuur 4-3. De schakeltrap.

Wil M4 als schakelaar functioneren dan moet gelden dat  $V_{DSM4} \approx 0$  als  $\Phi_1$  hoog is terwijl als  $\Phi_1$  laag is moet gelden dat  $I_{DM4} \approx 0$ . Dit betekent dat M4 in het ohms gebied werkt als  $\Phi_1$  hoog is. Met betrekking tot M5 en  $\Phi_2$  geldt natuurlijk iets overeenkomstigs.

Stel nu dat  $\Phi_1$  hoog is en  $\Phi_2$  laag, omdat nu geldt dat  $V_{SM2} \approx 0$  vormen M2 en M1, waarbij de gate van M2 als ingang dient en de source van M1 als uitgang, een analoge inverter. Omdat tevens  $I_{DM5} = I_{DM3} \approx 0$  is de source-spanning van M1 onafhankelijk van  $V_{i2}$ . Deze inverter introduceert een bepaalde vervorming, vooral als ingangssignalen met een top-top waarde van enkele volts verwerkt worden.

Deze vervorming blijkt iets af te nemen als het signaal door nog een inverter gestuurd wordt. De tweede inverter wordt gevormd door M6 en M7. M8 en M9 vormen een levelshifter, deze is nodig omdat het uitgangsniveau van de inverter hoger ligt dan het ingangsniveau.

Het toepassen van twee inverters achter elkaar heeft tot gevolg dat  $v_u + v_{i1}$  als  $\Phi_1$  hoog is en, omdat de schakeltrap geheel symmetrisch is opgebouwd ten opzichte van  $V_{i1}$  en  $V_{i2}$ ,  $v_u + v_{i2}$  als  $\Phi_2$  hoog is.

Voor juiste werking als bpsk-modulator moet gelden dat  $\Phi_1$  hoog en  $\Phi_2$  laag is als  $m(t) = 1$  terwijl als  $m(t) = -1$  moet gelden dat  $\Phi_1$  laag en  $\Phi_2$  hoog is. De som van  $\Phi_1$  en  $\Phi_2$  is dan steeds constant,  $\Phi_1$  en  $\Phi_2$  worden daarom ook wel complementaire signalen genoemd. Aan de schakeltrap moet dus zowel het data-sigitaal als het geïnverteerde data-sigitaal worden aangeboden.

De overdracht van  $v_{i1}$  naar  $v_u$  als  $\Phi_1$  hoog is is gelijk aan, zie ook bijlage 2:

$$v_u/v_{i1} = A_1 \cdot A_2 \cdot A_3 \quad \text{met}$$

$$A_1 = \frac{-g_{m2}}{(g_{m1} + g_{ds1} + g_{mb1}) \cdot \left(1 + \frac{g_{m2} + g_{ds2} + g_{mb2}}{g_{ds4}}\right) + g_{ds2}}, \quad (4(11))$$

$$A_2 = \frac{g_{m8}}{g_{m8} + g_{ds8} + g_{mb8} + g_{ds9}} \quad \text{en}$$

$$A_3 = \frac{-g_{m7}}{g_{m6} + g_{ds6} + g_{mb6} + g_{ds7}}.$$

De overdracht van  $v_{i2}$  naar  $v_u$  als  $\Phi_2$  hoog is is onder de voorwaarden dat M2 identiek is aan M3 en M4 identiek is aan M5 gelijk aan de bovenstaande uitdrukking. Omdat M4 (evenals M5) als schakelaar wordt gebruikt is  $g_{ds4}$  zeer groot en wordt in praktische situaties geen grote fout gemaakt als  $g_{ds4}$  oneindig groot wordt verondersteld. Merk op dat  $g_{ds4}$  niet uit 3(2) bepaald mag worden maar bepaald moet worden uit 3(1).

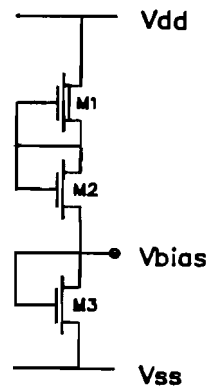
De totale versterking van de modulator bestaande uit de cascade-schakeling van de inverter en de schakeltrap wordt bepaald door het produkt van de formules 4(10) en 4(11).

De afmetingen van de transistoren, gebruikt in de schakeltrap, zijn in tabel 4/2 weergegeven.

Het circuit dat  $V_{bias}$  levert, nodig voor de verschillende stroombronnen, is overgenomen uit [14] en weergegeven in figuur 4-4.

Tabel 4/2. Nummer, type en afmetingen van de transistoren van de schakeltrap, W en L in  $\mu\text{m}$ .

Nr.	Type	W	L
M1	ENH	6	35
M2	ENH	6	24
M3	ENH	6	24
M4	ENH	6	6
M5	ENH	6	6
M6	ENH	6	35
M7	ENH	6	23
M8	ENH	6	6
M9	ENH	6	23

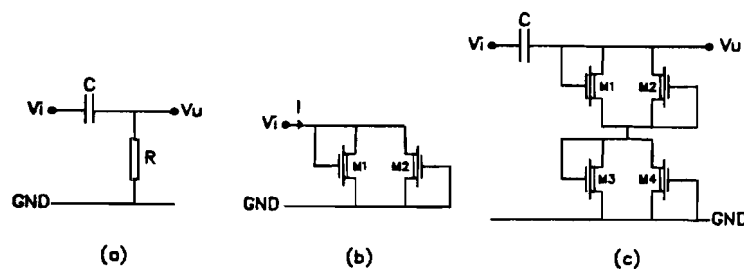


Figuur 4-4. Het biascircuit.

Voor de gebruikte transistoren in het biascircuit geldt  $M1=W/L=6/18$ ,  $M2=8/6$  en  $M3=6/23$ , afmetingen in  $\mu\text{m}$ .

#### 4.4. HET INGANGSCIRCUIT.

Om er voor te zorgen dat de gelijkspanningscomponent van het signaal dat aan de modulator wordt aangeboden gelijk is aan referentie-aarde kan een eenvoudig RC-netwerk gebruikt worden, zie figuur 4-5(a). In dit netwerk is een weerstand opgenomen die met behulp van MOS-transistoren gerealiseerd dient te worden. Een combinatie van twee transistoren die zich nagenoeg gedraagt als een weerstand is in figuur 4-5(b) opgenomen.



Figuur 4-5. Het ingangscircuit.

Voor de transistoren uit figuur 4-5(b) geldt namelijk:

$$I_{d1} = k_1 \cdot (V_i - V_{th1} - \frac{1}{2}V_i) \cdot V_i \quad \text{en} \quad 4(12)$$

$$I_{d2} = k_2 \cdot (-V_{th2} - \frac{1}{2}V_i) \cdot V_i \quad ,$$

waarbij er van uitgegaan is dat beide transistoren in het weerstandsgebied functioneren, zie ook 3(1). Kies nu beide transistoren identiek zodat  $k_1 = k_2$ . Omdat de sources van de beide transistoren verbonden zijn geldt dat  $V_{th1} = V_{th2}$ . Verwaarloos het body-effect zodat de drempelspanningen constant zijn, dan volgt:

$$I = I_{d1} + I_{d2} = k_1 \cdot (-2 \cdot V_{th1} \cdot V_i) \quad . \quad 4(13)$$

De combinatie van de twee MOS-transistoren vertegenwoordigt dus een weerstand ter grootte  $(-2 \cdot k_1 \cdot V_{th1})^{-1}$ . Omdat de gevolgde afleiding alleen geldig is zolang de transistoren in het weerstandsgebied functioneren legt dit een beperking op aan de toelaatbare  $V_i$ . Door meerdere van de combinaties van transistoren in serie te plaatsen kan dit gebied waarbinnen  $V_i$  moet liggen uitgebreid worden. Voor het ingangscircuit van de modulator is gekozen voor het circuit uit figuur 4-5(c).

Rekening houdend met tweede orde effecten kan aangetoond worden dat het in praktijk beter is om  $k_1$  en  $k_2$  verschillend te kiezen zodat de invloed van de verschillende tweede orde effecten elkaar tegenwerken.

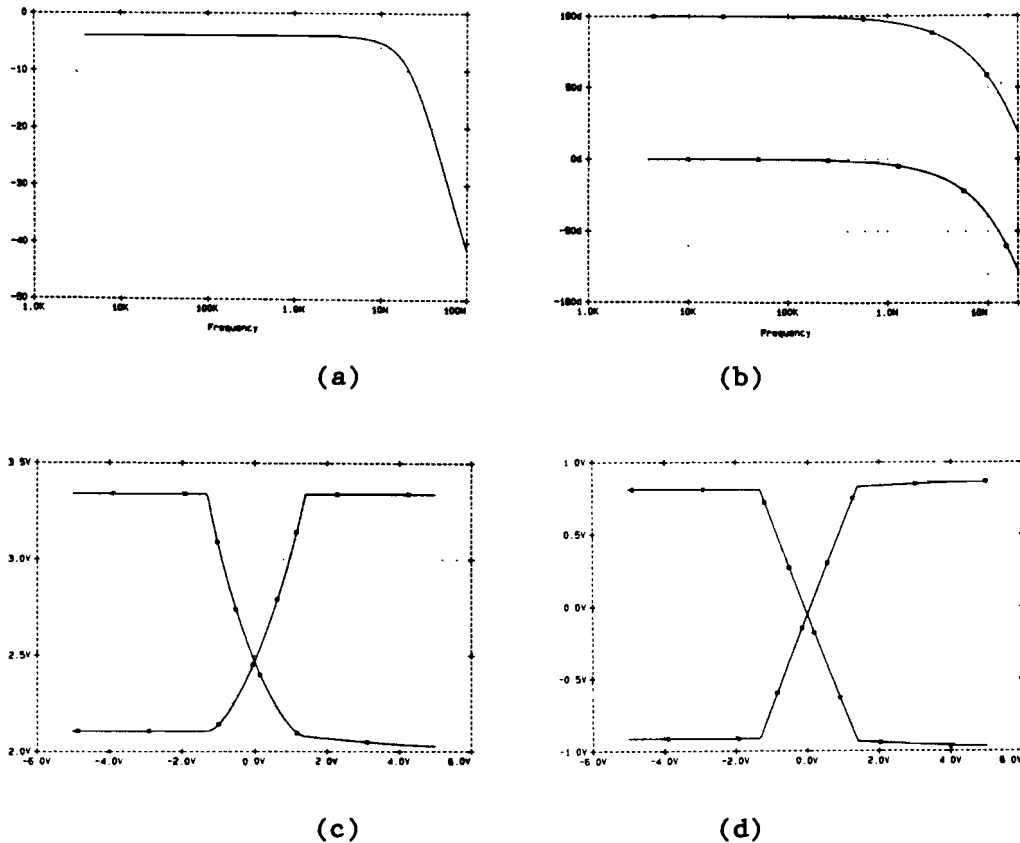
#### 4.5. PSPICE SIMULATIES.

Om enig inzicht te krijgen in de kwaliteit van de ontworpen modulator is een aantal PSPICE simulaties uitgevoerd. Alle simulaties zijn uitgevoerd met een  $10k\Omega$  uitgangsimpedantie van de bron die het ingangssignaal voor de modulator levert. Een voorbeeld van een invoerfile voor PSPICE is in bijlage 4 opgenomen. Een schema van de totale modulator is eveneens in bijlage 4 opgenomen. De resultaten van een aantal DC- en AC-analyses, uitgevoerd zonder ingangscircuit, is in figuur 4-6 opgenomen. Uit de DC-analyses blijkt duidelijk dat het toepassen van de DSC's in de inverter het gewenste effect heeft. De DC-overdrachten van  $V_i$  naar  $V_{gs3}$  en  $V_{gs4}$  zijn duidelijk kwadratisch terwijl de overdracht van  $V_i$  naar  $V_u$  nagenoeg lineair is.

Verder blijkt dat:

- de versterking van de modulator voor lage frequenties gelijk is aan 0.64 ofwel -3.9dB,
- de versterking van een 4MHz signaal als  $\Phi_1$  hoog is minder dan 0.13dB afwijkt van de versterking als  $\Phi_2$  hoog is,
- de verzwakking bij 4MHz zo'n 0.21dB bedraagt,
- de bandbreedte van de modulator gelijk is aan 14MHz,
- de modulator de signalen van 4MHz ongeveer 19ns vertraagd,
- aan de uitgang van de modulator de spectrale vermogensdichtheid van de ruis  $5.8 \cdot 10^{-15} \text{V}^2/\text{Hz}$  bedraagt,
- het uitgangssignaal als  $\Phi_1$  hoog is niet exact  $180^\circ$  is verschoven ten opzichte van het uitgangssignaal als  $\Phi_2$  hoog is, de afwijking is bij 4MHz kleiner dan  $3.2^\circ$ , ofwel 2.2ns,

- de uitgangsimpedantie gelijk is aan  $45\text{k}\Omega$ ,
- het verbruik van de modulator gelijk is aan  $3.6\text{mW}$ .



Figuur 4-6. DC- en AC-overdrachtskarakteristieken van de modulator:

- (a) en (b): amplitude en de fase van  $v_u$  als functie van de frequentie met  $\hat{v}_i = 1.0\text{V}$ , de fase van  $v_i$  is nul, als  $\Phi_1$  hoog ( $V_{dd}$ ) en  $\Phi_2$  laag ( $V_{ss}$ ) is en andersom,
  - (c): overdracht van  $V_i$  naar  $V_{s3}$  en  $V_{s4}$  van de inverter,
  - (d): overdracht van  $V_i$  naar  $V_u$ .
- (Simulaties zonder ingangscircuit)

Het ingangscircuit, dat er voor dient om de gelijkspanning van het ingangssignaal te blokkeren, blijkt, behoudens een extra verzwakking, geen invloed op de werking van de modulator voor frequenties groter dan 2MHz te hebben. Een deel van de verzwakking ter grootte 0.8dB voor frequenties vanaf 2MHz van het ingangscircuit is te danken aan de uitgangsimpedantie van de ingangsbron. Deze impedantie vormt namelijk samen met de ingangsimpedantie van het ingangscircuit een spanningsdeler. Voor de modulator met ingangscircuit geldt dat de versterkingsfactoren in het frequentiegebied van 2MHz tot 5MHz onderling minder dan 0.12dB afwijken en gelijk zijn aan -4.9dB. De ingangsimpedantie van de modulator met ingangscircuit is in dit frequentiegebied groter dan  $130\text{k}\Omega$ . De extra tijdvertraging van het ingangscircuit is kleiner dan 1ns.

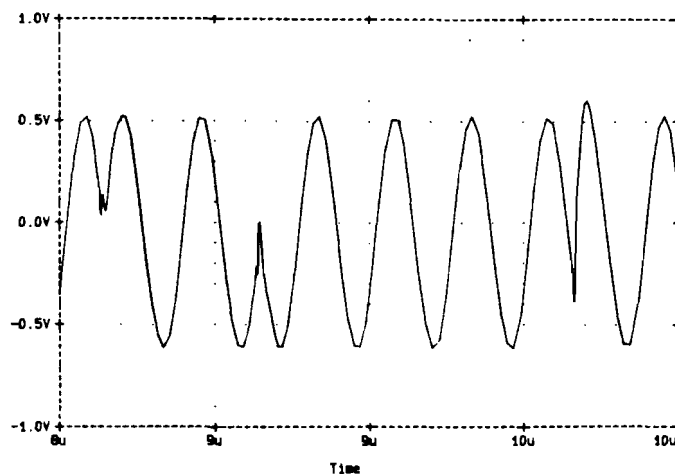
De versterking van de modulator zonder ingangscircuit is ook bepaald met behulp van de formules 4(10) en 4(11). Dit geeft als uitkomst dat de modulator een versterking heeft van 0.75 ofwel -2.5dB. De afwijking van deze versterking ten opzichte van de met

PSPICE bepaalde waarde is te verklaren uit het feit dat de formules waarvan uitgegaan wordt al benaderingen zijn en tijdens de berekening van de formules 4(10) en 4(11) ook nog enige benaderingen zijn toegepast. In bijlage 3 wordt duidelijk gemaakt dat de voorspelde waarde van de versterking weergegeven door formule 4(10) inderdaad te hoog is.

Ook kan nog geverifieerd worden dat inderdaad aan de voorwaarde 4(9) is voldaan. Het linkerlid van deze formule is gelijk aan  $1.41 \cdot 10^{-6}$  en het rechterlid is gelijk aan  $1.40 \cdot 10^{-6}$  zodat de afmetingen van de gekozen MOS-transistoren van de DSC optimaal zijn, verandering van één van de afmetingen van een MOST met tenminste  $1\mu\text{m}$  heeft namelijk tot gevolg dat het verschil tussen het linker- en rechterlid van 4(9) groter wordt.

Alle transistoren, behalve diegene die als schakelaar worden gebruikt, zijn overigens in verzadiging. Hieruit volgen een aantal voorwaarden voor de diverse spanningen in de modulator, zie ook hoofdstuk 3. Uit deze voorwaarden en de grootte van de stromen, die ten dele vrij gekozen kunnen worden, zijn de afmetingen van de transistoren met behulp van de formule 3(2) bepaald.

Ook zijn enige transient-analyses uitgevoerd. Een bpsk-signaal dat de modulator kan genereren is weergegeven in figuur 4-7. Met modulator wordt voortaan, tenzij anders vermeld, de modulator met ingangscircuit bedoeld. Het bpsk-signaal ontstaat dus door aan de modulator een draaggolf en twee complementaire data-signalen aan te bieden. Als geen ingangscircuit wordt gebruikt dan blijkt de gelijkspanningscomponent van het bpsk-signaal als  $\Phi_1$  hoog is niet exact gelijk te zijn aan de gelijkspanningscomponent als  $\Phi_2$  hoog is, ook niet als de gelijkspanningscomponent van het ingangssignaal exact gelijk is aan referentie-aarde. Dit is waarschijnlijk te wijten aan het feit dat de gebruikte loads in de inverter een kwadratische I/V-karakteristiek bezitten, ook gaan bij de gebruikte hoge frequenties en de vrij grote signalen de niet-lineaire parasitaire capaciteiten een rol spelen. Afhankelijk van de amplitude A van het gegenereerde bpsk-signaal kan het verschil in gelijkspanningen oplopen tot tientallen millivolts.



Figuur 4-7. Transient gedrag van de modulator.  
( $\hat{v}_1 = 1.0V$ ,  $R_{\text{bron}} = 10k\Omega$ ,  $f = 4MHz$ )

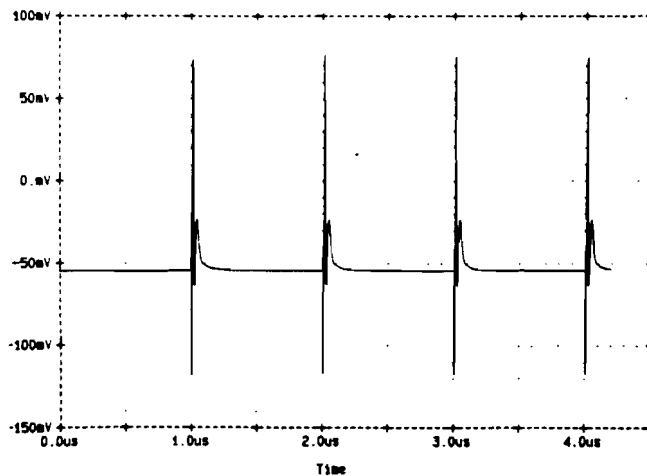
Het ingangscircuit is zodanig gedimensioneerd dat de gelijkspanningscomponenten van het bpsk-signaal als  $\Phi_1$  of  $\Phi_2$  hoog is zo

weinig mogelijk verschillen. Voor de afmetingen van de transistoren van het ingangscircuit geldt dan  $M1=M3=W/L=6/50$  en  $M2=M4=6/70$ ,  $W$  en  $L$  in  $\mu\text{m}$ . De ongelijkheid van de gelijkspanningscomponenten als  $\Phi_1$  of  $\Phi_2$  hoog is blijkt, ook na optimalisatie van het ingangscircuit, niet geheel verdwenen te zijn maar is wel kleiner dan  $2.6 \cdot A \text{ mV}$ . Deze ongelijkheid is er verantwoordelijk voor dat er bij het bpsk-sigitaal een (ongewenst) pulserend sigitaal wordt opgeteld. Het *genormaliseerde vermogen* van dit pulserende sigitaal is gelijk aan  $1.7 \cdot 10^{-3} \cdot A^2 \text{ mW}$ . Met *vermogen* wordt steeds het *genormaliseerde vermogen* bedoeld gedissipeerd in een weerstand van  $1\Omega$ .

Dit ongelijk zijn van de gelijkspanningen van het uitgangssigitaal van de modulator wordt voortaan behandeld alsof het sigitaal dat de modulator levert als  $\Phi_1$  hoog is een offsetspanning ter grootte  $\Delta v$  en als  $\Phi_2$  hoog is een offsetspanning ter grootte  $-\Delta v$  bevat. Natuurlijk kan in praktische situaties  $\Delta v$  ook negatief zijn.

Om de schakelpulsen te onderzoeken zijn eveneens een aantal transient-analyses uitgevoerd. Om schakelpulsen tegen te gaan bestaat er de mogelijkheid bij elke transistor die als schakelaar functioneert een dummy-transistor toe te voegen die het complementaire schakelsigitaal krijgt aangeboden [7]. Deze mogelijkheid is gesimuleert maar blijkt geen positief effect te hebben op de onderdrukking van de schakelpulsen.

De energie,  $E_{\text{puls}}$ , van één schakelpuls is gelijk aan  $150\text{pJ}$ . Aangezien een schakelpuls per bittijd hoogstens eenmaal op kan treden, de kans hierop is  $\frac{1}{2}$ , is het vermogen dat door de schakelpulsen gedissipeerd wordt gelijk aan  $\frac{1}{2} \cdot E_{\text{puls}}/T_b = 7.5 \cdot 10^{-2} \text{ mW}$ .



Figuur 4-8. Schakelpulsen die optreden in de modulator.  
( $\hat{v}_1=0V$ ,  $R_{\text{bron}}=10k\Omega$ , schakelfrequentie is  $500\text{kHz}$ )

Het bpsk-sigitaal dat de modulator genereert kan opgebouwd worden gedacht uit het ideale bpsk-sigitaal, dat wil zeggen het sigitaal dat ontstaat als een ideale modulator gebruikt wordt, plus de schakelpulsen plus het pulserend sigitaal dat ontstaat door de aanwezigheid van eventuele offsetspanningen. Een deel van het vermogen van het bpsk-sigitaal wordt dus gebruikt voor het genereren van de ongewenste signalen, bij de modulator is dit ongeveer gelijk aan  $7.7 \cdot 10^{-2} \text{ mW}$ . Het ruisvermogen is overigens verwaarloosbaar klein. Als de amplitude van de aangeboden draaggolf gelijk is aan  $1.0V$  dan is de amplitude van het bpsk-sigitaal gelijk aan  $0.58V$

en het vermogen 0.17W. Dit betekent dat de onderdrukking van stoorsignalen gelijk is aan 33dB. Merk op dat vooral de schakelpulsen verantwoordelijk zijn voor deze lage onderdrukking van ongewenste signalen. Het vermogen dat de schakelpulsen dissiperen is onafhankelijk van de amplitude van het bpsk-signaal en de onderdrukking van stoorsignalen wordt daarom kleiner als deze amplitude geringer wordt. Zo is bij een amplitude van 0.1V van het bpsk-signaal de onderdrukking van stoorsignalen noch slechts 18dB.

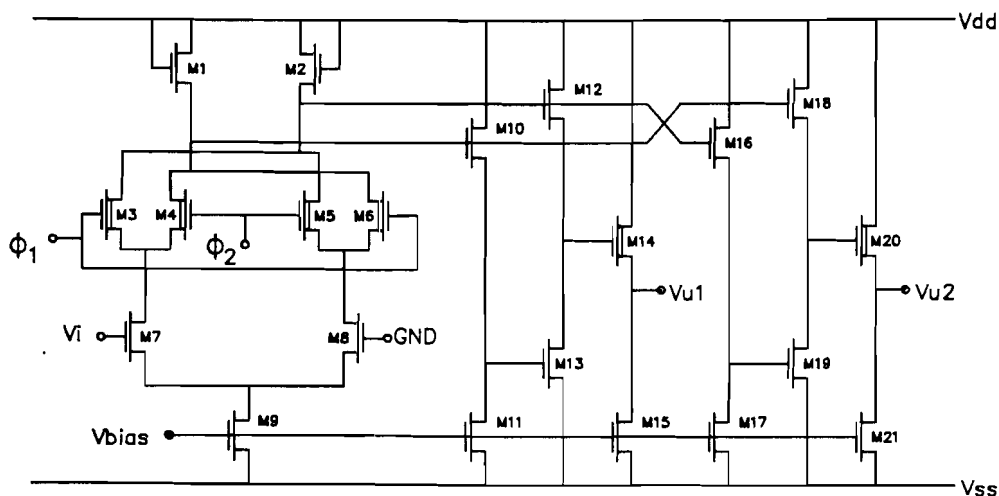
Ook is de vervorming van de signalen die de modulator genereert een maat voor de kwaliteit van de modulator. Met behulp van Fourier-analyses kan de totale harmonische vervorming van een circuit bepaald worden. Om de vervorming van de modulator te bepalen wordt bij deze analyses een draaggolf aan de modulator aangeboden doch er wordt niet geschakeld. Zo kan bekeken worden welke de vervorming is die de modulator aan het signaal toevoegt. Als de amplitude van het ingangssignaal van de modulator kleiner is dan 1.2V, de amplitude van het uitgangssignaal is nu kleiner dan 0.7V, dan is de vervorming van het uitgangssignaal maximaal 4%. Voor grotere amplituden neemt de totale harmonische vervorming snel toe.



## 5. DE SYNCHRONE DETECTOR.

### 5.1. DE WERKING VAN DE SYNCHRONE DETECTOR.

Een schakeling die eveneens als modulator gebruikt kan worden is de synchrone detector, weergegeven in figuur 5-1. De eisen waaraan de synchrone detector dient te voldoen zijn dezelfde als opgenomen in § 4.1.



Figuur 5-1. De synchrone detector.

M3 t/m M6 fungeren als schakelaar. Als deze schakelaars buiten beschouwing worden gelaten vormen M1, M2, M7, M8 en M9 een deel van de inverter uit figuur 4-2. De schakelaars zorgen er voor dat de signaalstroom die M7 voert, die natuurlijk nagenoeg gelijk is aan de signaalstroom door M8 maar eraan tegengesteld, afhankelijk van  $\Phi_1$  en  $\Phi_2$ , waarvan er één hoog en één laag dient te zijn, door M1 óf M2 wordt geleid.

Als nu aan de ingang van de synchrone detector een draaggolf wordt aangeboden en aan  $\Phi_1$  en  $\Phi_2$  een complementair data-sigitaal, dan is bij de enhancementloads M1 en M2 zowel een bpsk-sigitaal aanwezig als zijn geïnverteerde, althans als  $\Phi_1, \Phi_2$  en  $m(t)$  aan dezelfde eisen voldoen als geformuleerd in § 4.3. Deze signalen zijn in het algemeen nogal vervormd. De hier optredende vervorming kan, evenals bij de inverter, met een DSC, bestaande uit M10 t/m M13, sterk worden gereduceerd. M14 en M15 vormen een levelshifter die er voor zorgt dat het gelijkspanningsniveau in het uitgangssigitaal gelijk is aan referentie-aarde.

Merk op dat het toevoegen van een tweede DSC en levelshifter, bestaande uit M16 t/m M21, tot gevolg heeft dat zowel een vervormingsvrij bpsk-sigitaal aanwezig is als zijn geïnverteerde. Dit kan nuttig zijn als bij de verwezenlijking van de bpsk-demodulator in IC-vorm blijkt dat het beter is om met gebalanceerde signalen te werken. Zo heeft het voordelen om een I/D-filter te gebruiken dat gebalanceerde ingangssignalen krijgt aangeboden [6].

De versterking van de synchrone detector wordt vastgelegd door 5(1), bepaald met behulp van 4(10) en bijlage 2, waarbij is uitgegaan van de aannames:

- M3 t/m M6 zijn ideale schakelaars,
- de M10 t/m M15 zijn identiek aan de overeenkomstige M16 t/m

- M21,  
 - M1 en M7 zijn identiek aan respectievelijk M2 en M8,  
 -  $V_{gs0}$  en  $V_{th}$  zijn de gate-sourcespanning en de drempelspanning van M1 en M2 als  $v_i=0$ ,  
 -  $k_1 = K_p w_1 / 2l_1 = K_p w_2 / 2l_2$ .

$$\left| \frac{v_{u1}}{v_i} \right| - \left| \frac{v_{u2}}{v_i} \right| = \quad 5(1)$$

$$\varepsilon_{m7} \cdot \varepsilon_{m12} \cdot \varepsilon_{m14}$$

$$2 \cdot k_1 \cdot (V_{gs0} - V_{th}) \cdot (\varepsilon_{m12} + \varepsilon_{ds12} + \varepsilon_{mb12} + \varepsilon_{ds13}) \cdot (\varepsilon_{m14} + \varepsilon_{ds14} + \varepsilon_{mb14} + \varepsilon_{ds15})$$

Ook nu moet voldaan zijn aan de voorwaarde, evenals bij de DSC van de inverter, die nodig is om een vervormingsvrij uitgangssignaal te verkrijgen:

$$\varepsilon_{m12} = \frac{\varepsilon_{m13} \cdot \varepsilon_{m10}}{\varepsilon_{m10} + \varepsilon_{ds10} + \varepsilon_{mb10} + \varepsilon_{ds11}} \quad 5(2)$$

De afmetingen van de gebruikte transistoren zijn in tabel 5/1 opgenomen.

Tabel 5/1. Nummer, type en afmetingen van de transistoren van de synchrone detector,  $W$  en  $L$  in  $\mu m$ .

Nr.	Type	$W$	$L$
M1	ENH	7	11
M2	ENH	7	11
M3	DEP	6	6
M4	DEP	6	6
M5	DEP	6	6
M6	DEP	6	6
M7	ENH	6	9
M8	ENH	6	9
M9	ENH	12	17
M10	ENH	6	39
M11	ENH	8	15
M12	ENH	6	39
M13	ENH	6	23
M14	DEP	6	6
M15	ENH	6	16
M16	ENH	6	39
M17	ENH	8	15
M18	ENH	6	39
M19	ENH	6	23
M20	DEP	6	6
M21	ENH	6	16

Opm. De synchrone detector kan, evenals de modulator uit hoofdstuk 4, slechts als demodulator gebruikt worden als de draaggolf waarmee gedemoduleerd wordt een blokgolf is!

Het ingangscircuit en het biascircuit die bij de modulator uit hoofdstuk 4 zijn toegepast kunnen ook bij de synchrone detector gebruikt worden.

## 5.2. PSPICE SIMULATIES.

Om de synchrone detector met de modulator te kunnen vergelijken zijn dezelfde simulaties uitgevoerd als in § 4.5 zijn besproken. Een schema van de synchrone detector compleet met biascircuit en ingangscircuit is in bijlage 4 opgenomen. De simulaties zijn uitgevoerd met slechts één DSC en levelshifter dus zonder M16 t/m M21 uit figuur 5-1.

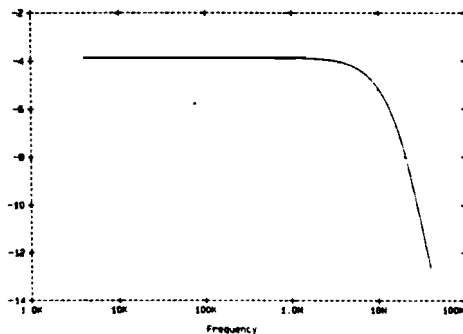
Dan blijkt dat:

- de versterking van de synchrone detector voor lage frequenties gelijk is aan 0.64 ofwel -3.9dB
- de versterking van een 4MHz signaal als  $\Phi_1$  hoog is minder dan 0.09dB afwijkt van de versterking als  $\Phi_2$  hoog is,
- de verzwakking bij 4MHz zo'n 0.24dB bedraagt,
- de bandbreedte van de synchrone detector gelijk is aan 17MHz,
- de tijdvertraging van de synchrone detector bij 4MHz gelijk is aan 10ns,
- aan de uitgang van de synchrone detector de spectrale vermogensdichtheid van de ruis  $3.8 \cdot 10^{-15} \text{V}^2/\text{Hz}$  bedraagt,
- het uitgangssignaal als  $\Phi_1$  hoog is niet exact  $180^\circ$  is verschoven ten opzichte van het uitgangssignaal als  $\Phi_2$  hoog is, de afwijking is bij 4MHz kleiner dan  $0.40^\circ$ , ofwel 0.28ns,
- de uitgangsimpedantie is gelijk aan  $10\text{k}\Omega$ ,
- de dissipatie van de synchrone detector gelijk is aan 2.6mW.

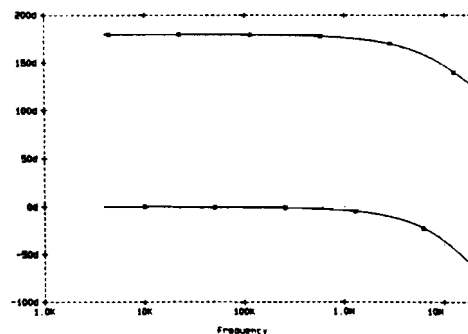
De opmerkingen die in § 4.5 zijn gemaakt over het ingangscircuit zijn ook nu van toepassing. De versterking van de synchrone detector met ingangscircuit is voor frequenties tussen 2MHz en 5MHz gelijk aan -4.9dB met een rimpel van 0.14dB.

Is nu ook aan de voorwaarde, geformuleerd in 5(2), voldaan? Het linkerlid uit deze uitdrukking is gelijk aan  $8.63 \cdot 10^{-6}$  en het rechterlid is gelijk aan  $8.48 \cdot 10^{-6}$  zodat ook hier de afmetingen van de gekozen transistoren van de DSC nagenoeg ideaal zijn.

De versterking berekend met behulp van 5(1) geeft als uitkomst een versterking van 0.72, oftewel -2.9dB.

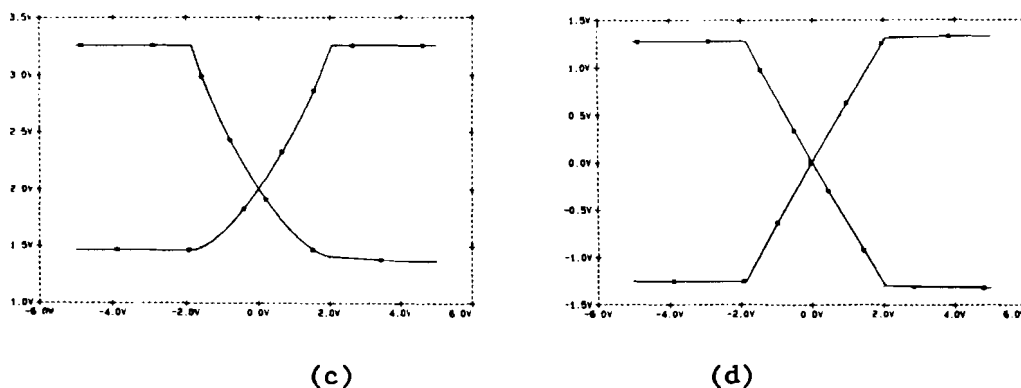


(a)



(b)

(Eerste deel figuur 5-2)

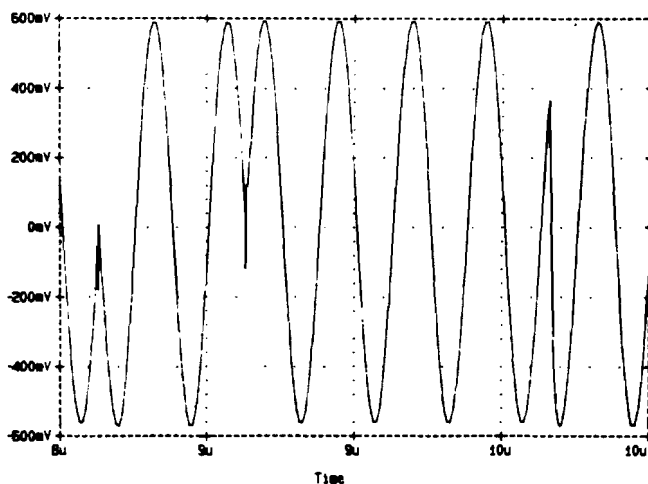


Figuur 5-2. DC- en AC-overdrachtskarakteristieken van de synchrone detector:

- (a) en (b): amplitude en de fase van  $v_u$  als functie van de frequentie met  $\hat{v}_1=1.0V$ , de fase van  $v_1$  is nul,
  - (c): overdracht van  $V_1$  naar  $V_{s1}$  en  $V_{s2}$ ,
  - (d): overdracht van  $V_1$  naar  $V_u$ .
- (Simulaties zonder ingangscircuit)

Een bpsk-sigitaal dat de synchrone detector, met synchrone detector wordt voortaan, tenzij anders vermeld, de synchrone detector met ingangscircuit bedoeld, kan genereren is weergegeven in figuur 5-3.

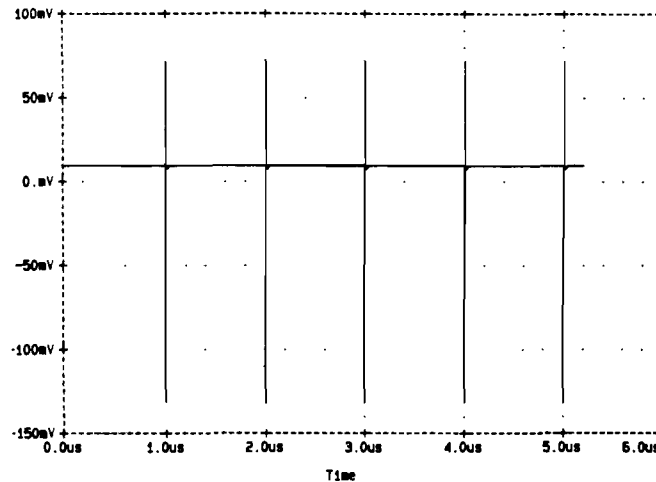
Het ingangscircuit is weer zodanig gedimensioneerd, zie ook § 4.5, dat de gelijkspanningscomponenten van het bpsk-sigitaal als  $\Phi_1$  of  $\Phi_2$  hoog is zo weinig mogelijk verschillen. Voor de afmetingen van de transistoren van het ingangscircuit geldt dan  $M1=M3=W/L=6/49$  en  $M2=M4=6/70$ ,  $W$  en  $L$  in  $\mu m$ . De ongelijkheid van de gelijkspanningscomponenten als  $\Phi_1$  of  $\Phi_2$  hoog is blijkt nu kleiner te zijn dan  $2.2 \cdot A$  mV. Het vermogen dat het ongewenste pulserende sigitaal, dat ontstaat door de offsetspanningen, dissipeert is gelijk aan  $1.2 \cdot 10^{-3} \cdot A^2 mW$ .



Figuur 5-3. Transient gedrag van de synchrone detector.  
( $\hat{v}_1=1.0V$ ,  $R_{b,ron}=10k\Omega$ ,  $f=4MHz$ )

De energie,  $E_{puls}$ , van één schakelpuls, zie ook figuur 5-4, is

gelijk aan  $30\text{pJ}$  en het vermogen dat door de schakelpulsen gedissipeerd wordt is gelijk aan  $\frac{1}{2} \cdot E_{\text{puls}}/T_b = 1.5 \cdot 10^{-2} \text{mW}$ .



Figuur 5-4. Schakelpulsen die optreden in de synchrone detector.

( $\hat{v}_i = 0\text{V}$ ,  $R_{\text{bron}} = 10\text{k}\Omega$ , schakelfrequentie is  $500\text{kHz}$ )

Het deel van het vermogen van het bpsk-sigitaal dat wordt gebruikt voor het genereren van de ongewenste signalen is bij de synchrone detector ongeveer gelijk aan  $1.6 \cdot 10^{-2} \text{mW}$ . Als de amplitude van de aangeboden draaggolf gelijk is aan  $1.0\text{V}$  dan is de amplitude van het bpsk-sigitaal gelijk aan  $0.58\text{V}$  en het vermogen  $0.17\text{W}$ . Dit betekent dat de onderdrukking van stoorsignalen gelijk is aan  $40\text{dB}$ . Merk op dat ook hier vooral de schakelpulsen verantwoordelijk zijn voor de matige onderdrukking van ongewenste signalen.

Voor de totale harmonische vervorming van de synchrone detector geldt dat deze kleiner is dan  $3\%$  mits de amplitude van het ingangssigitaal kleiner is dan  $1.8\text{V}$ . De amplitude van het uitgangssigitaal is dan geringer dan  $1.0\text{V}$ . Voor grotere amplituden neemt de vervorming snel toe.

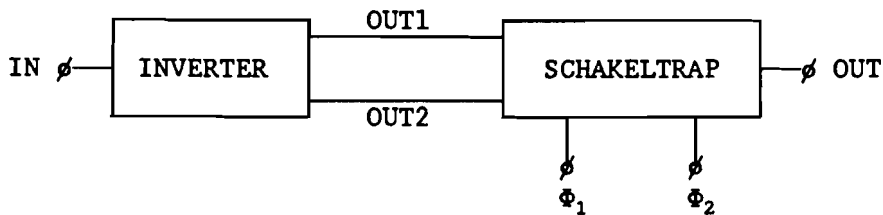
Als een vervorming van  $3\%$  toelaatbaar is dan is een onderdrukking van stoorsignalen bij een bpsk-sigitaal van  $45\text{dB}$  haalbaar.

## 6. NIET-IDEALITEITEN VAN DE MODULATOREN EN HUN INVLOED.

### 6.1. INLEIDING.

De niet-idealiteiten die in de modulatoren optreden en de invloeden hiervan op de werking van de bpsk-demodulator zijn bepaald voor de modulator uit hoofdstuk 4. De uitkomsten zijn echter ook geldig voor de overeenkomende niet-idealiteiten van de synchrone detector.

De modulator uit hoofdstuk 4 is opgebouwd uit een tweetal deelschakelingen, zie ook figuur 6-1.



*Figuur 6-1. Schematische voorstelling modulator.*

Als  $\phi_1$  hoog is wordt OUT1 naar OUT doorgeschakeld zodat dan geldt dat  $OUT=IN$ . Evenzo geldt  $OUT=-IN$  als  $\phi_2$  hoog is. Dit geldt als de modulator ideaal is.

In praktijk is dit niet het geval. Als de vervorming die de beide deelschakelingen introduceren even buiten beschouwing wordt gelaten dan kan wel gesteld worden dat geldt:

$$OUT/IN = H_1(f) = |H_1(f)| e^{j \arg H_1(f)} \text{ als } \phi_1 \text{ hoog is, en} \quad 6(1)$$

$$OUT/IN = H_2(f) = |H_2(f)| e^{j [\arg H_2(f) + \pi]} \text{ als } \phi_2 \text{ hoog is.} \quad 6(2)$$

In het ideale geval is  $H_1(f) = -H_2(f) = 1$ . In het algemeen geldt echter dat  $|H_1(f)|$  niet exact gelijk is aan  $|H_2(f)|$  en ook dat  $\arg H_1(f)$  niet exact gelijk is aan  $\arg H_2(f)$ . Bovendien zorgt de schakeltrap er nog voor dat er ongewenste schakelpulsen in de modulator aan het signaal worden toegevoegd. Tenslotte ontstaat er nog een ongewenst signaal in het uitgangssignaal van de modulator door eventuele offsetspanningen in OUT1 en OUT2.

Deze afwijkingen van de modulator ten opzichte van een ideale modulator komen zeer verschillend tot uiting al naar gelang de taak waarvoor de modulator wordt gebruikt en dienen daarom nader onderzocht te worden.

### 6.2. DE DEMODULATOR VOOR HET I/D-FILTER.

#### 6.2.1. DE INVLOED VAN DE (VERSCHILLENDE) TIJDVERTRAGINGEN.

De in het algemeen frequentie-afhankelijke tijdvertragingen, vastgelegd door  $\arg H_1(f)$  en  $\arg H_2(f)$ , die in de modulator aanwezig zijn worden bepaald door de (parasitaire) capaciteiten van de modulator.

Ondanks de symmetrische opbouw van de modulator kunnen twee overeenkomende parasitaire capaciteiten van bijvoorbeeld de beide ingangstransistoren van de schakeltrap toch nogal verschillen, dit

zorgt er weer voor dat  $\arg H_1(f)$  niet gelijk is aan  $\arg H_2(f)$ . Doordat de signalen de modulator doorlopen met in het algemeen verschillende tijdvertragingen kunnen principieel twee soorten fouten geïntroduceerd worden:

- (a) fouten die optreden doordat het interval waarover het I/D-filter het gedemoduleerde signaal integreert niet het optimale interval is, en
- (b) fouten die optreden doordat de schakeltrap niet op de optimale momenten schakelt.

Deze fouten zorgen er in het algemeen voor dat de foutenkans in de data-terugwinning vergroot wordt.

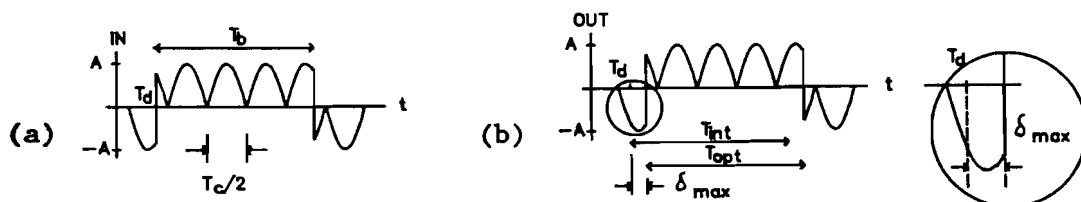
De modulator voor het I/D-filter wordt gebruikt als demodulator, de schakel signalen zijn in dit geval complementaire blokvolven met frequentie  $f_c$ .

ad a:

Neem voorlopig aan dat de schakeltrap op de optimale momenten schakelt. De overgangen in het data signaal vallen op  $t = T_d + n \cdot T_b$ , waarbij  $n$  een geheel getal is, zie figuur 6-2(a).

Als nu eveneens op deze tijdstippen, zo'n tijdstip wordt voortaan het *beslissingsmoment* genoemd, wordt beslist welk bit, een 0 ( $m(t) = -1$ ) of een 1 ( $m(t) = 1$ ), in het afgelopen interval  $T_b$  is gezonden dan wordt dus niet tijdens het optimale interval geïntegreerd omdat de modulator het gedemoduleerde signaal heeft vertraagd, zie figuur 6-2(b). Het integratie-interval is met  $T_{int}$  aangegeven.

Figuur 6-2(b) geeft tevens die situatie weer waarbij de grootste fout optreedt als er een 1 is gezonden. In deze figuur is namelijk  $\delta_{max} = \max(\delta_1, \delta_2)$ , waarbij  $\delta_1$  en  $\delta_2$  respectievelijk de tijden zijn die de modulator het doorgaande signaal vertraagd als  $\Phi_1$  of  $\Phi_2$  hoog is. De maximale fout die kan optreden als er een 0 is gezonden is overigens gelijk aan de maximale fout die op kan treden als er een 1 is gezonden. Merk op dat de maximale fout alleen op kan treden als het momentane bit en het vorige verschillende zijn.



Figuur 6-2. Invloed van vertragingen in modulator.

Omdat in figuur 6-2(b) ten opzichte van het optimale integratie interval,  $T_{opt}$ , een zo groot mogelijke bijdrage met verkeerd teken wordt geïntegreerd, de integratie begint immers te vroeg, en tevens een even grote bijdrage te weinig wordt geïntegreerd, de integratie stopt namelijk ook te vroeg, is de ontstane fout in de situatie van figuur 6-2(b) dus maximaal. (Dit geldt alleen als  $\delta_{max} < T_c/2$ )

Uit figuur 6-2(b) is af te lezen dat de maximale fout  $|\epsilon|$  gelijk is aan:

$$|\epsilon| = 2 \int_{-\delta_{\max}/2}^{\delta_{\max}/2} \text{Acos}(2\pi f_c t) dt = 2A \frac{\sin(\pi f_c \delta_{\max})}{\pi f_c} . \quad 6(3)$$

Als geldt dat  $\pi f_c \delta_{\max} \ll 1$  kan deze fout benaderd worden met:

$$|\epsilon| \approx 2A \delta_{\max} . \quad 6(4)$$

Als geldt dat  $\delta_{\max} = \delta_1 - \delta_2$  dan is deze fout te vermijden door het beslissingsmoment niet te kiezen op  $t = T_d + n \cdot T_b$  maar op  $t = T_d + n \cdot T_b + \delta_1 = T_d + n \cdot T_b + \delta_2$ . Hiervoor is echter wel synchronisatie nodig tussen het beslissingsmoment en het gedemoduleerde signaal.

Als geldt dat  $\delta_1$  en  $\delta_2$  niet gelijk zijn dan kan de fout niet geheel vermeden worden. Door nu het beslissingsmoment te kiezen op  $t = T_d + n \cdot T_b + \delta_1$  of op  $t = T_d + n \cdot T_b + \delta_2$  wordt de maximale fout wel geminimaliseerd, en is dan gelijk aan:

$$|\epsilon| = 2A \frac{\sin(\pi f_c |\delta_1 - \delta_2|)}{\pi f_c} . \quad 6(5)$$

Voor  $\pi f_c |\delta_1 - \delta_2| \ll 1$  volgt hiermee voor de fout:

$$|\epsilon| \approx 2A |\delta_1 - \delta_2| . \quad 6(6)$$

Hoe draagt nu deze fout bij tot een vergroting van de foutenkans in de data-terugwinning?

Algemeen geldt dat de foutenkans van een I/D-filter gelijk is aan [2]:

$$P_e = P_1 P_{e1} + P_0 P_{e0} , \quad 6(7)$$

waarbij  $P_1$  en  $P_0$  de kansen zijn dat er een 1 of een 0 wordt gezonden en  $P_{e1}$  en  $P_{e0}$  de kansen zijn dat er een fout optreedt als er een 1 respectievelijk een 0 is gezonden. Er geldt dat  $P_1 = P_0 = 0.5$ .

Als de ontvangen ruis wit en gaussisch is dan is de foutenkans [2,3]:

$$P_e = \frac{1}{2} Q(\sqrt{(2E_{r1}/\eta)}) + \frac{1}{2} Q(\sqrt{(2E_{r0}/\eta)}) , \quad 6(8)$$

waarbij  $E_{r1}$  en  $E_{r0}$  de energien van de pulsen zijn die het I/D-filter aangeboden krijgt als er een 1 respectievelijk een 0 ontvangen is en  $\eta$  de spectrale ruisdichtheid is van de gaussische ruis.

Natuurlijk is  $\sqrt{E_{r1}}$  evenredig met de amplitude  $A$  van het signaal ná de modulator evenals  $\sqrt{E_{r0}}$ , 6(8) kan dus ook als volgt geschreven worden:

$$P_e = Q(A/\sigma) , \quad 6(9)$$

waarbij  $\sigma$  welliswaar niet gelijk is aan de standaarddeviatie van de ontvangen ruis, maar hiermee wel evenredig is en constant.

Stel nu dat  $T_b \geq n \cdot T_c / 2$  en  $T_b < (n+1) \cdot T_c / 2$  met  $n=1,2,3,\dots$ . Dat wil



zeggen dat  $n$  halve perioden van de draaggolf binnen één bittijd passen. In figuur 6-2(b) is de situatie voor  $n=4$  weergegeven.

Als de modulator ideaal is en tijdens het optimale interval door het I/D-filter wordt geïntegreerd dan wordt de volgende integraal bepaald:

$$I_{opt} = \pm \int_{T_0}^{T_0+T_b} A |\sin(2\pi f_c t + \phi_0)| dt \quad (10)$$

Of er een plus- of een min-teken voor de integraal moet staan hangt af van het gezonden bit.

Onder de genoemde aannames geldt dat:

$$|I_{opt}| \geq n \int_{T_0}^{T_0+1/2f_c} A |\sin(2\pi f_c t + \phi_0)| dt = \frac{nA}{\pi f_c} \quad (11)$$

De relatieve fout die ontstaat doordat het integratie-interval niet optimaal is, is gelijk aan  $|\epsilon_r| = |\epsilon| / |I_{opt}|$ , met 6(3) en 6(11) volgt nu:

$$|\epsilon_r| \leq \frac{2\sin(\pi f_c \delta_{max})}{n} \quad (12)$$

Deze fout is voor een tweetal waarden van  $f_c$  in tabel 6/1 weergegeven. Voor kleine  $\delta_{max}$  kan 6(12) benaderd worden met  $|\epsilon_r| \approx 2\pi f_c \delta_{max} / n = \pi \delta_{max} / T_b$ , deze benaderingswaarde is ook in de tabel opgenomen en blijkt  $|\epsilon_r|$  goed te benaderen als  $\delta_{max} \leq 40ns$ .

Uit de tabel blijkt ook dat de keuze van  $f_c$  niet veel invloed heeft op deze relatieve fout.

Tabel 6/1. De relatieve fout  $|\epsilon_r|$  gemaakt door het I/D-filter, ontstaan door niet optimale integratie.

$\delta_{max}$ (ns)	$ \epsilon_r $			$\Delta(S/R)$ (dB)	
	$f_c=4MHz$	$f_c=3MHz$	$\pi\delta_{max}/T_b$	$f_c=4MHz$	$f_c=3MHz$
100	0.24	0.27	0.31	-2.4	-2.7
80	0.21	0.23	0.25	-2.1	-2.3
40	0.12	0.12	0.13	-1.1	-1.1
20	0.062	0.063	0.063	-0.56	-0.57
10	0.031	0.031	0.031	-0.27	-0.27
8	0.025	0.025	0.025	-0.22	-0.22
4	0.013	0.013	0.013	-0.11	-0.11
2	0.0063	0.0063	0.0063	-0.06	-0.06
1	0.0031	0.0031	0.0031	-0.03	-0.03

In praktijk is de optredende fout waarschijnlijk veel kleiner dan de in tabel 6/1 weergegeven waarde omdat er bij de berekening van bovenstaande tabel van uit is gegaan dat steeds een maximale fout optreedt en dit is, statistisch gezien, in minder dan de helft van de gevallen juist. Tijdens de andere gevallen treedt steeds een kleinere of zelfs helemaal geen fout op, bovendien kan de maximale fout alleen optreden als  $n \cdot T_c / 2 = T_b$ , zie ook figuur 6-2, als dit niet het geval is treedt de berekende maximale fout zelfs nooit op!

Het I/D-filter bepaald dus niet de optimale integraal, de bepaalde integraal is gelijk aan:

$$|I| = |I_{opt}| - |\epsilon| = |I_{opt}| [1 - |\epsilon_r|] \geq \frac{nA}{\pi f_c} [1 - |\epsilon_r|] \quad . \quad 6(13)$$

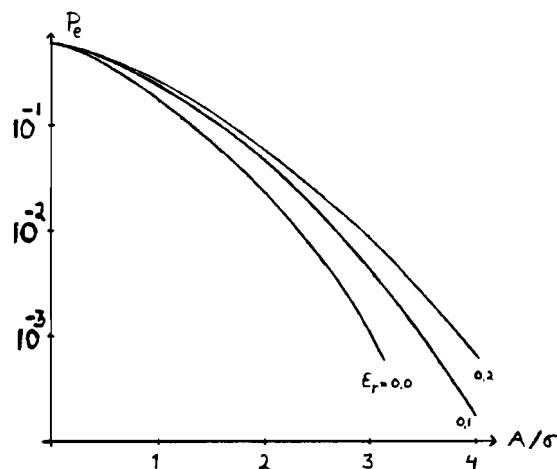
Om nu de foutenkans te kunnen bepalen wordt aangenomen dat de ontstane fout een gevolg is van het kleiner worden van de zogenaamde effectieve amplitude van de ontvangen pulsen. Met andere woorden er wordt gesteld dat  $|I| \geq nA' / \pi f_c$ . Met 6(13) volgt dan dat  $A' = A[1 - |\epsilon_r|]$  en de foutenkans wordt nu:

$$P_e = Q(A'/\sigma) = Q([1 - |\epsilon_r|]A/\sigma) \quad . \quad 6(14)$$

Voor een tweetal waarden van  $|\epsilon_r|$  is deze foutenkans weergegeven in figuur 6-3. Als het beslissingsmoment gesynchroniseerd wordt met het gedemoduleerde signaal, is de maximale relatieve fout die nu nog optreedt, zie ook 6(5) en 6(12):

$$|\epsilon_r| \leq \frac{2 \sin(\pi f_c |\delta_1 - \delta_2|)}{n} \quad . \quad 6(15)$$

De fout uit 6(15) is in het algemeen echter veel kleiner dan de fout uit 6(12), omdat niet de waarden van de tijdvertragingen van de modulator van belang zijn doch slechts het verschil hiervan.



Figuur 6-3. Invloed van gemaakte fout op de foutenkans in de data-terugwinning.

Uit 6(14) kan opgemaakt worden dat de effectieve amplitude van

het ontvangen bpsk-sigitaal met een factor  $(1-|\epsilon_r|)$  veranderd. Dit heeft een verslechtering van de signaal-ruisverhouding van het ontvangen signaal ter grootte  $20\log(1-|\epsilon_r|)$ dB tot gevolg. Deze verandering van signaal-ruisverhouding is ook in tabel 6/1 opgenomen.

De bovenstaande resultaten zijn algemeen geldig als  $\delta_1$  en  $\delta_2$  de tijdsverschillen zijn tussen het beslissingsmoment en de data-overgangen in het gedemoduleerde signaal als respectievelijk  $\Phi_1$  of  $\Phi_2$  hoog is.

Voor de modulator geldt bij  $f_c=4$ MHz dat  $\delta_{max}=19$ ns zodat de signaal-ruisverhouding zo'n 0.6dB geringer is ten opzichte van de situatie met een ideale modulator. Bij deze frequentie geldt ook dat  $|\delta_1-\delta_2|=2.2$ ns, dit betekent dat ná synchronisatie van het beslissingsmoment en het gedemoduleerde signaal het verlies in signaal-ruisverhouding nog slechts 0.1dB bedraagt. Voor de synchrone detector bedragen de overeenkomstige veranderingen in signaal-ruisverhouding respectievelijk -0.3dB en -0.01dB.

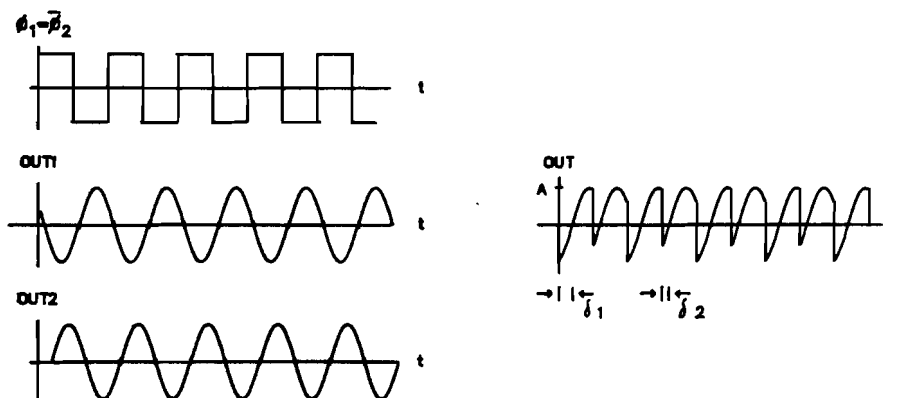
ad b:

Neem nu aan dat het integratie-interval optimaal is. Tijdens het integreren kunnen echter ook fouten gemaakt worden doordat de modulator niet op de juiste momenten schakelt. Dit is het geval als de nuldoorgangen van de bpsk-signalen die aan de schakeltrap worden aangeboden en de overgangen in de schakelsignalen niet exact synchroon lopen. Een oorzaak hiervan kan zijn dat de signalen OUT1 en OUT2, zie figuur 6-1, niet exact elkaars geïnverteerde zijn. Neem aan dat  $\delta_1$  en  $\delta_2$  de tijdsverschillen zijn tussen de nuldoorgangen van de bpsk-signalen die bij OUT1 en OUT2 aanwezig zijn en respectievelijk de overgangen van  $\Phi_1$  en  $\Phi_2$ , zie ook figuur 6-4.

Als  $\Phi_1$  hoog is maakt het I/D-filter zowel aan het begin als aan het einde van dit interval een fout ter grootte:

$$|\epsilon_1| = \int_0^{\delta_1} A \sin(2\pi f_c t) dt = A \frac{1 - \cos(2\pi f_c \delta_1)}{2\pi f_c} \quad . \quad 6(16)$$

Als  $\Phi_2$  hoog is volgt voor de twee gemaakte fouten,  $|\epsilon_2|$ , dezelfde uitdrukking als in 6(16) waarin dan wel  $\delta_1$  is vervangen door  $\delta_2$ .



Figuur 6-4. Signalen in de modulator.

Neem nu aan dat  $n \cdot T_c/2 \leq T_b$ ,  $(n+1) \cdot T_c/2 > T_b$ ,  $\delta_{\min} = \min(\delta_1, \delta_2)$ ,  $\delta_{\max} = \max(\delta_1, \delta_2)$ ,  $|\epsilon_{\min}| = \min(|\epsilon_1|, |\epsilon_2|)$  en  $|\epsilon_{\max}| = \max(|\epsilon_1|, |\epsilon_2|)$ . Het aantal fouten dat nu kan optreden tijdens één bittijd, het integratie-interval, is gelijk aan  $2n+1$ . De totale maximale fout is gelijk aan:

$$|\epsilon| = (n+1) \cdot |\epsilon_{\max}| + n \cdot |\epsilon_{\min}| \quad . \quad 6(17)$$

De minimale- en maximale fouten treden namelijk paarsgewijs afwisselend op.

Voor de relatieve fout,  $|\epsilon_r| = |\epsilon| / |I_{opt}|$ , volgt nu

$$\begin{aligned} |\epsilon_r| &\leq \frac{n+1}{n} \cdot \left( \frac{1 - \cos(2\pi f_c \delta_{\max})}{n} + (1 - \cos(2\pi f_c \delta_{\min})) \right) \\ &\leq \frac{n+1}{n} (1 - \cos(2\pi f_c \delta_{\max})) \quad . \end{aligned} \quad 6(18)$$

Voor zowel  $f_c = 3\text{MHz}$  als  $f_c = 4\text{MHz}$  is de relatieve fout uit 6(18), evenals de verandering in signaal-ruisverhouding die hiermee gepaard gaat, voor een aantal waarden van  $\delta_{\max}$  berekend en de resultaten van deze berekeningen zijn in tabel 6/2 opgenomen.

De foutenkans wordt ook nu weer gegeven door  $P_e = Q([1 - |\epsilon_r|]A/\sigma)$ . Uit deze tabel blijkt dat een lage  $f_c$  een gunstige invloed heeft op gemaakte relatieve fout.

Met betrekking tot de minimalisatie van de ontsane fout of zelfs de eliminatie ervan zijn dezelfde opmerkingen van toepassing als onder ad a ná 6(4). Na synchronisatie van de signalen  $\Phi_1$  en  $\Phi_2$  met de signalen OUT1 en OUT2 is de optredende maximale relatieve fout kleiner dan  $((n+1)/n) \cdot (1 - \cos(2\pi f_c |\delta_1 - \delta_2|))$ .

Tabel 6/2. Relatieve fout gemaakt tijdens integratie.

$\delta_{\max}$ (ns)	$ \epsilon_r $		$\Delta(S/R)$ (dB)	
	$f_c = 4\text{MHz}$	$f_c = 3\text{MHz}$	$f_c = 4\text{MHz}$	$f_c = 3\text{MHz}$
100	2.0	1.5	-	-
80	1.6	1.1	-	-
40	0.52	0.32	-6.4	-3.4
20	0.14	0.082	-1.3	-0.74
10	0.035	0.021	-0.31	-0.18
8	0.023	0.013	-0.20	-0.12
4	0.0057	0.0033	-0.05	-0.03
2	0.0014	0.0008	-0.01	-0.01
1	0.0004	0.0002	-0.003	-0.002

Zonder extra maatregelen is bij gebruik van de modulator en  $f_c = 4\text{MHz}$  de signaal-ruisverhouding zo'n 1.3dB slechter dan bij gebruik van een ideale modulator, ná minimalisatie van de ontstane fout slechts 0.01dB. Voor de synchrone detector is de overeen-

komstige verandering in signaal-ruisverhouding gelijk aan  $-0.3\text{dB}$  en  $-0.0003\text{dB}$ .

### 6.2.2 DE INVLOED VAN VERSCHILLENDE VERSTERKINGSFACTOREN.

Het ongelijk zijn van  $|H_1(f)|$  en  $|H_2(f)|$  heeft geen nadelige invloed op de werking van de demodulator, mits de ontvangen ruis in het bpsk-signaal overheersend is ten opzichte van de ruis die de modulator zelf aan het signaal toevoegd.

Het bpsk-signaal en de ontvangen ruis worden immers, zowel als  $\Phi_1$  hoog is of als  $\Phi_2$  hoog is met dezelfde versterkingsfactor door de modulator vermenigvuldigd, zodat, al is deze versterkingsfactor als  $\Phi_1$  hoog is niet gelijk aan de versterkingsfactor als  $\Phi_2$  hoog is, het quotient  $A/\sigma$  toch onveranderd blijft evenals de foutenkans.

Als de situatie zo is dat de ruis die de modulator zelf aan het signaal toevoegd overheersend is ten opzichte van de ontvangen ruis dan heeft elke verlaging van de versterking wel een vergroting van de foutenkans tot gevolg.

Voor de ruis die de modulator aan het gedemoduleerde signaal toevoegd geldt, bij een spectrale vermogensdichtheid van de ruis van  $5.8 \cdot 10^{-15} \text{v}^2/\text{Hz}$  en een bandbreedte van  $14\text{MHz}$ , dat het toegevoegde ruisvermogen kleiner is dan  $10^{-7}\text{W}$ . Als het gedemoduleerde signaal een amplitude van  $0.5\text{V}$  heeft dan is de signaal-ruisverhouding groter dan  $60\text{dB}$ , hierbij hoort een verwaarloosbare foutenkans. Ook als de signaal-ruisverhouding enkele procenten verslechtert door het ongelijk zijn van  $|H_1(f)|$  en  $|H_2(f)|$  blijft de foutenkans nog verwaarloosbaar klein. De foutenkans die in praktijk optreedt wordt dan ook bepaald door de signaal-ruisverhouding van het ontvangen signaal welke in het algemeen veel kleiner is dan  $60\text{dB}$ . Voor de synchrone detector is het toegevoegde ruisvermogen eveneens kleiner dan  $10^{-7}\text{W}$ .

### 6.2.3. DE INVLOED VAN DE SCHAKELPULSEN.

Als geen ingangssignaal aan de modulator wordt aangeboden maar de schakelsignalen  $\Phi_1$  en  $\Phi_2$  wel aanwezig zijn dan mogen deze  $\Phi_1$  en  $\Phi_2$  niet aan de uitgang van de modulator bemerkbaar zijn.

Door de aanwezigheid van vele (parasitaire) capaciteiten in de modulator zijn in het uitgangssignaal van de modulator tijdens de schakelmomenten toch schakelpulsen aanwezig die optreden met frequentie  $2f_c$ . De schakelpulsen zoals deze in de modulator optreden zijn in figuur 4-8 weergegeven.

Tijdens elk schakelmoment is dezelfde schakelpuls in het uitgangssignaal van de modulator bemerkbaar is mits de schakelpulsen exact complementair zijn. Dit is te danken aan de volledig symmetrische opbouw van de schakeltrap met betrekking tot de schakeltransistoren.

Neem aan dat  $T_b \geq n \cdot T_c/2$  en  $T_b < (n+1) \cdot T_c/2$  met  $n=1,2,3\dots$ . Het aantal schakelpulsen dat nu binnen het interval  $T_b$  kan optreden is gelijk aan  $n+1$ , er treden minimaal  $n$  schakelpulsen op.

Als nu de oppervlakte  $|I|$  onder zo'n schakelpuls, waarvan wordt aangenomen dat deze een positieve waarde heeft, voorgesteld kan worden door een fractie  $|\epsilon|$  van  $A/\pi f_c$  dan is dus:

$$|I| = \frac{|\epsilon|A}{\pi f_c} \quad (6(19))$$

Omdat de grootte van  $|I|$  alleen afhangt van de schakelpulsen en dus onafhankelijk is van  $A$ , volgt hieruit dat  $|\epsilon|$  kleiner wordt als  $A$  toeneemt.

Als nu een bpsk-sigitaal aan de modulator wordt aangeboden en er is en 1 gezonden dan bepaald het I/D-filter de integraal  $I_1$ , uitgaande van het superpositie-beginsel, waarvoor geldt:

$$|I_1| \geq \frac{nA}{\pi f_c} + \frac{n|\epsilon|A}{\pi f_c} = \frac{nA_1'}{\pi f_c} \quad (6(20))$$

Hieruit volgt dat de effectieve amplitude,  $A_1'$ , is toegenomen en gelijk is aan  $A_1' = [1 + |\epsilon|]A$ .

Strikt genomen is 6(20) niet geheel correct omdat het superpositiebeginsel alleen van toepassing is op lineaire schakelingen en de modulator is geen lineaire schakeling. De gevolgde benadering is echter eenvoudig door te rekenen wat niet het geval is als rekening wordt gehouden met niet-lineaire effecten.

Voor de integraal  $I_0$ , dit is de integraal die het I/D-filter bepaald als er een 0 is gezonden geldt nu:

$$|I_0| \geq \frac{nA}{\pi f_c} - \frac{(n+1) \cdot |\epsilon|A}{\pi f_c} = \frac{nA_0'}{\pi f_c} \quad (6(21))$$

Zodat nu  $A_0' = [1 - ((n+1)/n) \cdot |\epsilon|]A$  en geldt dat  $A_0' < A$ . De foutenkans van de data-terugwining wordt nu:

$$P_e = \frac{1}{2} Q\{[1 - ((n+1)/n) \cdot |\epsilon|]A/\sigma\} + \frac{1}{2} Q\{[1 + |\epsilon|]A/\sigma\} \quad (6(22))$$

Omdat de invloed van een schakelpuls als een 1 is ontvangen anders is dan de invloed als een 0 is ontvangen kan de invloed van de schakelpulsen niet met een algemene verandering in signaalruisverhouding worden weergegeven als voorheen.

Als de integraal  $|I|$  een negatieve waarde heeft dan behoeven in de afleiding slechts  $A_1'$  en  $A_0'$  verwisseld te worden, het eindresultaat blijft geldig.

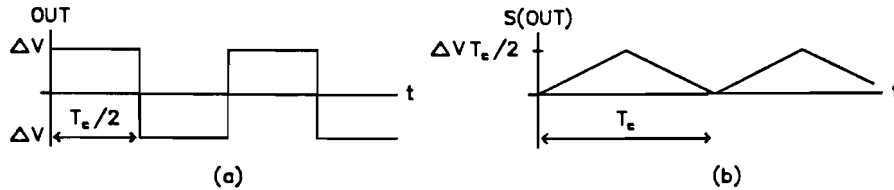
Voor de modulator geldt  $|I| \leq 5nVs$  en  $|\epsilon| \leq 0.13$  als  $A=0.5$  en  $f_c=4MHz$  en deze waarde heeft zijn duidelijke invloed op de foutenkans. Voor de synchrone detector geldt onder dezelfde omstandigheden  $|I| \leq 50pVs$  en  $|\epsilon| \leq 0.0013$  en deze waarde heeft een verwaarloosbare invloed op de verandering van de foutenkans.

#### 6.2.4. DE INVLOED VAN DE OFFSETSPANNINGEN.

Neem aan dat het uitgangssigitaal van de modulator als  $\Phi_1$  hoog is een offsetspanning  $\Delta v$  bevat en een offsetspanning  $-\Delta v$  als  $\Phi_2$  hoog is. Als er nu geschakeld wordt dan ontstaat aan de uitgang van de modulator een blokgolf met frequentie  $f=1/T_c$ , zonder dat een ingangssigitaal aan de modulator wordt aangeboden, zie figuur 6-5(a). In figuur 6-5(b) is de integraal van dit bloksigitaal weergegeven, deze integraal wordt door het I/D-filter bepaald. Uit

figuur 6-5(b) is af te lezen dat de maximale fout die door het I/D-filter gemaakt kan worden gelijk is aan  $|\epsilon| = \frac{1}{2}T_c \Delta v$ , de relatieve fout is gelijk aan, zie ook 6(11):

$$|\epsilon_r| \leq \frac{\frac{1}{2}T_c \Delta v}{(nA/\pi f_c)} = \frac{\pi \Delta v}{2nA} \quad 6(23)$$



Figuur 6-5. Ongewenst uitgangssignaal ten gevolge van offsetspanningen.

Merk op dat als  $n$  even is en precies geldt dat  $n \cdot T_c/2 = T_b$  er dan in het geheel geen fout optreedt! De foutenkans wordt door  $P_e = Q([1 - |\epsilon_r|]A/\sigma)$  vastgelegd met bijbehorende verandering in signaal-ruisverhouding. Voor de modulator geldt, bij  $f_c = 4\text{MHz}$  is de offsetspanning gelijk aan  $1.3 \cdot A \text{ mV}$  en  $n=8$ ,  $|\epsilon_r| \leq 2.5 \cdot 10^{-4}$  en de signaal-ruisverhouding neemt minder dan  $0.002\text{dB}$  af, bij de synchrone detector is dit eveneens  $0.002\text{dB}$ .

Omdat  $\Delta v$  benaderd wordt met een functie die lineair afhangt van  $A$ , zie ook § 4.5, is de relatieve fout die ontstaat onafhankelijk van  $A$ .

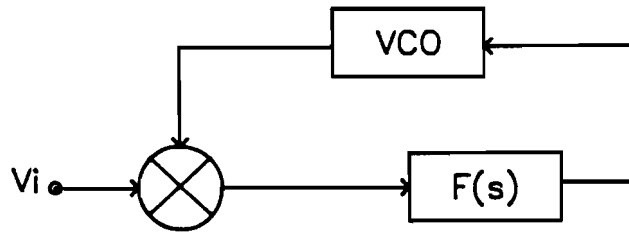
### 6.3. DE REMODULATOR IN DE PLL.

#### 6.3.1. DE INVLOED VAN DE (VERSCHILLENDE) TIJDVERTRAGINGEN.

In de PLL worden twee modulators gebruikt die geïntegreerd kunnen worden, zie figuur 2-1. Dit zijn de fasedetector en de remodulator. Echter alleen de modulator die wordt gebruikt voor remodulatie wordt met behulp van een in dit verslag besproken modulator gerealiseerd. Omdat de fasedetector met behulp van een EXOR-poort wordt gerealiseerd wordt slechts de invloed van de niet-idealiteiten van de remodulator besproken. Ook moet worden opgemerkt dat de niet-idealiteiten van de remodulator besproken worden in de situatie zonder limiter en met een intern opgewekte sinusvormige draaggolf. In § 2.2 is duidelijk gemaakt dat de zo gevonden resultaten niet veel afwijken van de resultaten in de feitelijke situatie waarbij een limiter wordt gebruikt en met een intern opgewekte blokvormige draaggolf wordt gedemoduleerd.

In de bpsk-demodulator wordt een heterodyne PLL toegepast. De resultaten van de berekeningen voor een gewone PLL zijn echter ook geldig voor een HPLL [15]. Een gewone PLL is in figuur 6-6 opgenomen. Er wordt verondersteld dat de fasedetector een ideale vermenigvuldiger is met conversiefactor  $K_d$ .

De schakelsignalen die aan de remodulator moeten worden aangeboden zijn het data-signaal en het complementaire data-signaal. De schakelsignalen zijn nu, in tegenstelling tot de schakelsignalen bij de demodulator voor het I/D-filter, dus random signalen.



Figuur 6-6. Een gewone PLL.

Het feit dat de tijdvertraging als  $\Phi_1$  hoog is niet gelijk is aan de tijdvertraging van de modulator als  $\Phi_2$  hoog is zorgt voor een extra fasejitter in de VCO. Het uitgangssignaal van de remodulator, dat overeenkomt met het ingangssignaal van de fasedetector uit figuur 6-6, vertoont namelijk steeds als twee opeenvolgende bits verschillend zijn een (vaste) fasesprong. Stel dat de grootte van deze fasesprong gelijk is aan  $\alpha^\circ$ . Dit betekent dat het verschil in vertragingstijd als  $\Phi_1$  of  $\Phi_2$  hoog is gelijk is aan  $\alpha^\circ \cdot T_c / 360^\circ$  seconden. Deze fasesprongen kunnen gezien worden als een ruissignaal en wel als faseruis in het geremoduleerde signaal. Het overeenkomende ingangssignaal van de fasedetector van de gewone PLL kan beschreven worden met:

$$v_i = A \sin(2\pi f_c t + \phi_0 + \Phi_{if}(t)) \quad , \quad 6(24)$$

waarbij  $\Phi_{if}(t)$  de fasesprongen bevat waarvoor geldt, uitgedrukt in radialen:

$$\Phi_{if}(t) = \frac{1}{2} \cdot \alpha^\circ \cdot \pi / 360^\circ \quad \text{en} \quad 6(25)$$

$$\left[ \overline{\Phi_{if}(t)} - \overline{\Phi_{if}(t)} \right]^2 = \overline{\Phi_{if}^2(t)} - (\frac{1}{2} \cdot \alpha^\circ \cdot \pi / 360^\circ)^2 \quad .$$

De eerste term vertegenwoordigt een constante faseverschuiving en is daarom niet van belang. De tweede term vertegenwoordigt het ruisvermogen en is bij de modulator,  $\alpha=3.2$  bij 4MHz, gelijk aan  $2.0 \cdot 10^{-4}$ . Dit betekent dat de signaal-ruisverhouding van het signaal dat aan de fasedetector wordt aangeboden,  $SNR_1$ , geringer wordt.

Voor een PLL geldt, mits  $\overline{\Phi_{if}^2(t)} \leq 0.2$  en de ontvangen ruis wit is, [15]:

$$\overline{\Phi_{if}^2(t)} = \frac{1}{2SNR_1} \quad \text{en} \quad SNR_1 = (B_i / 2B_n) \cdot SNR_i \quad , \quad 6(26)$$

waarbij  $SNR_1$  de signaal-ruisverhouding van de PLL is,  $B_i$  de bandbreedte van het ingangsfILTER van de bpsk-demodulator (niet in figuur 6-6 opgenomen) en  $B_n$  de ruisbandbreedte van de PLL, in de bpsk-demodulator zijn de waarden  $B_i=2.5\text{MHz}$  en  $B_n=1.62\text{kHz}$  gebruikt.

Met 6(26) is te berekenen dat  $SNR_1=34\text{dB}$  als alleen naar de



invloed van de extra faseruis wordt gekeken. Dit resultaat moet als volgt geïnterpreteerd worden. De maximale signaal-ruisverhouding van het signaal dat aan de fasedetector wordt aangeboden is 34dB, onafhankelijk van de oorspronkelijke waarde, dat wil zeggen de signaal-ruisverhouding als een ideaal veronderstelde modulator wordt gebruikt. Is de oorspronkelijke signaal-ruisverhouding kleiner dan 34dB dan speelt de extra faseruis geen rol en is de signaal-ruisverhouding gelijk aan de oorspronkelijke waarde. Dit is als volgt in te zien. Stel dat de ontvangen ruis verantwoordelijk is voor een faseruis  $\Phi_{i_0}(t)$  met  $\langle \Phi_{i_0}(t) \rangle = 0$  en bijbehorende  $SNR_{i_0}$ . Nu geldt voor de totale faseruis  $\Phi_t(t)$  in het ingangssignaal dat deze gelijk is aan de som van  $\Phi_i(t)$  en  $\Phi_{i_0}(t)$  en omdat  $\Phi_i(t)$  en  $\Phi_{i_0}(t)$  onafhankelijk zijn geldt tevens dat:

$$\frac{1}{2SNR_t} = \frac{1}{\Phi_t^2(t)} = \frac{1}{\Phi_{i_0}^2(t) + \Phi_i^2(t)} = \frac{1}{2SNR_{i_0}} + \frac{1}{2SNR_i}, \text{ zodat} \quad 6(27)$$

$$SNR_t = \frac{SNR_{i_0} \cdot SNR_i}{SNR_i + SNR_{i_0}}.$$

Hieruit blijkt dat  $SNR_t$  ongeveer gelijk is aan de het minimum van  $SNR_{i_0}$  en  $SNR_i$ .

Voor de synchrone detector geldt  $SNR_i = 52\text{dB}$ .

### 6.3.2. DE INVLOED VAN VERSCHILLENDE VERSTERKINGSFACTOREN.

In § 6.3.1 is de opmerking gemaakt dat de niet-idealiteiten van de remodulator worden bepaald in de situatie als geen limiter in de PLL is opgenomen. Dat maakt het in dit geval echter nodeloos gecompliceerd omdat de limiter er nu juist voor zorgt dat het signaal dat uit de remodulator komt van een vaste amplitude wordt voorzien. Daarom hebben verschillende versterkingsfactoren geen invloed op de werking van de bpsk-demodulator als een, ideaal veronderstelde, limiter wordt gebruikt. Voor de invloeden van de niet-idealiteiten van de limiter zie [11].

### 6.3.3. DE INVLOED VAN DE SCHAKELPULSEN.

De schakelpulsen in het uitgangssignaal van de remodulator treden random op. Een schakelpuls treedt immers pas op als twee opeenvolgende data-bits verschillend zijn, de kans hierop is gelijk aan  $\frac{1}{2}$ .

Omdat de exacte vorm van de schakelpulsen niet bekend is en waarschijnlijk ook niet door een analytische functie kan worden beschreven is het nauwelijks mogelijk om de exacte invloed van de schakelpulsen te bepalen.

Stel dat het vermogen dat de schakelpulsen vertegenwoordigen gelijk is aan  $P_n$ . Dit vermogen is eigenlijk een extra ruisvermogen omdat de schakelpulsen ongewenst zijn, nu geldt daarom:

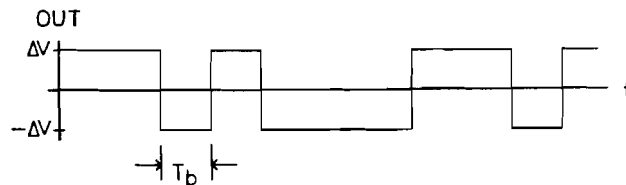
$$\text{SNR}_1 = P_s/P_n \quad , \quad 6(28)$$

waarbij  $P_s$  het signaalvermogen van het geremoduleerde signaal voorstelt. Voor de signaal-ruisverhouding van de loop geldt in deze situatie  $\text{SNR}_1 > (B_1/2B_n) \cdot \text{SNR}_i$ , er wordt een ">"-teken gebruikt omdat een deel van het onbekende vermogensspectrum van de schakelpulsen buiten  $B_1$  kan vallen en daarom minder van invloed is op de werking van de PLL, zie ook § 6.3.4 .

Voor de modulator geldt  $P_s = 7.5 \cdot 10^{-2} \text{ mW}$ , zodat als de amplitude van het geremoduleerde signaal gelijk is aan 0.5V dan volgt  $\text{SNR}_1 = 32 \text{ dB}$ . Nu wordt dus alleen naar de invloed van de schakelpulsen gekeken. Ook hier geldt dat de schakelpulsen pas van invloed zijn op de werking van de PLL als de oorspronkelijke signaal-ruisverhouding ná remodulatie groter is dan deze 32dB, zie ook 6(27). Voor de synchrone detector geldt onder dezelfde omstandigheden dat  $\text{SNR}_1 = 39 \text{ dB}$ .

#### 6.3.4. DE INVLOED VAN DE OFFSETSPANNINGEN.

De invloed van de offsetspanningen kan op dezelfde manier bepaald worden als de invloed van de schakelpulsen. Aan de uitgang van de modulator ontstaat door de offsetspanningen een signaal als in figuur 6-7 is weergegeven. Het vermogen in dit ongewenste signaal kan wederom gezien worden als ruisvermogen, en ook nu is 6(28) geldig.



Figuur 6-7. Ongewenst uitgangssignaal van de remodulator.

Voor de modulator geldt, onafhankelijk van de amplitude van het geremoduleerde signaal, dat  $\text{SNR}_1 = 55 \text{ dB}$ , voor de synchrone detector geldt  $\text{SNR}_1 = 57 \text{ dB}$ . Nu kan echter een nauwkeuriger schatting voor de signaal-ruisverhouding van de loop bepaald worden dan met 6(26). Deze formule levert voor de modulator en de synchrone detector de waarden  $\text{SNR}_1 = 83 \text{ dB}$  en respectievelijk  $\text{SNR}_1 = 85 \text{ dB}$ . Maar 6(26) is alleen geldig als de ontvangen ruis wit is. Het vermogensspectrum van het signaal uit figuur 6-7 is bekend, er geldt namelijk:

$$G_o(f) = (\Delta v)^2 \cdot T_b \cdot \text{sinc}^2(fT_b) \quad . \quad 6(29)$$

Het vermogensspectrum van dit ongewenste signaal dat ná de fase-detector aanwezig is is gelijk aan:

$$G'_o(f) = \frac{K_d^2}{A^2} G_o(f-f_c) + \frac{K_d^2}{A^2} G_o(f+f_c) \quad . \quad 6(30)$$

Omdat  $f_c$  groter is dan 3MHz geldt nu voor frequenties kleiner dan 1MHz, frequenties groter dan 1MHz worden zo sterk door de PLL

onderdrukt dat deze niet van belang zijn, dat:

$$G'_o(f) \leq T \cdot \frac{K_d^2}{A^2} \cdot \{ (4\Delta v/5\pi)^2 + (4\Delta v/7\pi)^2 \} \quad . \quad 6(31)$$

Formule 6(31) geeft de som weer van het maximum van de tweede en derde zijlob van 6(29). Als nu  $H(f)$  de overdracht is van de PLL dan is de invloed van de ruis ná de fase-detector verantwoordelijk voor een fasejitter in de VCO waarvoor geldt:

$$\overline{\Phi_o^2(t)} = \frac{1}{2SNR_1} = \int_{-\infty}^{\infty} \frac{|H(f)|^2 G'_o(f)}{K_d^2} df \quad . \quad 6(32)$$

Gebruik makend van 6(31) en 6(32) kan bepaald worden dat voor de modulator geldt  $SNR_1 = -89\text{dB}$  en voor de synchrone detector  $SNR_1 = -91\text{dB}$ . Deze waarden zijn 6dB hoger dan met behulp van 6(26) voorspeld kan worden. In praktijk is de winst vaak nog groter omdat er van uit is gegaan dat het deel van het vermogensspectrum van de ruis dat binnen de loopbandbreedte valt gelijk is aan het maximum van  $G'_o(f)$ , en dit behoeft helemaal niet het geval te zijn, om dit nader te onderzoeken moet echter  $f_c$  exact bekend zijn.

De offsetspanningen hebben nu geen invloed op de werking van de bpsk-demodulator zolang de signaal-ruisverhouding van het signaal ná remodulatie kleiner is dan 61dB bij gebruik van de modulator en kleiner dan 63dB bij gebruik van de synchrone detector.

#### 6.4. VERGELIJKING VAN BEIDE MODULATOREN.

De vergelijking van de modulator en de synchrone detector valt duidelijk ten gunste van de synchrone detector uit. Zo is ten opzichte van de modulator:

- de bandbreedte van de synchrone detector groter,
- de dissipatie van de synchrone detector geringer,
- de tijdvertraging die de synchrone detector introduceert geringer,
- het tijdsverschil tussen de signalen als  $\Phi_1$  of  $\Phi_2$  hoog is bij de synchrone detector kleiner,
- het aantal MOS-transistoren bij de realisatie van de synchrone detector kleiner,
- de vervorming van de synchrone detector geringer,
- de uitgangsimpedantie van de synchrone detector kleiner,
- de energie van de optredende schakelpulsen bij de synchrone detector kleiner.

Dat de bandbreedte van de synchrone detector groter is dan de bandbreedte van de modulator is te verklaren uit het feit dat de modulator uit meer trappen die in cascade staan is opgebouwd. Hierin valt dus geen verandering aan te brengen. Het feit dat de ruststroom in de verschiltrap van de synchrone detector groter is dan die van de modulator verklaart dat de vervorming van de synchrone detector geringer is, in beide schakelingen loopt de verschiltrap namelijk het eerste vast bij grotere amplituden. Door andere keuze van de ruststroom in de verschiltrap is de vervorming

dus te beïnvloeden. Ook de uitgangsimpedantie van de beide schakelingen is te beïnvloeden door de ruststroom van de uitgangstrap te variëren.

Omdat, naast boven genoemde eigenschappen, ook de invloeden van de niet idealiteiten bij toepassing van de synchrone detector in de bpsk-demodulator in het algemeen veel geringer zijn dan bij toepassing van de modulator is de synchrone detector de aangewezen schakeling om in de bpsk-demodulator te worden gebruikt en daarom is alleen van de synchrone detector een layout gerealiseerd, zie bijlage 5.

## 7. CONCLUSIES.

De modulator voldoet evenals de synchrone detector geheel aan de eisen die eraan gesteld waren. Omdat de synchrone detector de ideale modulator het dichtst benadert is alleen van de synchrone detector een layout gerealiseerd.

De synchrone detector kan, volgens de uitgevoerde PSPICE-simulaties, zonder meer in de bpsk-demodulator worden toegepast, waarbij de synchrone detector wel twee, complementaire, schakel-signalen aangeboden dient te krijgen. De signaal-ruisverhouding van het signaal voor het I/D-filter is bijvoorbeeld slechts enkele tienden van dB's geringer ten opzichte van de situatie als een ideale modulator wordt toegepast.

Voor sommige van de optredende niet-idealiteiten in de synchrone detector blijkt dat hun invloed op de werking van de bpsk-demodulator sterk afhangt van de gekozen draaggolffrequentie. Door juiste keuze van de draaggolffrequentie kunnen de invloeden van deze niet-idealiteiten geminimaliseerd worden.

Opgemerkt moet nog worden dat de synchrone detector niet te zwaar belast mag worden, de uitgangsimpedantie is namelijk gelijk aan  $10k\Omega$ . De capacitieve belasting mag daarom slechts  $0.9pF$  bedragen als de bandbreedte van de synchrone detector niet aangetast mag worden. Een capacitieve belasting van  $20pF$ , dit is ongeveer de belasting van een meetprobe, verkleint de bandbreedte van de synchrone detector tot zo'n  $800kHz$ .

Verder is de ingangsimpedantie van de synchrone detector met ingangscircuit zodanig, ongeveer  $130k\Omega$ , dat deze combinatie voorafgegaan moet worden door een trap met een uitgangsimpedantie kleiner dan  $13k\Omega$  om minder dan 10% van de amplitude van het aangeboden signaal te verliezen.

Omdat bijvoorbeeld de invloed van de schakelpulsen kleiner wordt naarmate de amplitude van het signaal dat aan de synchrone detector wordt aangeboden groter wordt moet de amplitude van dit signaal liefst zo groot mogelijk zijn. De toelaatbare vervorming geeft hier duidelijk een bovengrens aan.

LITERATUURLIJST.

- [1] Janssen, G.J.M.  
DRAAGGOLFTERUGWINNING DOOR MIDDEL VAN EEN REMODULATOR MET  
DECISION-FEEDBACK IN EEN BPSK-DEMULATOR.  
Afstudeerverslag van de TU-Eindhoven, faculteit der  
Electrotechniek, vakgroep EC, september 1986.
- [2] Carlson, A.B.  
COMMUNICATION SYSTEMS.  
McGraw-Hill, Auckland 1975.  
ISBN 0-07-009957-X.
- [3] Cooper, R.C, McGillen, C.D.  
MODERN COMMUNICATIONS AND SPREAD SPECTRUM.  
McGraw-Hill, New York 1986.  
ISBN 0-07-012951-7.
- [4] Ekkelenkamp, H.  
TRANSMISSIE ASPECTEN VAN DIGITALE COMMUNICATIE SYSTEMEN.  
Leidschendam, PTT, dr. Neher-laboratorium 1984.
- [5] Whalen, A.D.  
DETECTION OF SIGNALS IN NOISE.  
Academic press, New York 1971.
- [6] Habekotté, E.  
DE SILICIUM-TECHNOLOGIE.  
Elektronica, november 1986, pp. 55-57.
- [7] Gregorian, R, Temes, G.C.  
ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESSING.  
John Wiley & Sons, New York 1986.
- [8] Tsividis, Y, Antognetti, P.  
DESIGN OF MOS VLSI CIRCUITS FOR TELECOMMUNICATIONS.  
Prentice-Hall, New Jersey 1985.  
ISBN 0-13-200643-X.
- [9] Abramowitz, M, Stegun, I.A.  
HANDBOOK OF MATHEMATICAL FUNCTIONS.  
Dover Publications, New York 1965 (ninth ed.), pp 238-245.
- [10] Prudnikov, A.P.  
INTEGRALS AND SERIES.  
Gordon and Breach Science Publishers, New York 1986, pp 225.
- [11] Diepen, W.N.J v.  
ONTWERP VAN EEN EXCLUSIVE-OR EN EEN LIMITER TEN BEHOEVE VAN  
EEN BPSK-DEMULATOR.  
Afstudeerverslag van de TU-Eindhoven, faculteit der  
Electrotechniek, vakgroep EEB, maart 1988.
- [12] Poelsma, A.P.W.M.  
EEN ALGEMEEN SIMULATIEPROGRAMMA DAT BESTEMD IS VOOR IBM PC'S  
EN APOLLO WERKSTATIONS.  
Afstudeerverslag van de TU-Eindhoven, faculteit der

Electrotechniek, vakgroep EEB, januari 1988.

- [13] Flesch, M.  
EEN VCO EN EEN SC-LOOPFILTER VOOR EEN BPSK-DEMULATOR IN NMOS.  
Afstudeerverslag van de TU-Eindhoven, faculteit der Electrotechniek, vakgroep EEB, maart 1988.
- [14] Aarts, J.A.H.  
EEN COMPARATOR MET OFFSET-COMPENSATIE TEN BEHOEVE VAN EEN SLOPE ADAPTIVE DELTA MODULATOR.  
Afstudeerverslag van de TU-Eindhoven, faculteit der Electrotechniek, vakgroep EEB, augustus 1987.
- [15] Faatz, ir.J.A.W.  
ELECTRONICA BIJZONDERE ONDERWERPEN.  
Collegedictaat van de TU-Eindhoven, nr. 5685.

BIJLAGE 1. de PSPICE parameters.

De parameters waarmee de PSPICE simulaties zijn uitgevoerd en de gebruikte numerieke waarden zijn in onderstaande tabel opgenomen.

PARAMETER	DEP	ENH
LEVEL	2	2
VTO	-2.50	0.55
KP	3.91E-05	3.91E-05
GAMMA	0.30	0.30
PHI	0.571	0.571
PB	0.750	0.750
CGSO	3.70E-10	3.70E-10
CGDO	3.70E-10	3.70E-10
CGBO	3.95E-10	3.95E-10
RSH	20.0	20.0
CJ	8.00E-05	8.00E-05
MJ	0.50	0.50
CJSW	3.30E-10	3.30E-10
MJSW	0.250	0.250
JS	6.20E-06	6.20E-06
TOX	6.0E-08	6.0E-08
NSUB	9.0E+14	9.0E+14
TPG	1.0	1.0
XJ	1.0E-06	1.0E-06
LD	1.0E-06	1.0E-06
UO	680.0	680.0
UCRIT	6.50E+04	6.50E+04
UEXP	0.115	0.115
VMAX	5.0E+04	5.04+04
XQC	0.40	0.40
DELTA	4.0	4.0



## BIJLAGE 2. de signaaloverdrachten.

De signaaloverdrachten van de gebruikte schakelingen kunnen worden bepaald met de in deze bijlage opgenomen formules van signaaloverdrachten van elementaire schakelingen of een combinatie hiervan. De in deze bijlage opgenomen berekeningen zijn in principe alleen geldig voor schakelingen waarbij de parasitaire capaciteiten nog geen invloed hebben.

### Elementaire versterkertrap.

Algemeen:  $i_{d1} = g_{m1} v_{gs1} + g_{ds1} v_{ds1} + g_{mb1} v_{bs1}$ .

Vul in:  $i = -i_{d1}$   
 $v_{gs1} = v_i - iR_2$   
 $v_{ds1} = -i(R_1 + R_2)$   
 $v_{bs1} = -iR_2$

dan volgt:

$i = g_{m1}(v_i - iR_2) - g_{ds1}i(R_1 + R_2) - g_{mb1}iR_2$

$$i = \frac{g_{m1} v_i}{1 + (g_{m1} + g_{ds1} + g_{mb1})R_2 + g_{ds1}R_1}$$

$$B(1) \quad \frac{v_{u1}}{v_i} = \frac{-g_{m1}R_1}{1 + (g_{m1} + g_{ds1} + g_{mb1})R_2 + g_{ds1}R_1}$$

$$B(2) \quad \frac{v_{u2}}{v_i} = \frac{g_{m1}R_2}{1 + (g_{m1} + g_{ds1} + g_{mb1})R_2 + g_{ds1}R_1}$$

Deze uitkomsten zijn ook geldig als M1 een depletion MOST is.

Loads. ( $V_{bias}$  is een gelijkspanning, eventueel gelijk aan  $V_{dd}$ ).

Algemeen:  $i_{d1} = g_{m1} v_{gs1} + g_{ds1} v_{ds1} + g_{mb1} v_{bs1}$ .

Vul in:  $i = -i_{d1}$   
 $v_{gs1} = v_{ds1} = -v$   
 $v_{bs1} = -v$

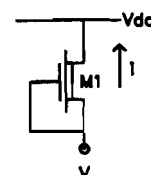
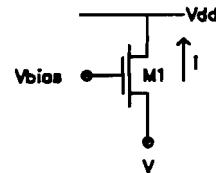
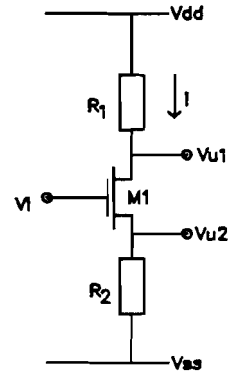
dan volgt:

$-i = -(g_{m1} + g_{ds1} + g_{mb1})v$

$$B(3) \quad \frac{v}{i} = R_{load} = \frac{1}{g_{m1} + g_{ds1} + g_{mb1}}$$

Ook geldig als M1 een depletion is.

Vul nu eveneens in  $v_{gs1} = 0$  ( $\neq v_{ds1}$ )  
 dan volgt:



$$B(4) \quad \frac{v}{i} = R_{load} = \frac{1}{g_{ds1} + g_{mb1}}$$

### Stroombronnen.

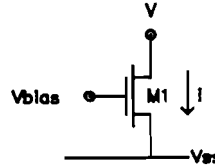
Algemeen:  $i_{d1} = g_{m1}v_{gs1} + g_{ds1}v_{ds1} + g_{mb1}v_{bs1}$ .

Vul in:  $i = -i_{d1}$   
 $v_{gs1} = v_{bs1} = 0$   
 $v_{ds1} = v$

dan volgt:

$$i = -g_{ds1}v$$

$$B(5) \quad \frac{v}{i} = R_p = \frac{1}{g_{ds1}}$$



Dit resultaat is eveneens geldig als M1 een depletion is.

### Sommator.

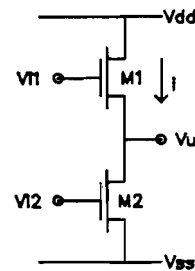
Algemeen:  $i_{d1} = g_{m1}v_{gs1} + g_{ds1}v_{ds1} + g_{mb1}v_{bs1}$ ,  
 $i_{d2} = g_{m2}v_{gs2} + g_{ds2}v_{ds2} + g_{mb2}v_{bs2}$ .

Vul in:  $i = -i_{d1} - i_{d2}$   
 $v_{gs1} = v_{i1} - v_u$   
 $v_{ds1} = v_{bs1} = -v_u$   
 $v_{gs2} = v_{i2}$   
 $v_{ds2} = v_u$   
 $v_{bs2} = 0$

dan volgt:

$$i = -g_{m2}v_{i2} + g_{ds2}v_u - g_{m1}(v_{i1} - v_u) - (g_{ds1} + g_{mb1})v_u$$

$$B(6) \quad v_u = \frac{g_{m1}v_{i1} - g_{m2}v_{i2}}{g_{m1} + g_{ds1} + g_{mb1} + g_{ds2}}$$



M1 en/of M2 mogen ook depletion zijn.

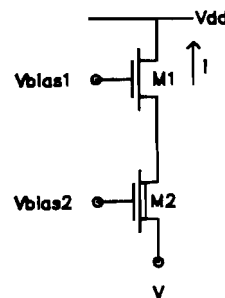
### Load met schakelaar.

Algemeen:  $i_{d1} = g_{m1}v_{gs1} + g_{ds1}v_{ds1} + g_{mb1}v_{bs1}$ ,  
 $i_{d2} = g_{m2}v_{gs2} + g_{ds2}v_{ds2} + g_{mb2}v_{bs2}$ .

Vul in:  $-i = -i_{d1} - i_{d2}$   
 $v_{gs1} = v_{bs1} = v_{ds1}$   
 $v_{gs2} = v_{bs2} = -v$   
 $v_{ds2} = -v - v_{ds1}$

dan volgt:

$$-i = (g_{m1} + g_{ds1} + g_{mb1})v_{ds1} - (g_{m2} + g_{ds2} + g_{mb2})v - g_{ds2}v_{ds1}$$



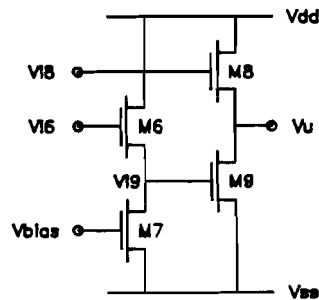
$$v = \frac{-(g_{m1} + g_{ds1} + g_{mb1} + g_{ds2})v_{ds1}}{g_{m2} + g_{ds2} + g_{mb2}}$$

$$i = -(g_{m1} + g_{ds1} + g_{mb1})v_{ds1}$$

$$B(7) \quad \frac{v}{i} = R_{load} = \frac{(g_{m1} + g_{ds1} + g_{mb1} + g_{ds2})}{(g_{m1} + g_{ds1} + g_{mb1})(g_{m2} + g_{ds2} + g_{mb2})}$$

Dat de signaaloverdrachten van de gebruikte schakelingen uit de bovenstaande gegevens kan worden afgeleid wordt nu met behulp van een voorbeeld verduidelijkt.

Wat is nu de signaaloverdracht van de DSC uit figuur 4-2, bestaande uit M6 t/m M9.



Voor de overdracht van  $v_{i6}$  naar  $v_{i9}$  kan formule B(2) gebruikt worden met  $R_1=0$  en voor  $R_2$  formule B(5) gesubstitueerd, dan volgt:

$$\frac{v_{i9}}{v_{i6}} = \frac{g_{m6}}{g_{m6} + g_{ds6} + g_{mb6} + g_{ds7}}$$

Voor  $v_u$  volgt nu met B(6):

$$B(8) \quad v_u = \frac{g_{m8}v_{i8} - g_{m9} \frac{g_{m6}}{g_{m6} + g_{ds6} + g_{mb6} + g_{ds7}} v_{i6}}{g_{m8} + g_{ds8} + g_{mb8} + g_{ds9}}$$

BIJLAGE 3.

In deze bijlage wordt de versterking van de inverter opnieuw bepaald, nu zonder verwaarlozing van  $\lambda$ , om aan te tonen dat de eigenlijke versterking van de inverter kleiner moet zijn dan met behulp van formule 4(10) voorspeld kan worden. Met name 4(7), welke een deel uit maakt van 4(10), blijkt gecorrigeerd te moeten worden.

Als  $\lambda$  niet verwaarloosd wordt dan wordt 4(3) gelijk aan:

$$B(9) \quad I + i_d = k_3 \cdot (v_{gs3} + V_{gs0} - V_{th3})^2 (1 + \lambda(v_{gs3} + V_{gs0}))$$

en 4(4) wordt:

$$B(10) \quad I - i_d = k_3 \cdot (v_{gs4} + V_{gs0} - V_{th4})^2 (1 + \lambda(v_{gs4} + V_{gs0})) \quad .$$

Verwaarloos nu het body-effect zodat  $V_{th3} = V_{th4} = V_{th}$ , dan volgt:

$$B(11) \quad I + i_d = k_3 \cdot \{ (v_{gs3} + V_{gs0} - V_{th})^2 + \lambda(v_{gs3} + V_{gs0})(v_{gs3} + V_{gs0} - V_{th})^2 \},$$

$$B(12) \quad I - i_d = k_3 \cdot \{ (v_{gs4} + V_{gs0} - V_{th})^2 + \lambda(v_{gs4} + V_{gs0})(v_{gs4} + V_{gs0} - V_{th})^2 \}.$$

Uit het verschil van B(11) en B(12) volgt:

$$B(13) \quad 2i_d/k_3 = \{ (v_{gs3} + V_{gs0} - V_{th})^2 + \lambda(v_{gs3} + V_{gs0})(v_{gs3} + V_{gs0} - V_{th})^2 \} - \{ (v_{gs4} + V_{gs0} - V_{th})^2 + \lambda(v_{gs4} + V_{gs0})(v_{gs4} + V_{gs0} - V_{th})^2 \}.$$

Na enig rekenwerk wordt dan gevonden:

$$B(14) \quad 2i_d/k_3 = \varepsilon_{m1} v_i / k_3 = \\ (v_{gs3} - v_{gs4}) \cdot \{ 2(1 + \lambda V_{gs0})(V_{gs0} - V_{th}) + \lambda(V_{gs0} - V_{th})^2 \} + \\ (v_{gs3}^2 - v_{gs4}^2) \cdot \{ 1 + \lambda(3V_{gs0} - 2V_{th}) \} + \\ (v_{gs3}^3 - v_{gs4}^3) \lambda \quad .$$

Er weer van uit gaande dat  $v_{gs3}$  ongeveer gelijk is aan  $-v_{gs4}$  zodat de kwadratische-term verwaarloosd mag worden en ook aannemende dat de derdemachts-term verwaarloosd mag worden volgt nu:

$$B(15) \quad \frac{\varepsilon_{m1} \cdot v_i}{2k_3(1 + \lambda V_{gs0})(V_{gs0} - V_{th}) + \lambda(V_{gs0} - V_{th})^2} = v_{gs3} - v_{gs4} \quad .$$

Als  $\lambda=0$  wordt B(15) gelijk aan 4(7), als  $\lambda \neq 0$  dan is B(15) dus duidelijk kleiner dan 4(7), omdat zowel  $\lambda$  als  $V_{gs0}$  positief zijn.

BIJLAGE 4. invoerfile voor PSPICE.

In deze bijlage is een voorbeeld van een invoerfile voor een PSPICE-simulatie van de synchrone detector opgenomen, in dit geval worden de schakelpulsen van de synchrone detector onderzocht. De synchrone detector is gesplitst in een aantal deelcircuits (subckt's), de nummers van de MOS-transistoren komen in het algemeen niet overeen met de nummers gebruikt in figuur 5-1.

De hier vermelde gebruikte waarden voor de toleranties zijn ook voor de andere simulaties gebruikt.

## SYNCHRONE DETECTOR MET BIAS-CIRCUIT EN CORRECTE UITGANGSTRAP

```

*
*
*
*
.SUBCKT VERSCHILTRAP 1 10 12 2 3 4 6 13 14
*****
* NODE 1 - POSITIEVE VOEDINGSSPANNING *
* NODE 10- INPUT, BPSK SIGNAAL MET 0 VOLT GELIJKSPANNING *
* NODE 12- INPUT LIEFST GELIJK AAN REFERENTIE-AARDE *
* NODE 2 - OUTPUT DIE IN TEGENFASE IS MET INPUT, GELIJKSPANNING *
* 2.4 VOLT *
* NODE 3 - OUTPUT DIE IN FASE IS MET INPUT, GELIJKSPANNING 2.4 *
* VOLT *
* NODE 4 - SCHAKELSPANNING *
* NODE 6 - GEINVERTEERDE SCHAKELSPANNING *
* NODE 13- BIASSPANNING VOOR DE STROOMBRON *
* NODE 14- NEGATIEVE VOEDINGSSPANNING *
*****
*
M1 1 1 2 14 ENH W-7U L-11U AD-70P AS-70P PD-34U PS-34U
M2 1 1 3 14 ENH W-7U L-11U AD-70P AS-70P PD-34U PS-34U
*
M3 2 4 5 14 DEP W-6U L-6U AD-60P AS-60P PD-32U PS-32U
M4 3 6 5 14 DEP W-6U L-6U AD-60P AS-60P PD-32U PS-32U
M5 2 6 8 14 DEP W-6U L-6U AD-60P AS-60P PD-32U PS-32U
M6 3 4 8 14 DEP W-6U L-6U AD-60P AS-60P PD-32U PS-32U
*
M7 5 10 11 14 ENH W-6U L-9U AD-60P AS-60P PD-32U PS-32U
M8 8 12 11 14 ENH W-6U L-9U AD-60P AS-60P PD-32U PS-32U
M9 11 13 14 14 ENH W-12U L-17U AD-120P AS-120P PD-44U PS-44U
*
*
.ENDS VERSCHILTRAP
*
*
*
*
.SUBCKT OPTELLER 1 2 3 7 6 8
*****
* NODE 1 - POSITIEVE VOEDINGSSPANNING *
* NODE 2 - INPUT1, GELIJKSPANNING 2.4 VOLT *
* NODE 3 - INPUT2, GELIJKSPANNING 2.4 VOLT *
* NODE 7 - OUTPUT, GELIJK AAN INPUT1-INPUT2, *
* GELIJKSPANNING 0 VOLT *
* NODE 6 - BIASSPANNING VOOR DE STROOMBRON V.D. LEVELSHIFTER *

```

BIJLAGE 4. invoerfile voor PSPICE.

```

* NODE 8 - NEGATIEVE VOEDINGSSPANNING *
*****
*
M1 1 3 5 8 ENH W-6U L-39U AD-60P AS-60P PD-32U PS-32U
M2 5 6 8 8 ENH W-8U L-15U AD-80P AS-80P PD-36U PS-36U
M3 1 2 4 8 ENH W-6U L-39U AD-60P AS-60P PD-32U PS-32U
M4 4 5 8 8 ENH W-6U L-23U AD-60P AS-60P PD-32U PS-32U
M5 1 4 7 8 DEP W-6U L-6U AD-60P AS-60P PD-32U PS-32U
M6 7 6 8 8 ENH W-6U L-16U AD-60P AS-60P PD-32U PS-32U
*
.ENDS OPTELLER
*
*
*
*
.SUBCKT VBIAS 1 3 4
*****
* NODE 1 - POSITIEVE VOEDINGSSPANNING *
* NODE 3 - OUTPUT , GELIJK AAN -2.3 VOLT *
* NODE 4 - NEGATIEVE VOEDINGSSPANNING *
*****
*
M1 1 2 2 4 DEP W-6U L-18U AD-60P AS-60P PD-32U PS-32U
M2 2 2 3 4 ENH W-8U L-6U AD-80P AS-80P PD-36U PS-36U
M3 3 3 4 4 ENH W-6U L-23U AD-60P AS-60P PD-32U PS-32U
*
.ENDS VBIAS
*
*
*
*
.SUBCKT INGANGSCIRCUIT 1 2 3 5
*****
* NODE 1 - INPUT *
* NODE 2 - OUTPUT, GELIJK AAN WISSELSpanning VAN DE INPUT *
* NODE 3 - REFERENTIE-SPANNING, NORMAAL GELIJK AAN 0 VOLT *
* NODE 5 - NEGATIEVE VOEDINGSSPANNING *
*****
*
M1 2 2 4 5 DEP W-6U L-49U AD-60P AS-60P PD-32U PS-32U
M2 2 4 4 5 DEP W-6U L-70U AD-60P AS-60P PD-32U PS-32U
M3 4 4 3 5 DEP W-6U L-49U AD-60P AS-60P PD-32U PS-32U
M4 4 3 3 5 DEP W-6U L-70U AD-60P AS-60P PD-32U PS-32U
C1 1 2 4PF
*
.ENDS INGANGSCIRCUIT
*
*
*
*
X1 1 2 0 5 6 7 8 11 100 VERSCHILTRAP
X2 1 5 6 9 11 100 OPTELLER
X3 1 11 100 VBIAS
X4 3 2 0 100 INGANGSCIRCUIT
*

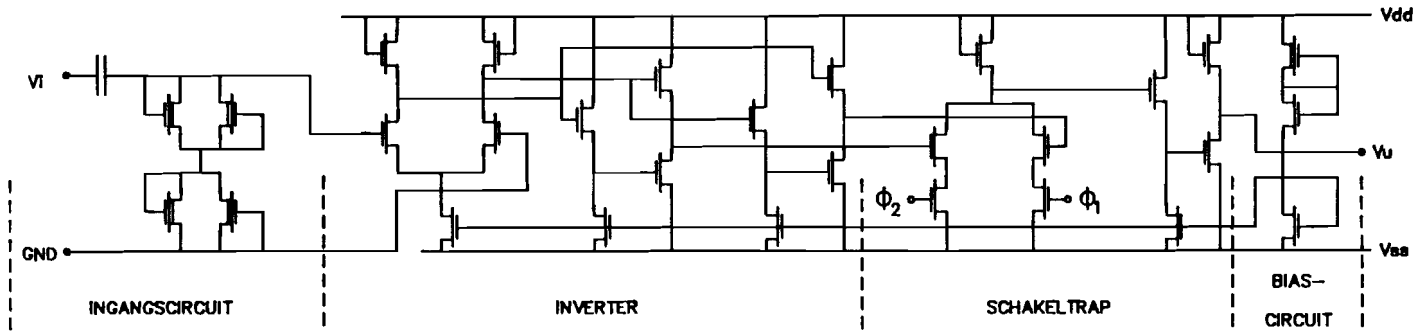
```

BIJLAGE 4. invoerfile voor PSPICE.

```

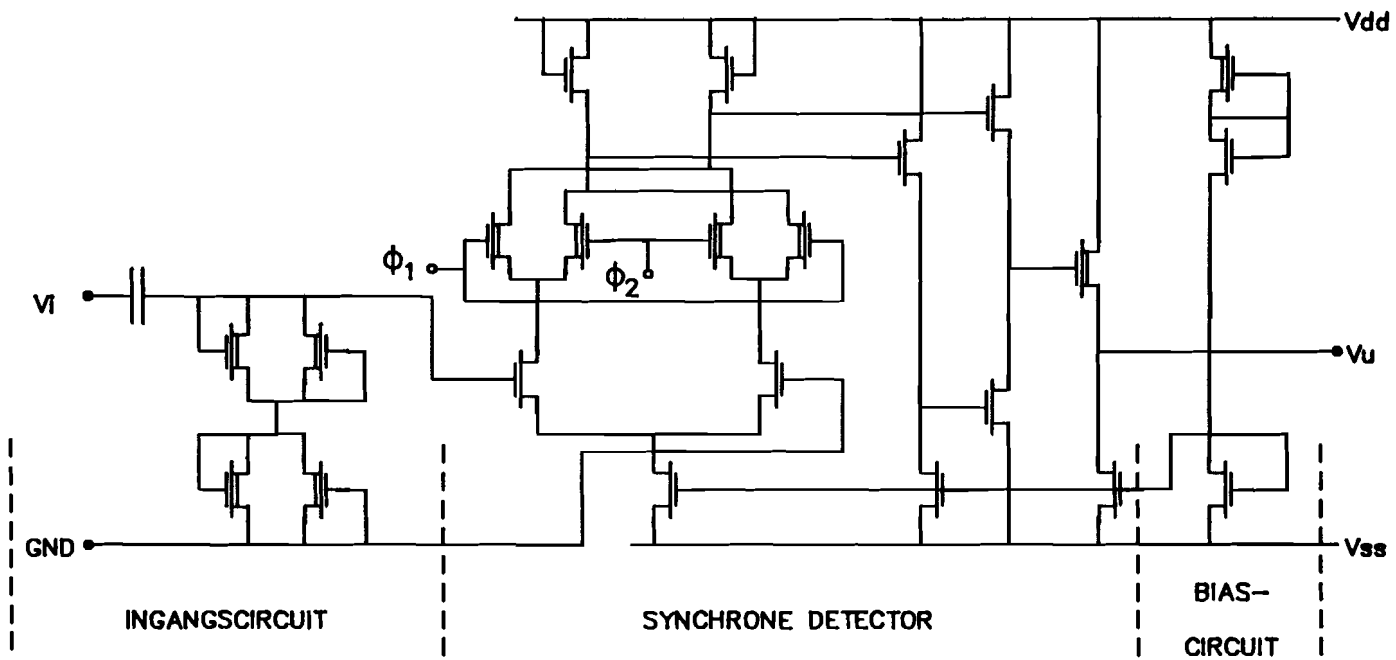
VIN 12 0 DC 0
R1 12 3 10K
VDD 1 0 DC 5
VSS 100 0 DC -5
*
VSCHAKEL 7 0 PULSE(5 -5 1000N 0 0 1000N 2000N)
V2SCHAKEL 8 0 PULSE(-5 5 1000N 0 0 1000N 2000N)
*
*****
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+ CGBO=395P RSH=20 XQC=0.4 CJ=80U MJ=0.5 CJSW=330P MJSW=0.25
+ JS=6.2U TOX=60N NSUB=9E14 XJ=1U LD=1U UO=680 UCRIT=65000
+ UEXP=0.115 VMAX=5E4 DELTA=4)
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+ CGBO=395P RSH=20 XQC=0.4 CJ=80U MJ=0.5 CJSW=330P MJSW=0.25
+ JS=6.2U TOX=60N NSUB=9E14 XJ=1U LD=1U UO=680 UCRIT=65000
+ UEXP=0.115 VMAX=5E4 DELTA=4)
*****
.OP
.TRAN 2.5N 5.2U
.PROBE
.OPTIONS LIMPTS=8E3 RELTOL=0.00005 ABSTOL=0.001NA VNTOL=0.05UV
+ CHGTOL=0.00001PC ITL5=0
.END

```



BIJLAGE 4. schema van de modulator.

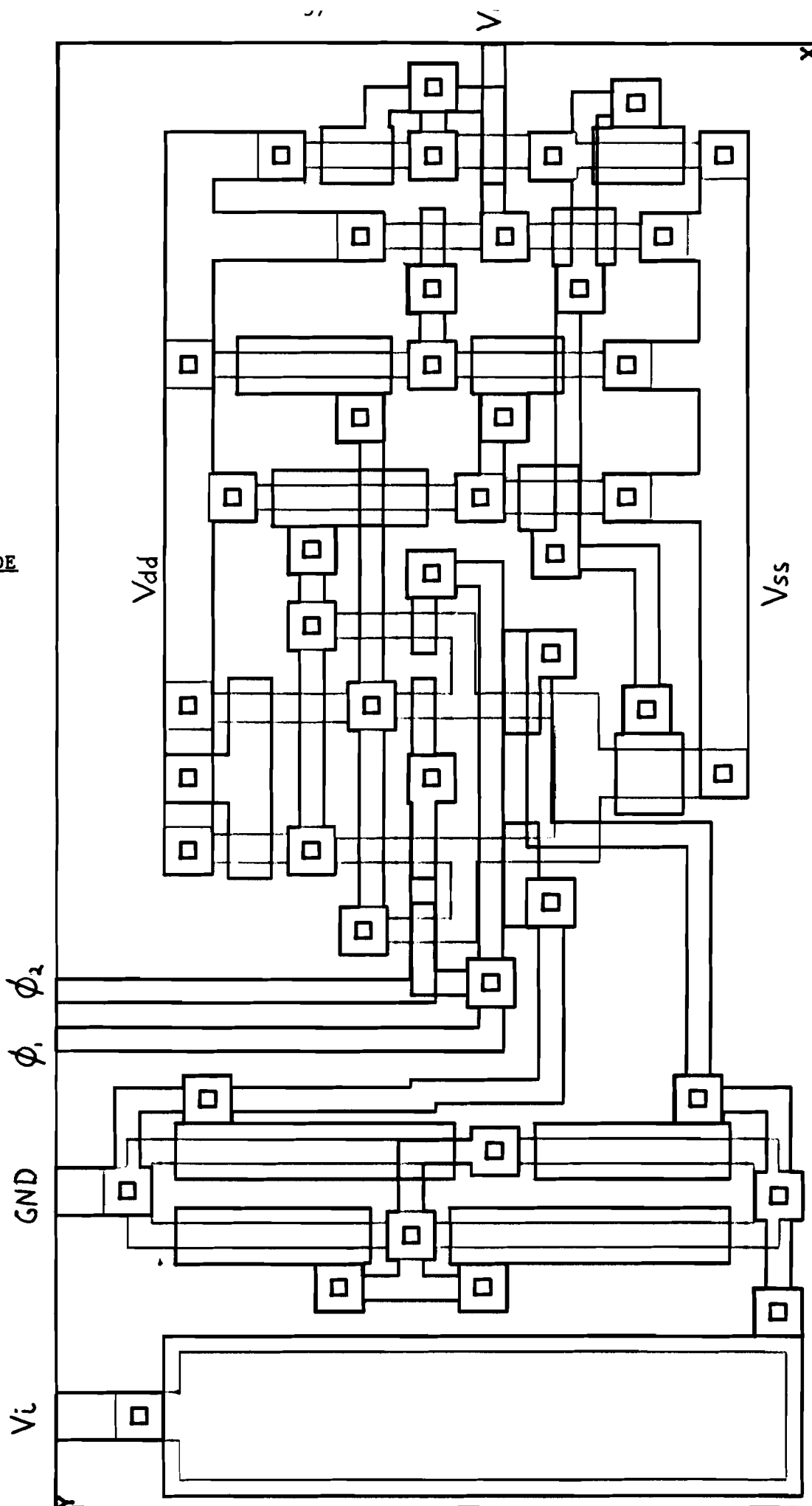




BIJLAGE 4. schema van de synchrone detector.

BIJLAGE 5. LAYOUT VAN DE

SYNCHRONE DETECTOR.



Compound: syndet 365um X 190um Window: -103,19 262,209  
Designer: peter\_f Scale: 1mm=1.39um  
Fri Feb 5 13:50:09 1988 1um=0.71mm