Eindhoven University of Technology

MASTER

Een besturingscircuit voor een slope adaptive deltamodulator

Faasse, P.R.

Award date:
1988

Link to publication

Disclaimer
This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

General rights
Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

Take down policy
If you believe that this document breaches copyright please contact us providing details, and we will remove access to the work immediately and investigate your claim.

Download date: 23. Jun. 2025

TECHNISCHE UNIVERSITEIT EINDHOVEN
Faculteit der Electrotechniek
Vakgroep Electronische Schakelingen

EEN BESTURINGSCIRCUIT VOOR EEN SLOPE ADAPTIVE DELTAMODULATOR

door:

P.R.Faasse

juni 1988

Verslag van het afstudeerwerk uitgevoerd gedurende de periode juni 1987 tot juni 1988 aan de Technische Universiteit Eindhoven

Afstudeerhoogleraar : prof. dr. ir. W.M.G. van Bokhoven
Begeleider : ir. J.H. van den Boorn

De faculteit der electrotechniek van de Technische Universiteit Eindhoven aanvaardt geen verantwoordelijkheid voor de inhoud van afstudeerverslagen

Samenvatting

In dit afstudeerverslag wordt de realisatie besproken van een besturingsschakeling voor een geïntegreerde spraak naar bits converter.
Deze besturingsschakeling bestaat uit een 4-fasen clock en een 15-bits schuifregister. Hieruit kunnen signalen voor het besturen van de converter worden afgeleid met behulp van een aantal op SET-RESET flipflops gebaseerde circuits of met digitale poorten.
De spraak naa r bit converter bevat onder andere een exponentiële analoog/digitaal converter gebaseerd op een analoge twee-deler en een comparator.
Er is er een eerste idee opgezet voor het realiseren van een nieuwe ADC. Deze nieuwe ADC werkt op basis van een tweetal DAC's en een comparator.

Daarnaast zijn een aantal hulpprogramma's ontwikkeld om het werken met de bij de vakgroep beschikbare APOLLO werkstations gemakkelijker te maken.

Verder zijn er een aantal testcircuits gemaakt waarmee de werking van de diverse schakelingen aan de hand van metingen kunnen worden geverifieerd.

Inhoudsopgave:

Hoofdstuk :	Inhoud:	blz:
1	Inleiding	2
2	Korte beschrijving van de ISDN chip	3
3	De opzet van de controller	5
3.1	Analyse van de te realiseren timing	6
3.2	De constructie en timing van de ADC	7
3.3	De structuur van de controller	10
4	De realisatie van de controller	12
4.1	De 4-fasen clock	13
4.1.1	De power set reset flipflop	13
4.1.2	De nieuwe 4-fasen clock	15
4.2	Het 15-bits schuifregister	18
4.3	Latches en flipflops	22
4.4	Het realiseren van de besturings signalen	26
4.5	De besturing van de ADC	29
4.5.1	Het oplaadcircuit voor de deler	30
4.5.2	De aanstuurlogica voor de ADC	34
5.	Diverse buffers	36
5.1	Kleine buffers zonder bootstrapping	42
5.2	Een kleine buffer met bootstrapping	47
5.3	Diverse paddrivers	50
6	Het simuleren van diverse circuits	53
6.1	Hulpprogramma's bij de simulatoren	55
7	Een idee voor een betere ADC	56
8	Layouts en testschakelingen van diverse circuits	58
8.1	De testschakeling voor de controller	59
8.2	De testschakeling voor de buffers	63
8.3	Een eerste testschakeling voor de nieuwe ADC	64
9	Conclusies en aanbevelingen	66
10	Literatuur	67

Bijlagen :

bijlage 1 : de layouts van de gerealiseerde schakelingen
bijlage 2 : de PSPICE invoer files bij diverse simulaties

H 1 Inleiding

Aan de Technische Universiteit Eindhoven bij de faculteit Electrotechniek worden binnen de vakgroep Electronische Schakelingen een tweetal chips ontwikkeld.
Één van deze twee chips is een spraak naar bits converter die via een ISDN netwerk data zal kunnen verzenden. Een aantal van de delen waaruit deze converter bestaat zijn door een aantal afstudeerders ontworpen. Om met deze delen een spraak naar bits converter te realiseren is een circuit nodig dat signalen levert waarmee de activiteiten van deze delen worden gecoördineerd.
In de vorm van een afstudeerwerk heb ik een circuit ontworpen dat deze signalen kan produceren genaamd de controller. Verder heb ik een eerste ontwerp gemaakt voor een verbeterde versie van één van de delen van de converter namelijk de ADC.

Inhoudsbeschrijving van de hoofdstukken :

In hoofdstuk 2 wordt een korte beschrijving gegeven van de chip waarvoor de controller bedoeld is.

In hoofdstuk 3 worden de uitgangspunten voor het ontwerpen van de controller één voor één onder de loep genomen. Op grond van deze uitgangspunten wordt tot een bepaalde structuur van de te realiseren controller besloten.

In hoofdstuk 4 worden de diverse deelcircuits die voor het realiseren van de controller nodig zijn beschreven. Ook wordt hier beschreven hoe met deze delen de complete controller is gerealiseerd.

In hoofdstuk 5 worden de bij het realiseren van de controller gebruikte en ontworpen buffer schakelingen beschreven. Deze nemen een zo belangrijke plaats in voor het funtioneren van de controller dat ze apart beschreven zijn.

In hoofdstuk 6 worden een aantal bij het ontwerpen van de controller gebruikte simulatoren beschreven. Ook worden er een aantal hulpprogramma's beschreven die voor gebruik in combinatie met deze simulatoren zijn ontwikkeld.

In hoofdstuk 7 wordt een eerste aanzet tot een nieuw ontwerp voor de in de ISDN chip gebruikte ADC beschreven.

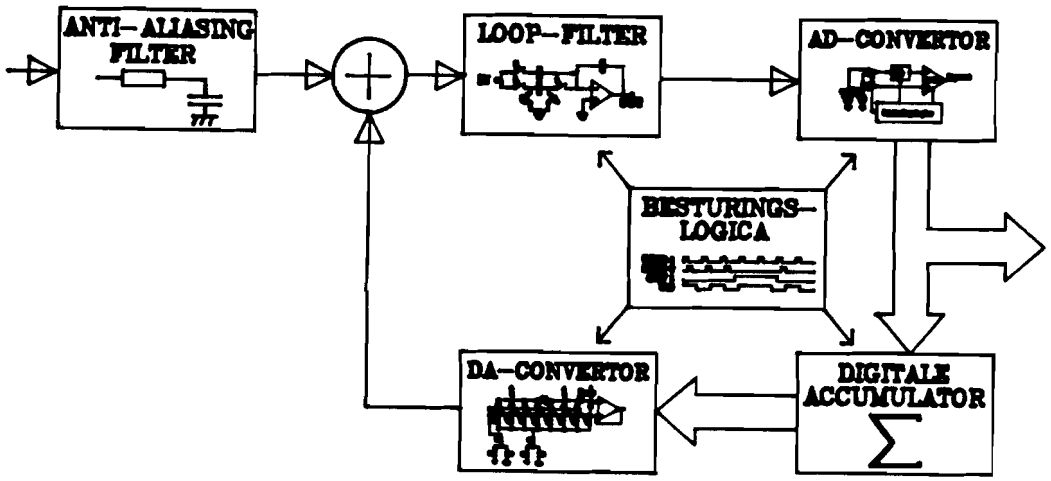
In hoofdstuk 8 worden een aantal schakelingen besproken die zijn gemaakt om de werking van de diverse in dit verslag beschreven circuits te testen. Ook wordt hier beschreven welke metingen van belang geacht worden om het functioneren van deze schakelingen te beoordelen.

H 2 Korte beschrijving van de ISDN chip

Voor een goed begrip van het ontwerp van de controller is het noodzakelijk om iets meer te weten over de achtergrond van de werking van de totale ISDN chip.

De chip is bestemd voor toepassing in een ISDN communicatie verbinding. Ze bevat een converter waarin een spraak signaal , of soortgelijk signaal wordt omgezet in een bitstroom. Deze bitstroom wordt via een gestandaardiseerd (ISDN standaard lit[1] en [8]) protocol overgezonden en vervolgens aan de ontvangstzijde met behulp van een soortgelijke chip weer omgezet in een spraak signaal. Het omzetten van de spraak naar bits gebeurt volgens de methode van de zogenaamde Slope Adaptive Delta Modulation.
Deze methode en de naam van de converter zal in het vervolg afgekort worden tot SADM (Slope Adaptive Delta Modulator).
De voornaamste eigenschap van deze manier van converteren van een signaal naar digitale codes is dat niet het signaal zelf maar voornamelijk de veranderingen in het signaal worden gecodeerd en overgezonden.

Een blokschema van de hier ontworpen SADM is gegeven in figuur 1.



figuur 1 : Een blokschema van de hier gebruikte SADM.

Voor een goed begrip van de controller is het niet noodzakelijk uitgebreid in te gaan op de constructie van de overige blokken van de chip. Daarom zal hier volstaan worden met een korte beschrijving van de werking van het gehele systeem.

Het spraaksignaal dat binnenkomt wordt in het Input Filter (IF) in bandbreedte begrensd en gepreëmphasized om de ruis eigenschappen van de converter te verbeteren. Vervolgens wordt er het teruggekoppelde signaal van de DAC van afgetrokken. Het resterende signaal wordt nogmaals gefilterd (in het Loop Filter) en dan door een exponentiële ADC omgezet naar een digitale code. Deze code is tevens het uitgangs signaal van de SADM. Daarnaast worden deze codes geaccumuleerd (in de ACCU). De geaccumuleerde waardes worden door de DAC weer omgezet in een spanning welke van

het uitgangs signaal van het IF wordt afgetrokken.
Wanneer nu deze regellus goed functioneert zal deze ervoor zorgen dat de uitgangs signalen van de DAC en van het IF zo goed mogelijk aan elkaar gelijk zijn. Door de integrerende werking van de ACCU zal het uitgangs signaal van de ADC evenredig zijn met de afgeleide van het uitgangs signaal van het IF. Het uitgangs signaal van de SADM is dus evenredig met de afgeleide ofwel de helling van het ingangs signaal. Hiervan komt de naam Delta Modulator.

Het Slope Adaptive element van de converter zit in het exponentiële karakter van de ADC. Hoe sneller het ingangs signaal van de converter verandert hoe groter de stappen zullen zijn waarmee de inhoud van de ACCU verhoogd zal worden.

De voordelen van deze manier van converteren zijn dat met een gering aantal bits per conversie (en dus met een lage data rate voor het te verzenden signaal) toch met grote nauwkeurigheid signalen verzonden kunnen worden. Dankzij het exponentiële karakter van de ADC kunnen ook grote (of snelle) veranderingen in dit ingangs signaal snel worden gevolgd ,zij het dan met tijdelijk een minder grote nauwkeurigheid .
Verder is het goed mogelijk om deze manier van converteren in geïntegeerde vorm te realiseren in het voor ons beschikbare Nmos proces zonder dat hierbij de spreidingen van de component waarden die daarbij optreden de werking van het geheel merkbaar zullen verstoren.

Voor de besturing van het geheel is het van belang dat de cyclustijd van de SADM is gekozen op ongeveer 15 μs (15,258..μs)
Dit is zo gekozen dat er 2^{16} samples per seconde van het ingangs signaal worden genomen.(zie voor de keuze hiervan ook lit[8])

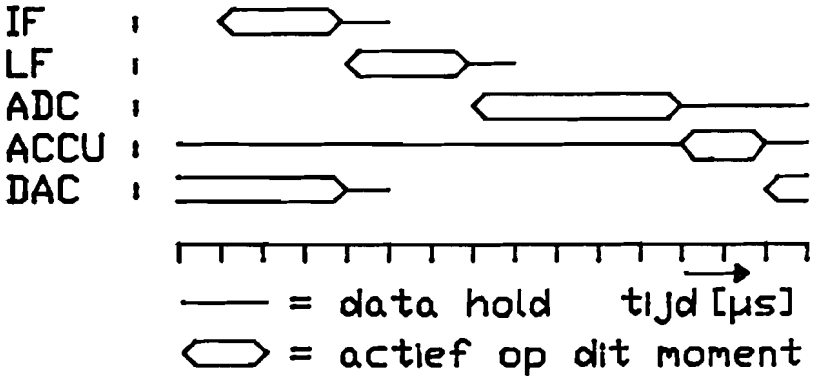
H 3 De opzet van de controller

Om de diverse delen van de SADM gecoördineerd samen te laten werken zijn een aantal besturings signalen nodig die ervoor zorgen dat elk blok van het circuit op het juiste moment de juiste actie uitvoert. Deze besturings signalen worden door de controller geleverd.
Zo zullen bijvoorbeeld het IF en de DAC hun uitgangs signalen op samenvallende tijdstippen moeten afleveren om de opteller in staat te stellen deze signalen te verwerken.
Een groot probleem bij het ontwerpen van de controller was dat, zeker bij het aanvangen van mijn afstudeerwerk, een aantal van de deelblokken waaruit de SADM bestaat zich nog in een zeer pril stadium van hun ontwikkeling bevonden.
Het gevolg van deze sitiatie is dat op dit moment nog niet exact bekend is welke besturings signalen nodig zijn voor de diverse blokken van het systeem.

In de nu volgende paragrafen wordt een een analyse gegeven van de te realiseren timing en een nadere beschouwing van de ADC.
Aan de hand hiervan is gekozen voor een modulaire opzet van de controller. Hiermee is het in principe mogelijk om alle benodigde stuursignalen te genereren. Op het moment dat de diverse delen volledig zijn ontwikkeld kunnen dan op eenvoudige wijze de stuursignalen worden afgeleid, welke aan de nader te stellen eisen voldoen.

H 3.1 Analyse van de te realiseren timing

Er bestond bij aanvang van mijn afstudeerwerk natuurlijk een grof idee omtrent het gedeelte van de 15µs cyclus tijd die elk van de deelblokken ter beschikking heeft. Zo zullen de DAC en de ADC respectievelijk 6 µs en 5 µs ter beschikking hebben. Voor de ACCU werd gedacht dat 1 à 2 µs voldoende moet zijn om een signaal te verwerken. De rest van de cyclustijd zal dan voor het LF ter beschikking staan. Voor het IF is het alleen van belang dat het eens per cyclus één waarde moet afleveren. Het heeft in principe de volle 15 µs ter beschikking om deze waarde te produceren.
Deze gegevens kunnen als volgt in een timing diagram worden weergegeven : (zie figuur 2)



figuur 2 : De grove timing van de loop

Verder is uit de diverse ontwerpen bekend dat er zeer intensief met geschakelde capaciteiten zal worden gewerkt. Zowel de ADC , de DAC , als de beide in de schakeling voorkomende filters zullen voornamelijk bestaan uit schakelaars en capaciteiten. Om een circuit dat daaruit bestaat goed te laten functioneren moeten vrijwel altijd deze schakelaars om beurten worden aangestuurd waarbij de besturings signalen daarvoor elkaar niet mogen overlappen. Omdat dit zo vaak voorkomt is met het produceren van zogenaamde niet-overlappende (soms afgekort met nol) signalen terdege rekening gehouden bij het ontwerpen van het besturings circuit.
Als voorbeeld van het gebruik van een niet-overlappend besturings signaal kan het (enig nodige) stuursignaal voor de DAC dienen. Dit is tevens het enige besturings signaal waarvan nu al precies bekend is hoe het eruit moet zien.
Voor het besturen van de DAC is een signaal nodig dat aangeeft wanneer de DAC de uitkomst van de ACCU kan gaan converteren. Dit signaal moet minstens 3 µs lang hoog zijn om het condensator netwerk waaruit de DAC bestaat de tijd te geven om voldoende opgeladen te worden. Daarna moet dit signaal voor de rest van de 15 µs cyclus laag blijven. Bij dit signaal moet een inverse ervan ter beschikking van de DAC zijn dat niet-overlappend mag zijn met het originele signaal.
Helaas is niet bekend op welk moment in de 15 µs cyclus dit signaal precies moet beginnen. Dat hangt nog af van de tijd die nodig is voor de seriëel naar parallel converter die de bits van de ADC moet doorgeven aan de ACCU. Verder is dat nog afhankelijk van de tijd die het loop filter nodig heeft.

H 3.2 De constructie en timing van de ADC

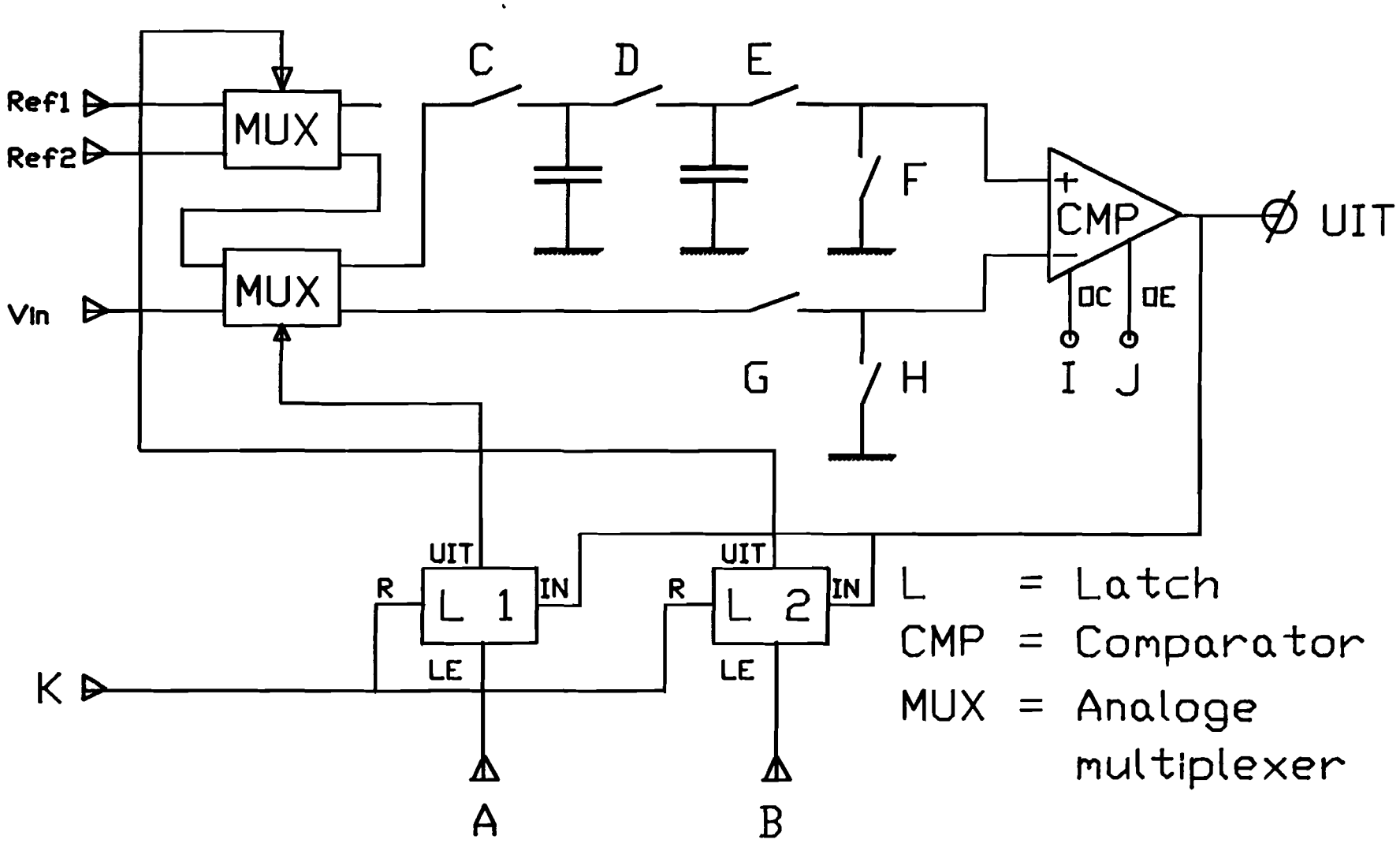
Het tot nu toe gehanteerde ontwerp voor de exponentiële ADC dat in de SADM wordt gebruikt bevat een analoge 2 - deler en een comparator. De 2 - deler bestaat uit een tweetal condensatoren.
Een te delen referentie spanning wordt aan een van deze condensatoren toegevoegd.De andere condensator wordt ontladen en vervolgens parallel aan de eerste condensator aangesloten. De spanning op de twee condensatoren zal dan de helft van de oorspronkelijke spanning zijn. Dit kan in principe meerdere malen herhaald worden waarmee een exponentiële reeks van referentie spanningen kan worden opgewekt.
Deze spanningen worden in de comparator vergeleken met de ingangs spanning van de ADC. Deze vergelijkingen leveren een aantal bits op die een digitale representatie zijn van de aangeboden ingangs spanning.
Om een grotere nauwkeurigheid en een snellere conversie mogelijk te maken wordt niet steeds de referentie spanning maar afhankelijk van welke de grootste is (de ingangs of de referentie spanning) de grootste spanning gedeeld in de 2 - deler.
Verder moeten uiteraard de referentie spanning en de ingangs spanning van dezelfde polariteit zijn. Om dit te verzekeren wordt eerst de polariteit van de ingangs spanning bepaald. De verdere vergelijkingen worden dan gedaan met een referentie spanning die de polariteit van het ingangs signaal heeft.

De volledige A/D conversie bevat dan de volgende stappen:

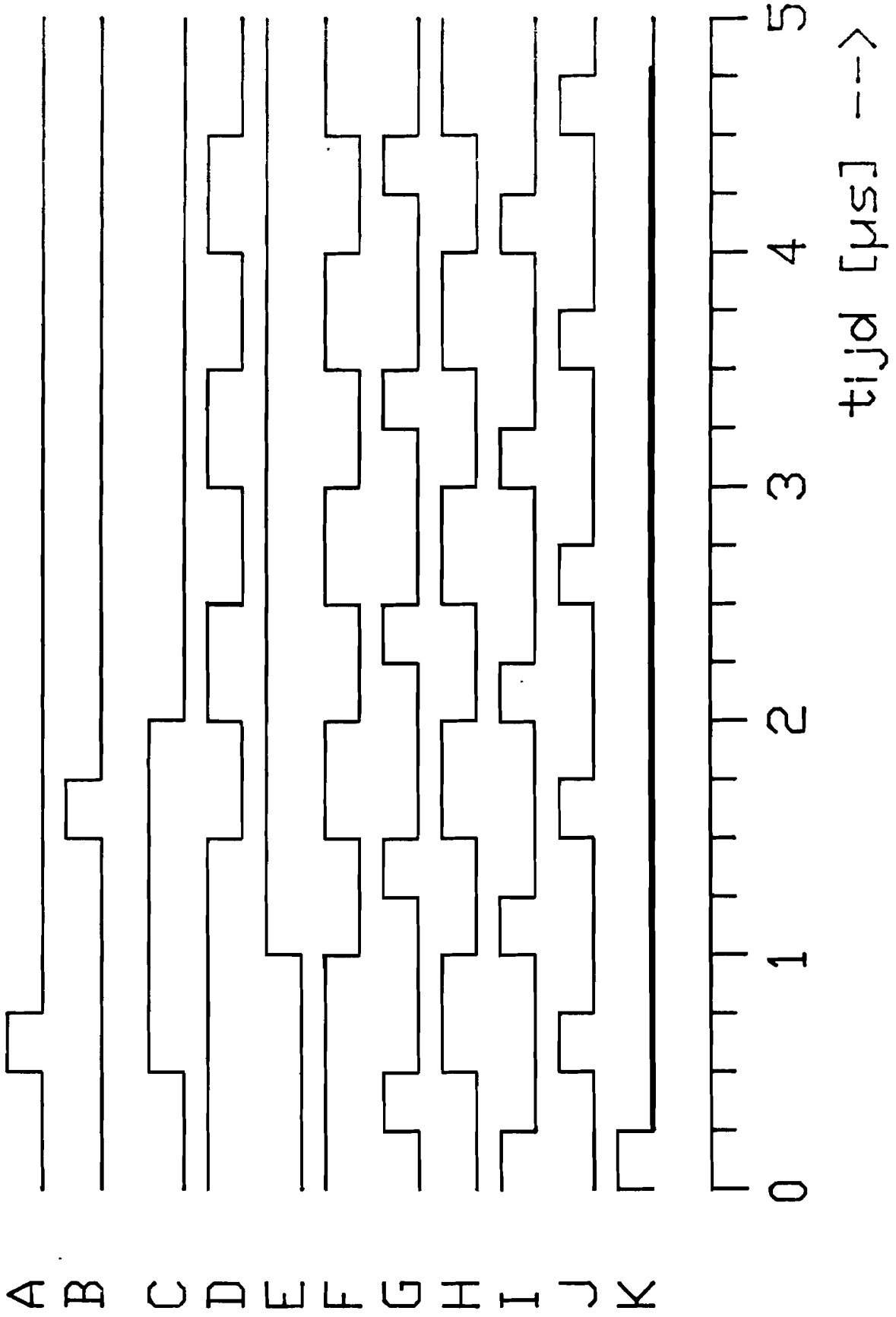
- Bepaal eerst de polariteit van het ingangs signaal.
- Bepaal vervolgens de grootste spanning. (V_{in} of V_{ref})
- Voer vervolgens een aantal deelslagen uit en vergelijk steeds de gedeelde spanning met de niet gedeelde spanning.

De eerste twee van deze stappen leveren ieder één bit van de conversie als resultaat. Het blijkt dat met deze methode van converteren na drie deelslagen de benodigde resolutie is bereikt. Totaal zijn dus 5 conversieslagen nodig voor het naar een digitale waarde converteren van een analoge spanning. Ieder van deze slagen kost 1 μs tijd zodat voor een totale conversie met de ADC 5 μs nodig is.

Voor een meer gespecificeerde beschrijving van de werking van de 2-deler en de werking van de ADC verwijs ik naar lit[2]. De comparator die voor de ADC is ontworpen staat uitgebreid beschreven in lit [4]. In de figuren 3 en 4 staan een blokschema van de ADC en de stuursignalen die deze nodig heeft. Uit het voorgaande en het blokschema blijkt wel dat het besturen van deze ADC geen erg eenvoudige zaak is. Vooral omdat voor ieder van de conversieslagen slechts één μs beschikbaar is.Er is dan ook, zeker in eerste instantie, extra aandacht gegeven aan het besturen van de ADC.
Figuur 4 heeft een tijdas die slechts 5 μs van de volledige cyclus dekt. Wat de ADC in de overige tijd doet is voor het functioneren van de SADM verder niet van belang. De data die hij dan eventueel produceert worden toch niet verder gebruikt.



figuur 3 : een blokschema van de ADC



figuur 4 : Een timingsdiagram van de besturings signalen voor de ADC

H 3.3 De structuur van de controller.

Uit de voorgaande analyse van de timing van zowel de volledige ISDN chip als die van de ADC volgen een aantal eisen waaraan de controller moet voldoen:

- De cyclustijd van de te realiseren besturings signalen is 15 μs
- De kortste besturings puls die gewenst is heeft een pulsduur van 250 ns
- Binnen de genoemde 15 μs zullen een groot aantal besturings pulsen moeten worden geproduceerd met een sterk uiteenlopende pulsduur en belasting
- Het moet op eenvoudige wijze mogelijk zijn om op een later tijdstip nog wijzigingen aan te brengen in de door het besturings circuit geproduceerde signalen
- Er is vaak behoefte aan besturings signalen waarvan op de een of andere manier gegarandeerd wordt dat deze een zogenaamd niet-overlappend karakter hebben

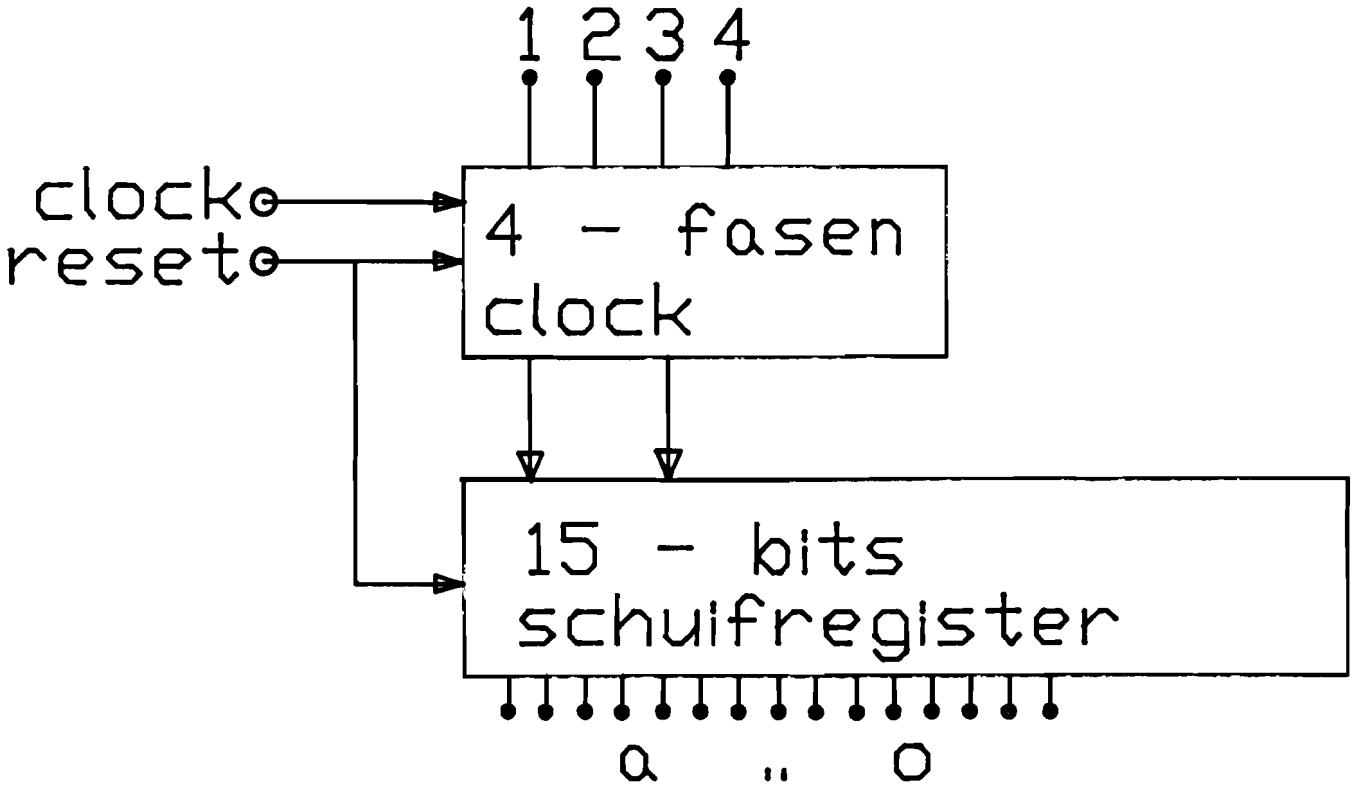
Op grond van deze eisen is gekozen voor de volgende manier van het realiseren van een circuit dat besturings signalen kan generen :

Een 4-fasen clock levert op een viertal uitgangen niet overlappende pulsen met hoge belastbaarheid en een pulstijd van 250ns per puls. Dit maakt het mogelijk om op eenvoudige wijze pulsen te produceren van 250ns breed en maakt tevens een begin met het niet-overlappende besturings principe. De cyclustijd van deze 4-fasen clock is dan 1 μs.

Een 15-bits cyclisch schuifregister zal een '1' rondschuiven en daarmee aangeven in welk gedeelte van de 15 μs cyclus de controller zich bevindt. Hiermee is het cyclische karakter van de controller bereikt.

Er zullen een aantal circuits ontworpen worden waarmee ieder benodigd besturings signaal kan worden afgeleid uit de uitgangs signalen van de bovenstaande twee delen. Deze circuits zullen steeds waar mogelijk zowel een wel als een niet geïnverteerde uitgang hebben waarbij deze signalen elkaar niet overlappen.

Deze opzet maakt het mogelijk een vrijwel volledig ontwerp van de controller te maken met de optie om op het laatste moment wijzigingen in de geproduceerde signalen aan te brengen.
Wanneer de te besturen delen klaar zijn hoeft alleen nog maar een geschikt circuit gekozen te worden om de besturings signalen die gewenst zijn af te leiden uit de door de controller geproduceerde signalen. Voor deze circuits wordt gedacht aan een aantal versies van een gewone Set-Reset FlipFlop (vaak afgekort met SRFF). Het is goed mogelijk om met behulp hiervan een aantal gegarandeerd niet-overlappende signalen te maken zodat aan deze eis voor de te produceren signalen op eenvoudige wijze kan worden voldaan.
Een blokschema van de zo ontstane structuur van de controller is gegeven in figuur 5 .



figuur 5 : Een blokschema van de structuur van de controller.

H 4 De realisatie van de controller

Voor het realiseren van een controller volgens een concept zoals in het voorgaande hoofdstuk is beschreven moesten een aantal deelcircuits worden ontworpen.

De 4 - fasen clock:
Hiervan was al een ontwerp aanwezig waarbij aandacht was besteed aan het niet overlappende karakter van de uitgangs signalen.
Bij nadere beschouwingen bleek echter dat deze schakeling niet bruikbaar was binnen het circuit van de controller waarna een nieuw ontwerp voor deze 4-fasen clock is gemaakt.

Het schuifregister:
Hiervoor bestond nog geen ontwerp dat voor gebruik in de controller in aanmerking kwam.

Diverse schakelingen:
Er waren nog geen schakelingen beschikbaar om uit de signalen van de controller de besturings signalen voor de blokken van de SADM te maken.
Verder bleek dat er nog een aantal andere deelcircuits zoals digitale buffers en latches nodig waren om het een en ander op een juiste wijze te kunnen aansturen.

In de rest van dit hoofdstuk zullen de hierboven genoemde delen van de controller worden beschreven.

Het probleem van het bufferen van digitale signalen bleek een zo belangrijke plaats in te nemen in het aansturen van diverse schakelingen dat daaraan een apart hoofdstuk in dit verslag is besteed (zie hoofdstuk 5).

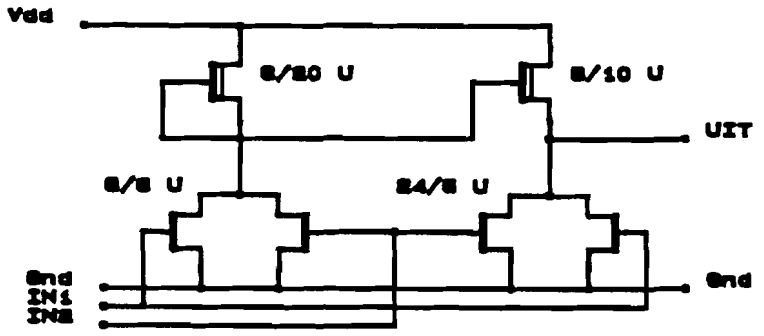
H 4.1 De 4 - fasen clock

Er bestond reeds een ontwerp voor een 4-fasen clock met niet-overlappende uitgangen. De uitgangen van dit circuit mogen echter slechts weinig belast worden.
Bij het aansturen van het schuifregister alleen al moeten er per uitgang van de 4-fasen clock 15 MOSTen worden aangestuurd waarvan de W/L verhouding 6/6 µm is. Het bestaande circuit voor de 4-fasen clock was niet in staat om binnen 250 ns deze belasting aan te sturen.

Omdat het erg moeilijk is om met de bestaande buffers dit oude circuit te bufferen en tegelijkertijd het niet-overlappende karakter van de uitgangs signalen te behouden is de is gekozen om het ontwerp volledig te herzien.

H 4.1.1 De power set reset flipflop

Om bij een nieuw ontwerp van de 4-fasen clock een hoge belastbaarheid van de uitgangen te verkrijgen moeten deze uitgangen in de vorm van een zwaar belastbare poort worden uitgevoerd.
Deze belastbare poort is een als NOR uitgevoerd buffer, een zogenaamde power NOR.
De werking van het buffer waarvan hij is afgeleid staat beschreven in hoofdstuk 5.1 . In figuur 6 is een schema van deze power NOR getekend.



figuur 6 : Het schema van een power NOR

Het elementaire bouwblok bij het nieuwe ontwerp voor de 4-fasen clock is een variant van een SRFF bestaande uit NOR's.
Voor zo'n SRFF zijn een tweetal NOR's nodig. Een van deze NOR's is de power NOR , voor de andere NOR is een zogenaamde ANDNOR gebruikt.

Een schema van een ANDNOR op het nivo van de erin gebruikte MOSTen staat in figuur 7 op de volgende bladzijde samen met het schematische symbool ervoor.
Het schema voor een SRFF bestaande uit een power NOR en zo'n ANDNOR op poortnivo is weergegeven in figuur 8 .

input : 1	2	3	4	output :
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

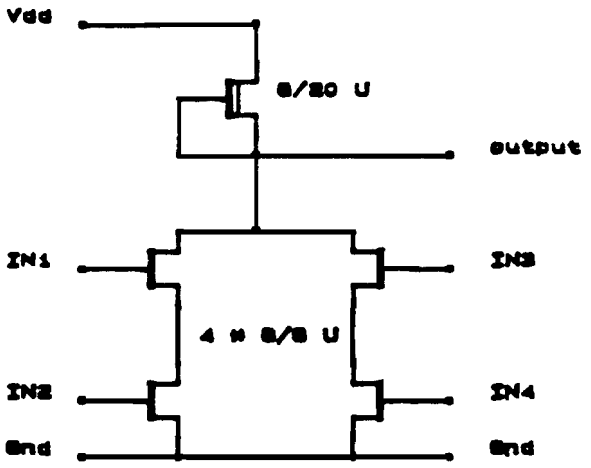
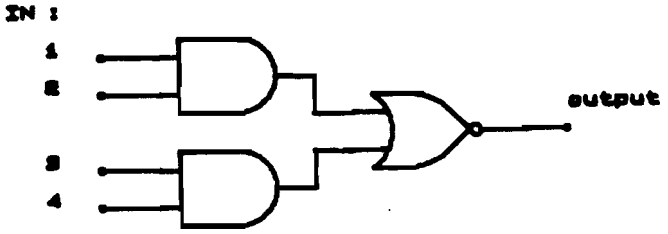
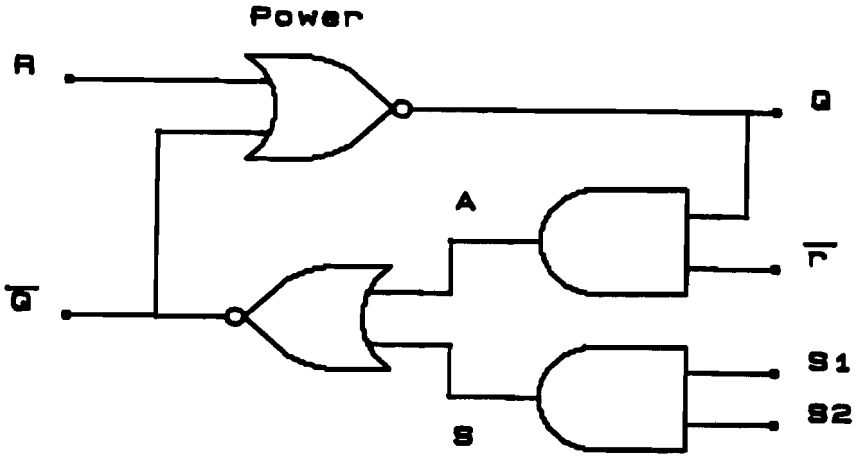


fig 7 a



figuur 7 : Het schemasymbool , de schakeling en de waarheidstabel van een ANDNOR



figuur 8 : een SRFF uit een ANDNOR en een power NOR

De werking van deze SRFF is als volgt : (zie hiervoor figuur 8)

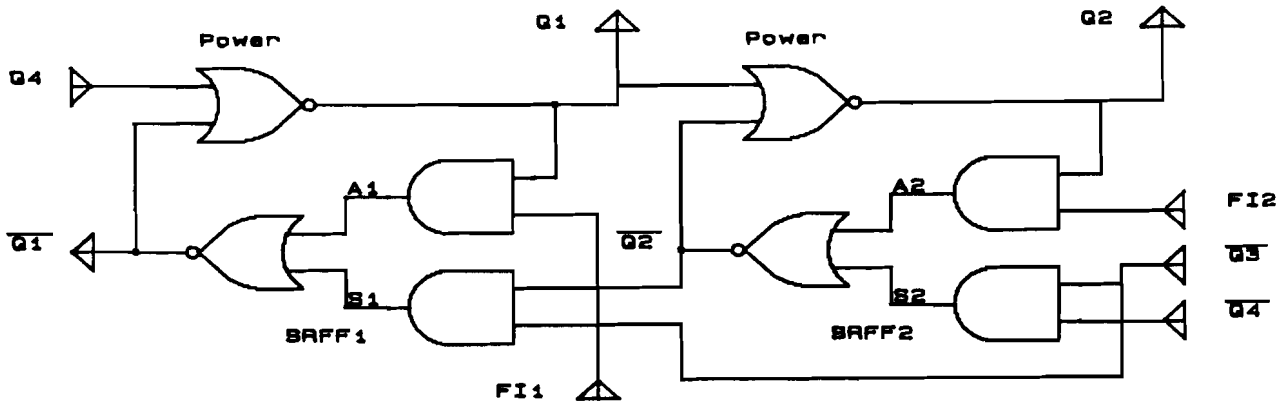
Voorlopig wordt de ingang $\bar{r}$ op logisch '1' gehouden zodat het nivo op de punten Q en A gelijk is. De bovenste AND uit de ANDNOR heeft dan op de werking van de SRFF geen invloed meer. Voorlopig zal deze bij de verklaring van de werking van de SRFF buiten beschouwing gelaten worden. De schakeling die dan overblijft is een gewone SRFF uit NOR's met een AND opgenomen in de Set ingang. Dankzij deze AND heeft de SRFF twee Set ingangen (S1 en S2).
De FlipFlop kan geSET worden door de ingangen S1 en S2 tegelijk op '1' te zetten en geRESET worden door de R ingang '1' te maken.

De bovenste AND van de ANDNOR geeft de mogelijkheid om de SRFF op een andere manier dan met de R ingang te RESETten. Wanneer de SRFF geSET is en alle ingangen zijn '0' behalve $\bar{r}$ (de toestand van de SRFF is dan R,S1,S2,S = '0' , $\bar{r}$ = '1' ,A en Q = '1' ,$\bar{Q}$ = '0') dan kan door de $\bar{r}$ ingang '0' te maken het nivo op punt A op '0' gezet worden. Omdat de nivo's op de punten A en S dan beide '0' zijn zal het nivo op punt $\bar{Q}$ '1' worden. Daardoor zal het nivo op punt Q '0' worden. Wanneer nu het nivo op de $\bar{r}$ ingang weer '1' gemaakt wordt dan zal de SRFF in de zo ontstane nieuwe toestand blijven. Merk bij deze operatie wel dat tijdelijk de uitgangen Q en $\bar{Q}$ voor een korte tijd beide '1' geweest zijn, dit is bij een SRFF uit NOR's ongewoon.

H 4.1.2 De nieuwe 4-fasen clock

Voor de 4 -fasen clock is gebruik gemaakt van een viertal van de in het voorgaande beschreven SRFF's. Deze SRFF's zijn zodanig verbonden dat steeds wanneer een van deze SRFF's wordt geRESET de volgende SRFF wordt geSET. Het RESETten van zo'n SRFF wordt gedaan met de $\bar{r}$ ingang van de SRFF. De R ingang van de SRFF wordt gebruikt om te zorgen dat de uitgangen van de 4 - fasen clock elkaar niet kunnen overlappen.

Beschouw voor de werking van de 4-fasen clock het volgende circuit (zie figuur 9). Dit circuit is een detail uit de schakeling van de 4-fasen clock.



figuur 9 : een detail uit de 4-fasen clock.

In deze figuur 9 zijn de eerste twee SRFF's van de 4-fasen clock getekend.

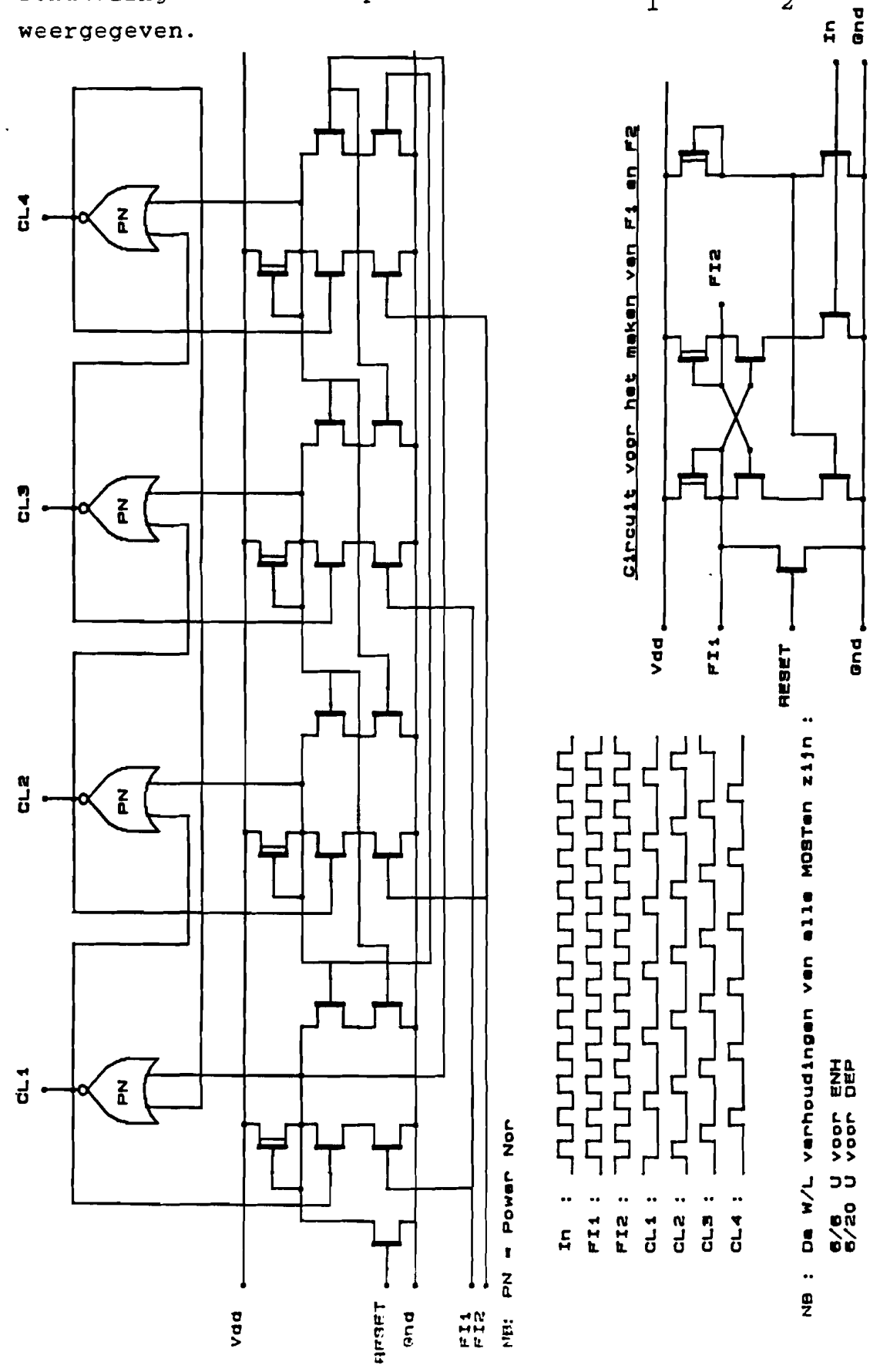
De uitgangen Q_1 en Q_2 zijn twee van de uitgangen van de 4-fasen clock. De ingangen $\bar{Q}_3$ en $\bar{Q}_4$ zijn de $\bar{Q}$ uitgangen van de twee niet getekende SRFF's. De ingang Q_4 in deze figuur is de uitgang van de vierde SRFF van de 4-fasen clock. De ingangen FI_1 en FI_2 zijn de signalen waarmee de 4-fasen clock wordt aangestuurd.
De Q uitgangen van de SRFF's zijn tevens de uitgangen van de 4-fasen clock.

Bij de nu volgende beschouwing zal voorlopig het RESETten van de schakeling buiten de beschouwing gelaten worden.
Wanneer de uitgang Q_1='1' en de uitgangen Q_2 , Q_3 en Q_4 '0' zijn en FI_1 en FI_2 zijn '1' dan zullen de ingangen $\bar{Q}_3$ en $\bar{Q}_4$ van het circuit '1' zijn. (zie hiervoor het volledige circuit in figuur 10). De nivo's op de punten van het circuit zullen dan de volgende waarden hebben :

$SRFF_1$: A_1='1', S_1='0', $\bar{Q}_1$='0', Q_1='1'
$SRFF_2$: A_2='0', S_2='1', $\bar{Q}_2$='0', Q_2='0'

Om nu de volgende clock fase (Q_2) hoog te maken worden alle ingangs signalen op hun waarde gehouden en alleen FI_1 '0' gemaakt. Als gevolg daarvan wordt A_1 '0' en dus $\bar{Q}_1$ '1'. Vervolgens wordt de uitgang Q_1 '0'. Omdat $\bar{Q}_2$ al '0' was wordt daarna de uitgang Q_2 van de 4-fasen clock '1'. Een tijdje later zal dan de ingang $\bar{Q}_3$ laag worden. Wanneer daarna de ingang FI_1 weer hoog wordt zal de $SRFF_1$ met een uitgang Q_1 = '0' blijven staan.
De toestand van de 4-fasen clock is nu precies dezelfde als aan het begin van de beschouwing alleen nu met de uitgang Q_2 in plaats van Q_1 op '1'. Door nu FI_2 '0' te maken kan de uitgang Q_3 van de 4-fasen clock '1' gemaakt worden. Door nu beurtelings de ingangen FI_1 en FI_2 '0' te maken kunnen achtereenvolgens de uitgangen Q_1 .. Q_4 '1' gemaakt worden.
Hiermee is een cyclische 4-fasen clock verkregen. Het niet overlappen van de pulsen op deze uitgangen is gegarandeerd doordat het juist het '0' worden van de voorgaande uitgang de start is voor het '1' worden van het signaal van de volgende uitgang.
Het RESETten van de 4-fasen clock gaat als volgt :
Met behulp van een tweetal extra MOSTen worden de uitgang $\bar{Q}_1$ van $SRFF_1$ en FI_2 op '0' gehouden. Wanneer er nu op FI_1 ook nog even een '0' gezet wordt dan komt de 4-fasen clock in de toestand zoals in het begin van de beschouwing beschreven.
De signalen FI_1 en FI_2 worden gemaakt met behulp van een aparte SRFF bestaande uit NAND's en een invertor.

In figuur 10 is het volledige circuit van de 4-fasen clock met de schakeling voor het produceren van FI_1 en FI_2 schematisch weergegeven.



figuur 10 : Het schema van de 4-fasen clock.

H 4.2 Het 15-bits schuifregister

Voor het genereren van de besturingssignalen voor de ISDN chip is als basis een 15 bits schuifregister gekozen. Dit heeft de volgende voordelen:

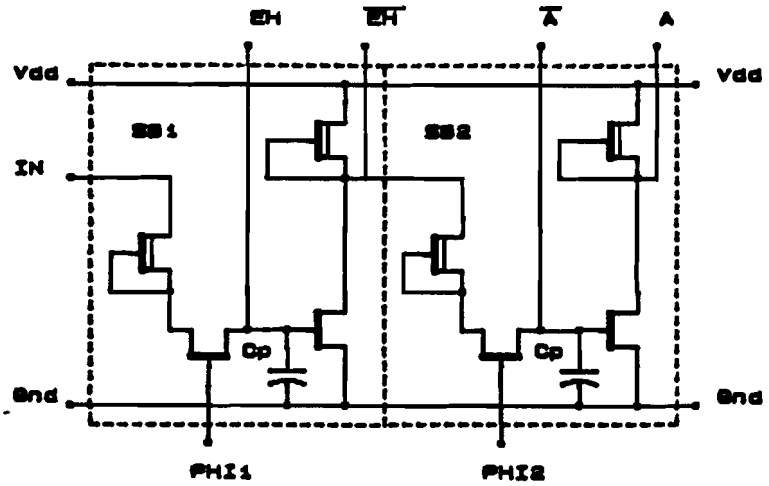
- Een schuifregister kan veel meer signalen leveren dan voor het genereren van de besturings signalen van de ISDN chip noodzakelijk zijn.
  Hierdoor kan wanneer op een later tijdstip andere eisen gesteld worden aan de te produceren besturings signalen hieraan door een eenvoudige aanpassing worden voldaan.

- Er kan bespaard worden op de noodzakelijke logica voor het genereren van de uiteindelijke besturings signalen.

- Een schuifregister kan zodanig worden gerealiseerd dat het relatief weinig stroom verbruikt. Tevens is de stroom die iedere cel van het schuifregister verbruikt onafhankelijk van de waarde van de uitgangen ervan. (ongeveer 40 μA)

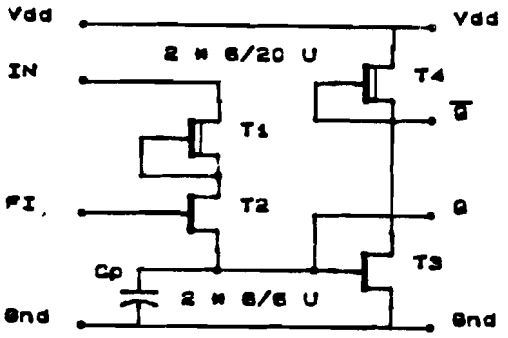
- Het benodigde chip oppervlak per cel is betrekkelijk gering.

Bij het ontwerpen van het schuifregister is uitgegaan van de volgende cel : (zie figuur 11)



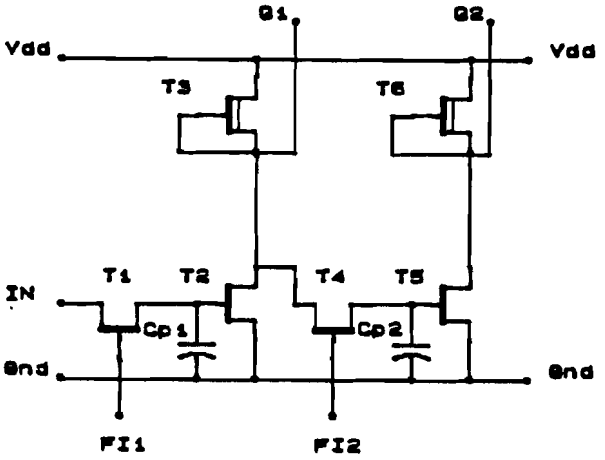
figuur 11 : Het schema van een schuifcel uit het schuifregister

Deze cel is opgebouwd uit een tweetal identieke blokken (SB_1 en SB_2 in figuur 11) die ik schuifblokken noem. In figuur 12 is het schema van een schuifblok nogmaals getekend. Een schuifblok bestaat uit een invertor (T_3 en T_4) en een overdracht schakeling (T_1 en T_2).
De aanwezigheid van een invertor in ieder schuifblok zorgt ervoor dat van alle uitgangssignalen die het schuifregister levert ook een geïnverteerde aanwezig is. In het schuifregister wordt een enkele '1' rondgeschoven. Doordat er per schuifcel twee schuifblokken zijn zal er naast deze '1' een tweede signaal beschikbaar zijn dat een halve microseconde ten opzichte van deze '1' verschoven is in de tijd. (en ook hiervan is een geïnverteerde aanwezig). Zie hiervoor figuur 14.



figuur 12 : het schema van een enkel schuifblok.

De werking van een schuifblok is als volgt : (zie figuur 12)
Wanneer FI = '0' dan houdt de paracitaire capaciteit C_p (plus de capaciteit van een evt. aangesloten circuit) de spanning op de ingang van de invertor ,en daarmee ook het logische nivo, vast.
Als FI '1' wordt dan gaat T_2 geleiden en wordt de spanning, en dus ook het logische nivo, van de ingang IN naar C_p doorgegeven.
De MOST T_1 begrenst de stroom waarmee C_p wordt opgeladen of ontladen. Zonder een begrenzing van deze stroom kan het volgende gebeuren : (zie figuur 13)

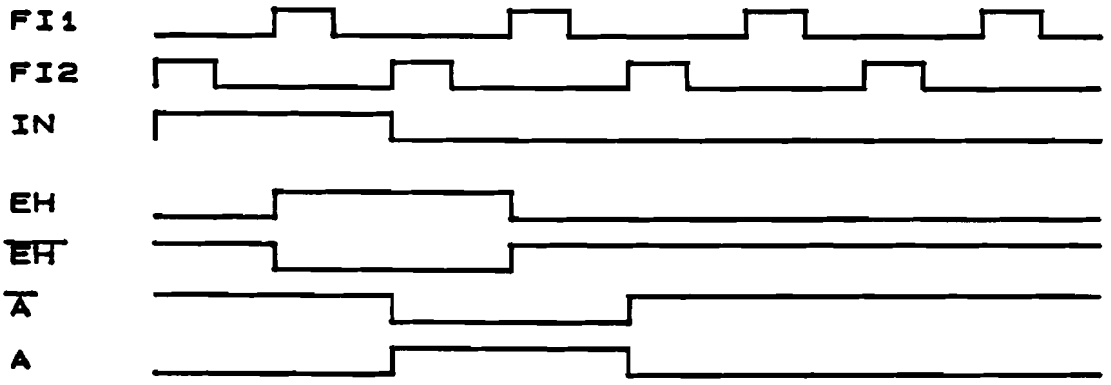


figuur 13 : Een tweetal schuifblokken zonder stroombegrenzing. Een onbruikbare schakeling.

Wanneer bij deze schakeling de uitgang Q_1 '1' is dan zal de MOST T_2 niet geleiden. Stel dat C_{p2} geen lading bevat en het signaal FI_2 wordt van '0' naar '1' geschakeld. Dan wordt C_{p2} op dat moment via de lage impedantie van T_4 verbonden met Q_1. Via de MOSTen T_3 en T_4 wordt C_{p2} dan opgeladen tot Vdd. Tijdens dit opladen van C_{p2} zal echter de spanning op Q_1 aanzienlijk inzakken ten gevolge van de laadstroom van C_{p2} . Dit zorgt ervoor dat

de spanning op Q_1 voor korte tijd in elkaar zakt, er ontstaat een 'dip' in de puls op Q_1.
Deze 'dip' kan een bron van storingen zijn in een op Q_1 aangesloten circuit.
Om deze 'dip' te verkleinen zodat hij geen merkbaar effect op aangesloten schakelingen meer heeft is de MOST T_1 in figuur 12 in het schuifblok aangebracht. Deze MOST begrenst de laadstroom van C_{p2} en verkleint daarmee de 'dip'.

Een schuifcel van het schuifregister bestaat uit een tweetal van deze schuifblokken (zie figuur 11) .De clock ingangen FI_1 en FI_2 van zo'n schuifcel worden aangestuurd met een tweefasen niet-overlappende clock. In de controller worden daarvoor de uitgangen Q_1 en Q_3 van de 4-fasen clock gebruikt ($FI_1 = Q_3$ en $FI_2 = Q_1$).
Wanneer de schuifcel uit figuur 11 zich in de begin toestand EH = '0' , $\bar{A}$ = '1' bevindt en er wordt op IN een puls van 1 μs aangeboden dan levert de schuifcel de volgende signalen (zie figuur 14) :

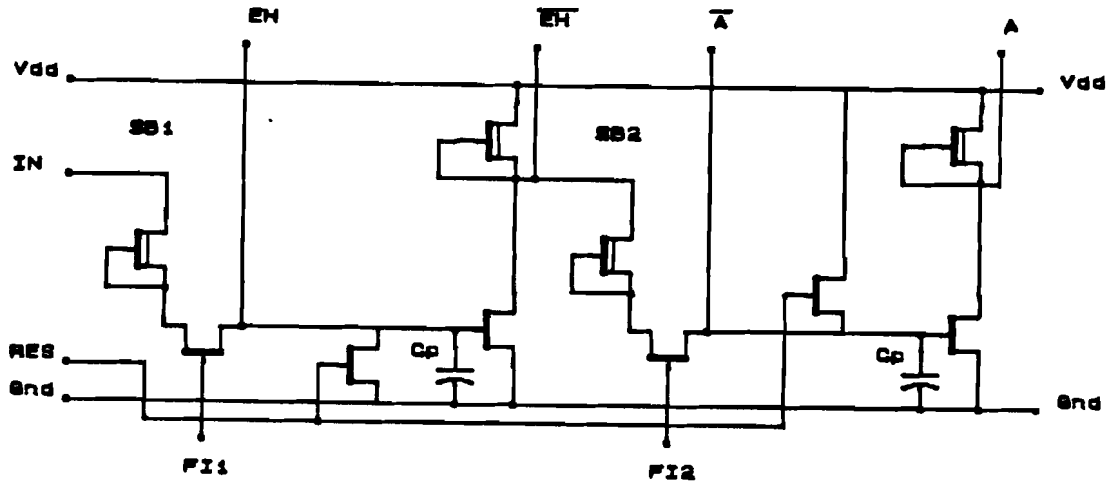


figuur 14 : de in - en uitgangs signalen van een schuifcel.

Hierbij valt het volgende op te merken :

- van alle uitgangs signalen zijn de wel- en niet geïnverteerde ter beschikking
- deze wel en niet geïnverteerde signalen kunnen elkaar overlappen
- de signalen op de uitgangen EH en $\overline{EH}$ zijn een halve pulstijd verschoven ten opzichte van die van A en $\bar{A}$.

Om in een schuifregister dat uit deze schuifcellen is opgebouwd een begintoestand te definieren moet er per schuifblok een extra circuit (in ons geval bestaande uit één MOST) aanwezig zijn om een reset van het schuifregister te realiseren.
Dit reset circuit moet dan door het op- of ontladen van de capaciteit C_p van ieder schuifblok de schuifblokken in een bepaalde toestand brengen.
Figuur 15 is een schema van een volledige schuifcel met het reset circuit.



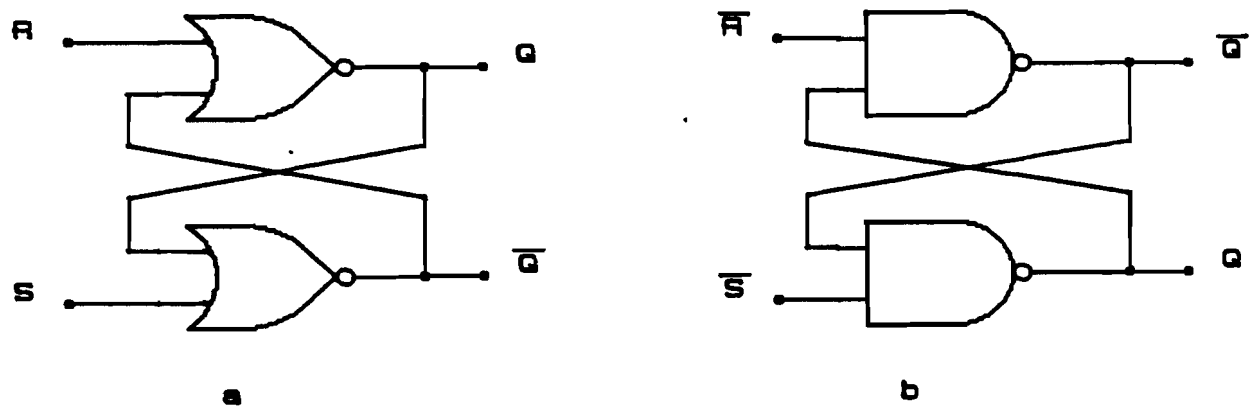
figuur 15 : *Het schema van een schuifcel met het reset circuit.*

Dankzij de regelmatige structuur van de schuifblokken kan dit geheel op een tamelijk kleine oppervlakte worden geïntegreerd. De schuifblokken bestaan namelijk uit een viertal MOSTen die twee aan twee van dezelfde afmetingen zijn.

H 4.3 Latches en flipflops

Voor het vasthouden van een digitaal signaal (bijvoorbeeld het tekenbit van de AD conversie) is een schakeling nodig die een signaal voor een langere tijd (tot 15 µs) kan vasthouden. Dit kan met een aantal schakelingen ,waarvan een SRFF wel de bekendste is, gerealiseerd worden.

Een SRFF kan op twee manieren worden gerealiseerd namelijk met een een tweetal NAND's of met een tweetal NOR's (zie figuur 16).

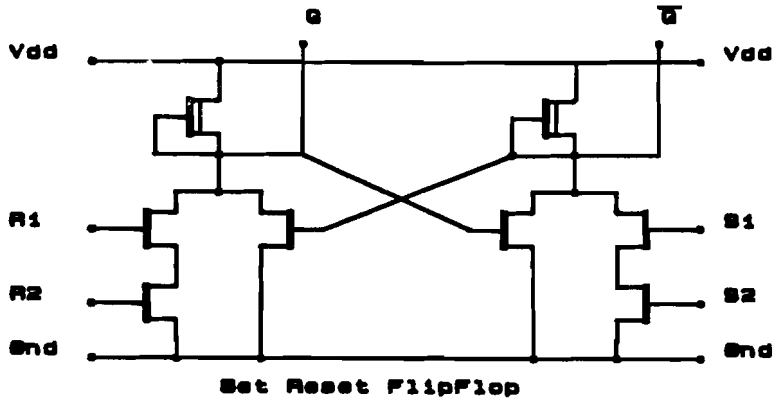


figuur 16 : Het schema van een SRFF met NOR's (a) en met NAND's (b)

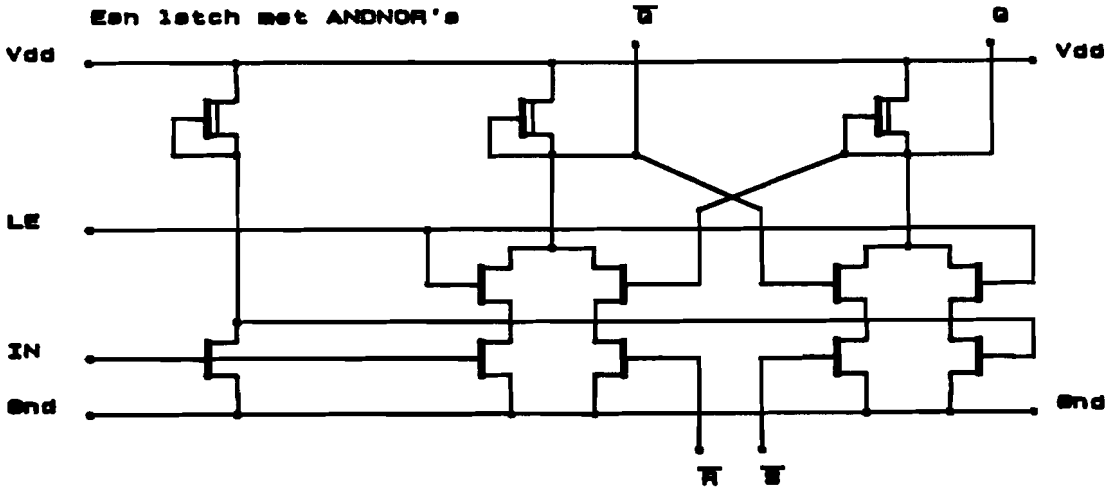
Het nadeel van de realisatie met behulp van NAND's is dat bij het omschakelen van de flipflop de uitgangen ervan tijdelijk alletwee hoog zijn. Dit is op zich geen bezwaar (soms is het zelfs gewenst),vaak zijn echter in verband met het schakelen van capaciteiten niet overlappende signalen nodig.
Dit soort signalen kunnen veel gemakkelijker worden gemaakt met flipflops van het NOR type. Bij zulke flipflops hebben namelijk vanwege de constructie de Q en de $\overline{Q}$ uitgangen al een niet overlappend karakter.

Verder kan door te kiezen voor een iets ingewikkelder bouwsteen voor de flipflop (namelijk een ANDNOR) een gemakkelijk aan te sturen circuit verkregen worden dat onder andere gebruikt kan worden om uit de signalen van de 4-fasen clock en het 15-bits schuifregister de besturingssignalen voor de bouwstenen van de ISDN chip te maken.

Het schema van een SRFF uit deze ANDNOR's op het nivo van MOSTen is gegeven in figuur 17 op de volgende bladzijde. Uitgaande van deze SRFF is het zeer eenvoudig om een statische latch te maken. Dit kost zoals in figuur 18 te zien slechts één extra invertor. Bij deze latch is het ook weer niet mogelijk dat beide uitgangen ervan tegelijk hoog zijn. Eventueel kan bij deze latch een losse $\overline{SET}$ en $\overline{RESET}$ ingang gemaakt worden. Tijdens het setten/resetten van de latch is echter het niet- overlappende karakter van de uitgangen niet gegarandeerd.

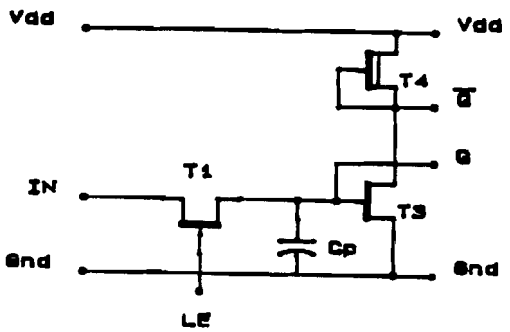


figuur 17 : Het schema van een SRFF opgebouwd uit ANDNOR's



figuur 18 : Het schema van een Latch opgebouwd uit ANDNOR's.

Wanneer niet van een SRFF constructie gebruik gemaakt wordt dan kan een latch werking verkregen worden door van dezelfde structuur gebruik te maken als die van het schuifregister. De schuifblokken waaruit dit schuifregister is opgebouwd houden tussen het schuiven net als een SRFF een logische waarde vast. Een schema van het circuit dat dan gebruikt kan worden staat in figuur 19 hieronder.



figuur 19 : Het schema van een semi - dynamische latch

Dit is de meest eenvoudige schakeling die in staat is om een digitaal signaal te onthouden.

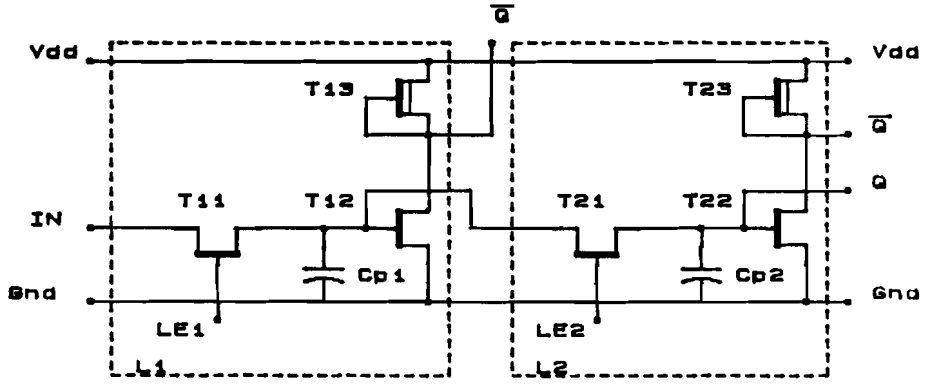
Wanneer deze schakeling als latch gebruikt wordt moet met een aantal eigenschappen van dit circuit rekening gehouden worden.

- Ten eerste is het zo dat de uitgangs signalen Q en $\bar{Q}$ elkaar overlappen. Dit maakt het circuit voor een groot aantal toepassingen ongeschikt.
- Verder is de schakeling niet in staat om een signaal voor onbeperkte tijd te onthouden. (dit is de reden voor de benaming semi-dynamisch). Dit is bij het schuifregister ook al opgemerkt.
- Tenslotte is het circuit gevoelig voor veranderingen van de belasting van de Q uitgang.

De werking van dit circuit is hetzelfde als bij het schuifregister. Via de MOST T_1 wordt een lading aan de parasitaire capaciteit C_p toegevoegd die vervolgens een tijd lang wordt vastgehouden.
Door lek zal na verloop van tijd C_p zijn lading verliezen.

Het is echter zo dat in onze chip alle gebeurtenissen zich met een cyclustijd van 15 μs herhalen zodat bij de meeste gevallen (zoals in het schuifregister) de lading op C_p ververst zal worden lang voordat het weglekken een probleem gaat vormen.

Het feit dat de Q uitgang eigenlijk gevormd wordt door een parasitaire capaciteit kan voor meer problemen zorgen.
Beschouw als voorbeeld van wat hier mis kan gaan de volgende schakeling (zie figuur 20) :



figuur 20 : Een voorbeeld van een foute schakeling met een semi- dynamische latch.

Stel dat bij deze schakeling de latch L_1 een '1' aan het vasthouden is. Als nu L_2 een '0' aan het onthouden was (de lading op C_{p2} is dus nihil) en als daarna de LE_2 hoog gemaakt wordt dan wordt de lading op C_{p1} via T_{21} verdeeld over de capaciteiten C_{p1} en C_{p2}. Dit betekent dat de spanning op C_{p1}

ongeveer de helft kleiner wordt. Als echter t.g.v. bijvoorbeeld een grotere bedradingscapaciteit aan de uitgang Q van L_2 de capaciteit C_{p2} veel groter is dan de capaciteit C_{p1} dan kan het gebeuren dat C_{p1} zo ver ontladen wordt dat de aangesloten schakeling het signaal Q van L_1 niet langer als een '1' maar als een '0' opvat. Dit betekent dat de '1' van L_1 verloren is gegaan. Dit effect kan tegen gegaan worden door C_{p1} opzettelijk te vergroten maar in gevallen waar het gevaar van dit soort ladingsdeling bestaat kan beter van een ander (statisch) type latch gebruik gemaakt worden.

Wanneer bij het gebruik van de schakeling met deze aspecten rekening gehouden wordt kan er vaak een redelijke besparing in het aantal benodigde MOSTen (en dus benodigd opppervlak op de chip) mee worden verkregen.

Het setten en resetten van een semi- dynamische latch gebeurt door van het via een MOST C_p met de gewenste spanning (V_{dd} of Gnd) te verbinden . Tijdens dit setten/resetten moet wel de LE ingang van de latch op '0' staan omdat anders de uitgang van het circuit dat de te latchen data levert wordt kortgesloten.

Vanwege de eenvoud van de schakeling en het geringe stroomverbruik ervan is waar dit kon in de controller gebruik gemaakt van deze semi- statische latches om signalen vast te houden.

H 4.4 Het realiseren van de besturings signalen

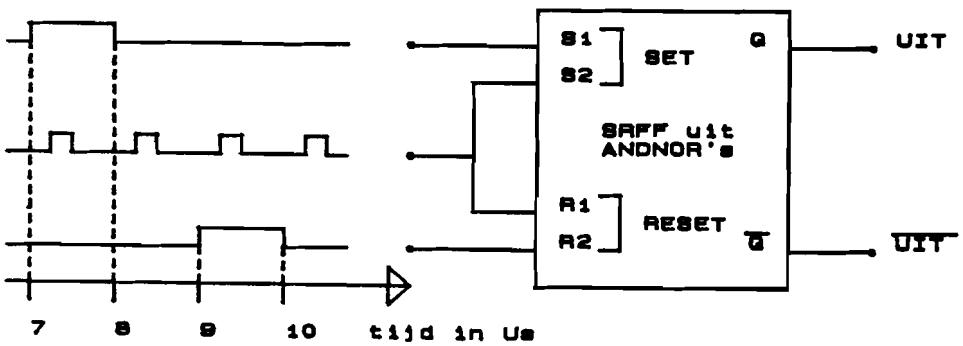
Voor de meeste besturings signalen voor de chip kunnen de signalen van het schuifregister en de 4-fasen clock direct of via een SRFF indirect gebruikt worden. In een aantal gevallen is het echter nodig om via een logische schakeling uit deze signalen een besturings signaal af te leiden. Vooral voor de besturing van de ADC was dit vrij vaak het geval.
Algemeen gezegd kunnen de signalen voor het besturen van een bepaald deel van de ISDN chip afgeleid worden uit de signalen van de controller met behulp van een van de volgende circuits:

a) Een gewone SRFF uit ANDNOR's.
b) Een power SRFF opgebouwd uit powerNOR's.
c) Een aantal digitale poorten aangesloten op de uitgangen van de 4-fasen clock en het schuifregister.

ad a : Er wordt dan gebruik gemaakt van het circuit uit paragraaf 4.3 (figuur 17).
Wanneer op de SET en RESET ingangen van deze SRFF signalen van de 4-fasen clock en het schuifregister worden aangesloten dan kunnen op de Q en $\bar{Q}$ uitgangen ervan signalen verkregen worden waarvan het moment waarop ze hoog of laag worden met grote nauwkeurigheid kan worden vastgelegd.
Het maken van een besturings signaal met behulp van deze SRFF uit ANDNOR's uitgaande van de signalen van de controller gaat als volgt:

Stel er moet een signaal gemaakt worden dat 7.25 µs na het begin van de 15 µs cyclus hoog wordt en dat 2 µs later weer laag wordt. Om dit signaal te maken worden op de SET en RESET ingangen van zo'n SRFF de volgende signalen gezet (nb: er zijn twee SET en twee RESET ingangen op iedere SRFF uit ANDNOR's):
(zie figuur 21)

Op S_1 het signaal van het schuifregister dat hoog is van 7.0 µs tot 8.0 µs. Op S_2 de clockfase 3 van de 4-fasen clock. Deze signalen kunnen direct uit de controller gehaald worden.
Op de R_2 van de SRFF komt weer een signaal te staan uit het schuifregister (de uitgang hoog is van 9.0 µs tot 10.0 µs) en op de R_1 weer dezelfde clockfase van de 4-fasen clock als op S_2 .
Voor een schema van deze verbindingen zie figuur 21 hieronder.



figuur 21 : een besturings signaal gerealiseerd met een SRFF

De bedoeling hierbij is dat het schuifregister zorgt voor het grove selecteren van het tijdstip waarop een verandering in het signaal zal plaatsvinden en dat de uitgang van de 4-fasen clock zorgt voor de precieze timing ervan. Daarom moet voor de te gebruiken uitgang van het schuifregister ook altijd een uitgang gekozen worden die voordat de verandering plaats moet hebben al '1' is. Het is namelijk zo dat het tijdstip waarop de uitgangen van het schuifregister van toestand veranderen niet nauwkeurig vast ligt. De verandering van de uitgangen van de 4-fasen clock echter zijn dankzij de powerNOR uitgangen ervan wel precies vastgelegd. Verder is, dankzij de constructie van de SRFF's uit ANDNOR's, bij ieder op deze manier gerealiseerd besturings signaal tevens een niet - overlappende inverse van dit signaal ter beschikking.

ad b : Soms is de belasting van een signaal te hoog voor een met gewone ANDNOR's gemaakte SRFF. In zo'n geval kan in plaats van een SRFF zoals hierboven beschreven een SRFF uit powerNOR's gebruikt worden. Deze SRFF's hebben echter maar één SET en één RESET ingang. Zo'n SRFF kan dan geset en gereset worden met een signaal uit het schuifregister. Dit heeft tot gevolg dat het tijdstip waarop deze SET of RESET operatie gebeurt niet meer zo nauwkeurig bepaald is. Wanneer dit niet acceptabel is kan met behulp van een poort voor de SET of RESET ingang van de SRFF een aantal extra SET of RESET ingangen (evt. ook $\overline{\text{SET}}$ en $\overline{\text{RESET}}$ ingangen) worden bijgemaakt.

Bij de uitvoering zonder extra ingangen kan met stappen van 500ns door de keuze van de te gebruiken uigang van het schuifregister bepaald worden wanneer de set of reset van de SRFF zal plaatsvinden. Wanneer extra SET en RESET ingangen zijn aangebracht of wanneer de ANDNOR versie van de SRFF is gebruikt dan kan het tijdstip van de set of reset operatie met stappen van 250 ns worden ingesteld.

Met behulp van een van de hierboven beschreven circuits kunnen vrijwel alle benodigde besturings signalen voor de chip gemaakt worden. Alleen indien snelle (sneller dan 250 ns) of bijzondere besturings signalen nodig zijn kan het nodig zijn om deze signalen op een andere manier te maken.

ad c : Indien een bijzonder hoge snelheid (in de orde van de 50ns) of andere nivo's dan 0 en 10 V voor de uitgangs signalen van het besturende deel van de chip nodig zijn dan is het soms nodig om deze signalen direct met logische poorten af te leiden uit de signalen van de 4-fasen clock en het schuifregister.
Vooral bij het besturen van de deler van de ADC is het vaak voorgekomen dat op deze manier signalen voor de beturing ervan gemaakt zijn. (zie hiervoor de beschrijving van besturing van de ADC)
Voor het maken van besturings signalen op deze manier zijn de volgende signalen beschikbaar : (zie ook figuur 22)

- Een cyclische 4-fasen clock met niet - overlappende uitgangen op basis van powerNOR's. De cyclustijd van deze 4-fasen clock is 1 µs .(alle uitgangen worden in die 1 µs één keer hoog).
- Een 60 - tal uitgangen van het 15 bits schuifregister.
  Tijdens iedere 1µs cyclus van de 4-fasen clock wordt de '1' die in het schuifregister wordt rondgeschoven één cel verder

geschoven. Dit betekent dat op de uitgangen van de schuifblokken van deze cel pulsen van 1 µs verschijnen.
Iedere schuifcel heeft 4 uitgangen waarop de volgende pulsen gegenereerd worden :

Één uitgang wordt aan het begin van de 1µs cyclus hoog en aan het einde ervan weer laag.

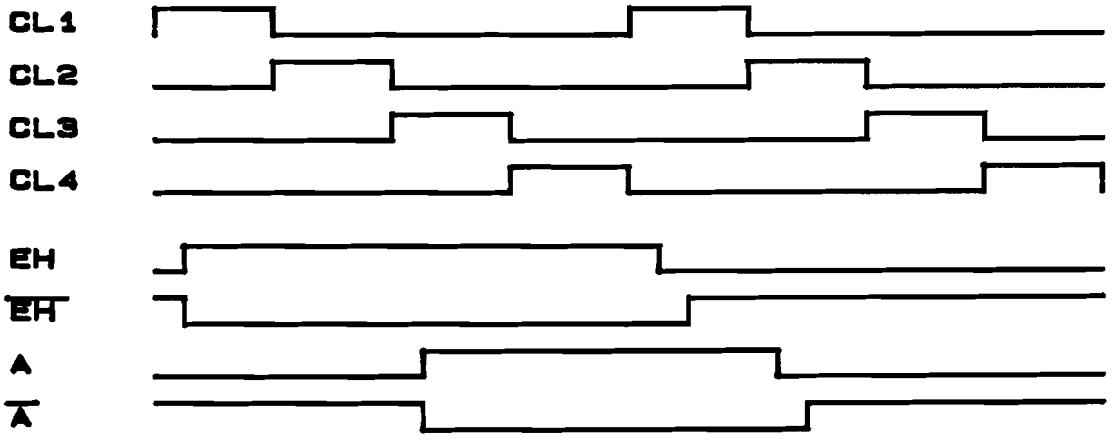
Één uitgang wordt aan het begin van de 1µs cyclus laag en aan het einde ervan weer hoog.

Één uitgang wordt halfverwege de 1µs cyclus hoog en 1µs later weer laag.

Één uitgang wordt halfverwege de 1µS cyclus laag en 1µs later weer hoog.

Na deze pulsen op ieder van de uitgangen blijven deze uitgangen gedurende de rest van de 15 µs durende cyclustijd van de controller onveranderd.

Met deze 64 signalen als uitgangspunt zou het mogelijk moeten zijn om vrijwel iedere denkbare combinatie van besturings signalen op eenvoudige wijze te maken.



figuur 22 : De timing van een cyclus van de 4-fasen clock samen met de uitgangen van een schuifcel.

Voor het overgrote deel van de te realiseren besturings signalen kan echter gebruik worden gemaakt van de realisatie methode met de SRFF's zoals beschreven onder de punten a en b .

H 4.5 De besturing van de ADC

Voor het besturen van de comparator en de deler die samen de ADC vormen is een circuit ontworpen dat direct uitgaat van de signalen van de 4-fasen clock en het 15 bits schuiregister. De signalen van die twee worden met een aantal poorten omgevormd tot de signalen die nodig zijn om de deler en de comparator.

De timing van de ADC kan worden verdeeld in 5 cycli die ieder 1μs tijd kosten.
Tijdens de eerste cyclus (à 1μs) wordt het ingangssignaal v/d ADC vergeleken met 0V om de polariteit ervan te bepalen. Deze polariteit wordt in de vorm van een bit in een latch bewaard en bij de verdere conversie weer gebruikt.

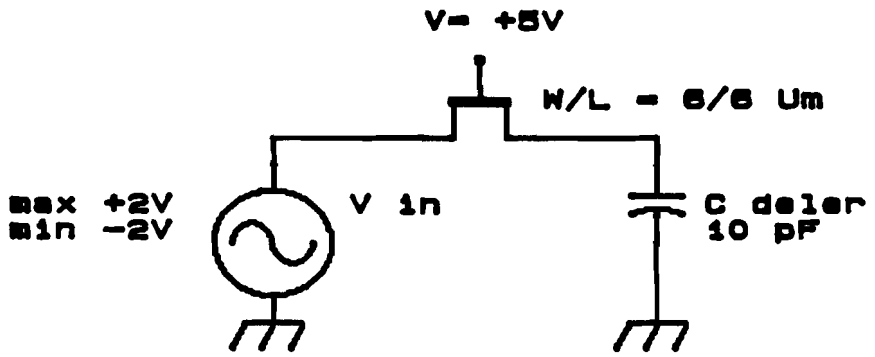
De tweede cyclus wordt gebruikt om te bepalen of de ingangsspanning groter of kleiner is dan de aangeboden referentie spanning. Wanneer de polariteit van de ingangsspanning positief is wordt vergeleken met een postieve referentie spanning ,is hij negatief dan wordt vergeleken met een negatieve referentie spanning. Deze vergelijking levert weer een bit dat in een latch bewaard wordt. Dit bit bepaalt of bij de volgende cycli de ingangs spanning of de referentie spanning in de deler zal worden gedeeld.
De twee bij deze vergelijkingen bepaalde bits vormen tevens de meest significante bits van de digitale uitgangscode.

In de drie laatste cycli van de AD conversie wordt de grootste spannning, de ingangs- of de referentie spanning , met de 2-deler iedere cyclus gedeeld en met de andere spanning vergeleken. Hierdoor worden een drietal bits geproduceerd die de rest van de uitgangscode van de ADC vormen.

In het nu volgende zal eerst worden beschreven hoe en waarom een speciaal circuit is ontworpen voor het aansturen van de MOST die de ingangscapaciteit van de deler moet opladen. Vervolgens zal worden beschreven hoe de signalen die vooor het aansturen van de ADC (zie figuren 3 en 4) nodig zijn direct uit de uitgangssignalen van 4-fasen clock en het schuifregister zijn afgeleid.

H 4.5.1 Het oplaadcircuit voor de deler

Aan het einde van de tweede cyclus wordt , afhankelijk van de resultaten van de eerste en het begin van de tweede cyclus , de ingangscapaciteit van de deler geladen met de grootste van de twee spanningen. Vanwege de grote gevoeligheid van de deler voor parasieten moet dat gebeuren met behulp van een zo klein mogelijke MOST (in ons geval dus W/L = 6/6 μm). Dit wordt gedaan met behulp van de volgende schakeling (zie figuur 23) :



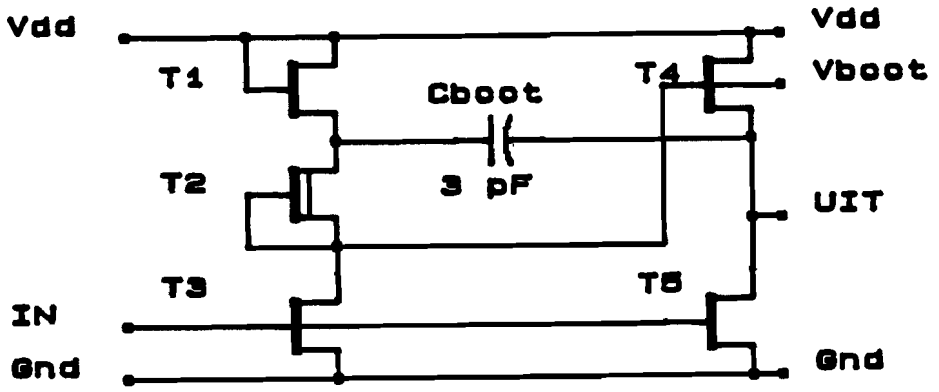
figuur 23 : Het oplaadcircuit voor de deler

Wanneer de condensator met de referentie spanning moet worden geladen is dat geen probleem omdat die maximaal ±400 mV is. De ingangsspanning is echter maximaal ±2V. Als de ingangsspanning positief is kan er een probleem ontstaan omdat dan de stuurspanning van de oplaad MOST in het ongunstigste geval nog maar 3V groter is dan de ingangsspanning. Uit simulaties blijkt dat deze kleine MOST niet in staat is om deze positieve ingangs spanning in de beschikbare tijd (500 ns) op de condensator te krijgen.

NB : Bij een negatieve ingangsspanning is dit geen probleem omdat dan de minimale V_{gs} van de MOST 5.4 V is (= de hoogst mogelijke ingangs spanning die kleiner is dan -400mV + de stuurspanning van 5V)

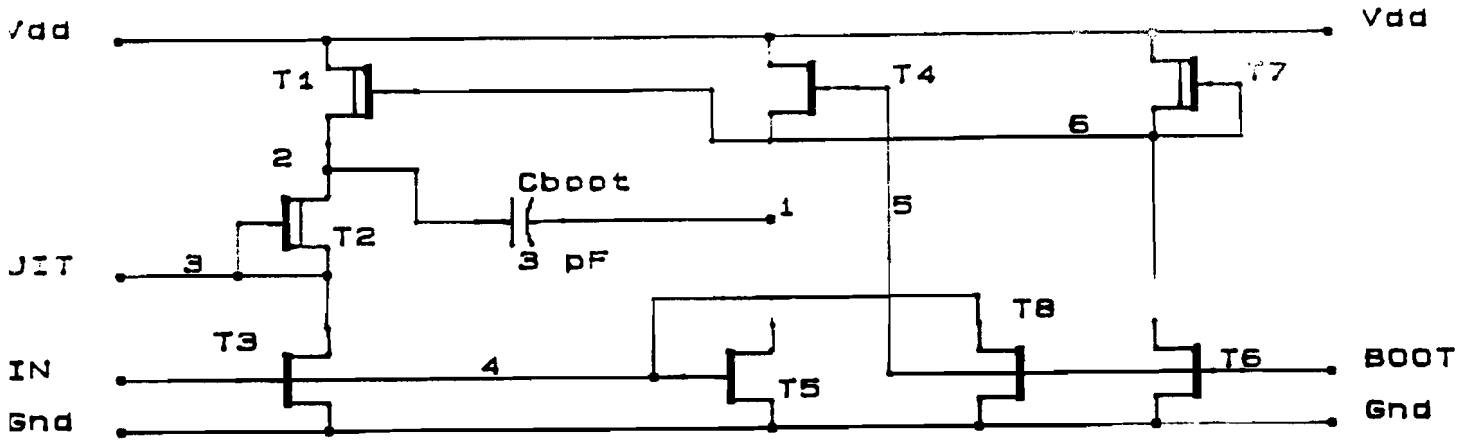
Om er nu voor te zorgen dat de MOST toch in staat is om in dit ongunstigste geval de ingangs capaciteit van de deler binnen 500 ns te laden wordt er in dit (en alleen in dit) geval de stuurspannig van de MOST met behulp van een bootstrap schakeling naar een spanning hoger dan de voedingsspannig gebracht. (volgens simulaties tot 14 à 17 V) Als niet een positieve grote ingangs spanning op de condensator moet worden geladen dan wordt deze bootstrapping niet toegepast omdat bij deze hogere stuurspanning ook een grotere clock - feedthrough wordt veroorzaakt. Uit simulaties blijkt dat met de op deze manier verhoogde stuurspanning de MOST wel in staat om de deler tijdig op spanning te brengen.

De hoge stuurspanning wordt gemaakt met behulp van een schakeling die is afgeleid van de bootstrap buffer die beschreven wordt in lit[2]. Voor een beschijving van de werking van deze buffer verwijs ik naar dit afstudeerverslag. Voor het schema van deze buffer zie figuur 24 hieronder.



figuur 24 : Het schema van een bootstrap buffer

Bij deze buffer wordt de spanning op de gate van T4 mbv. de bootstrap condensator Cboot tot een spanning boven de voedingsspanning gebracht.
Deze gate spanning van T4 zou als stuurspanning voor het laadcircuit van de deler gebruikt kunnen worden. Het nadeel van deze oplossing is dat zo de hoge spanning altijd als sturing aan de deler wordt aangeboden. Bij het aansturen van de deler is het de bedoeling dat het bootstrappen wel of niet geactiveerd kan worden afhankelijk van de grootte en polariteit van de ingangs spanning.
Dit is gerealiseerd door een aantal kleine wijzigingen in het circuit aan te brengen. Ten eerste is de besturing van de bootstrapping en die van de gewone buffer gesplitst. Verder is de MOST T1 vervangen door een depletion type MOST. Hierdoor wordt de spanning waarmee Cboot geladen wordt iets hoger. Samen met een kortsluitbeveiliging van de uitgangsMOSTen van de buffer levert dat het volgende circuit voor het maken van een gebootstrapte spanning op.(zie figuur 25)

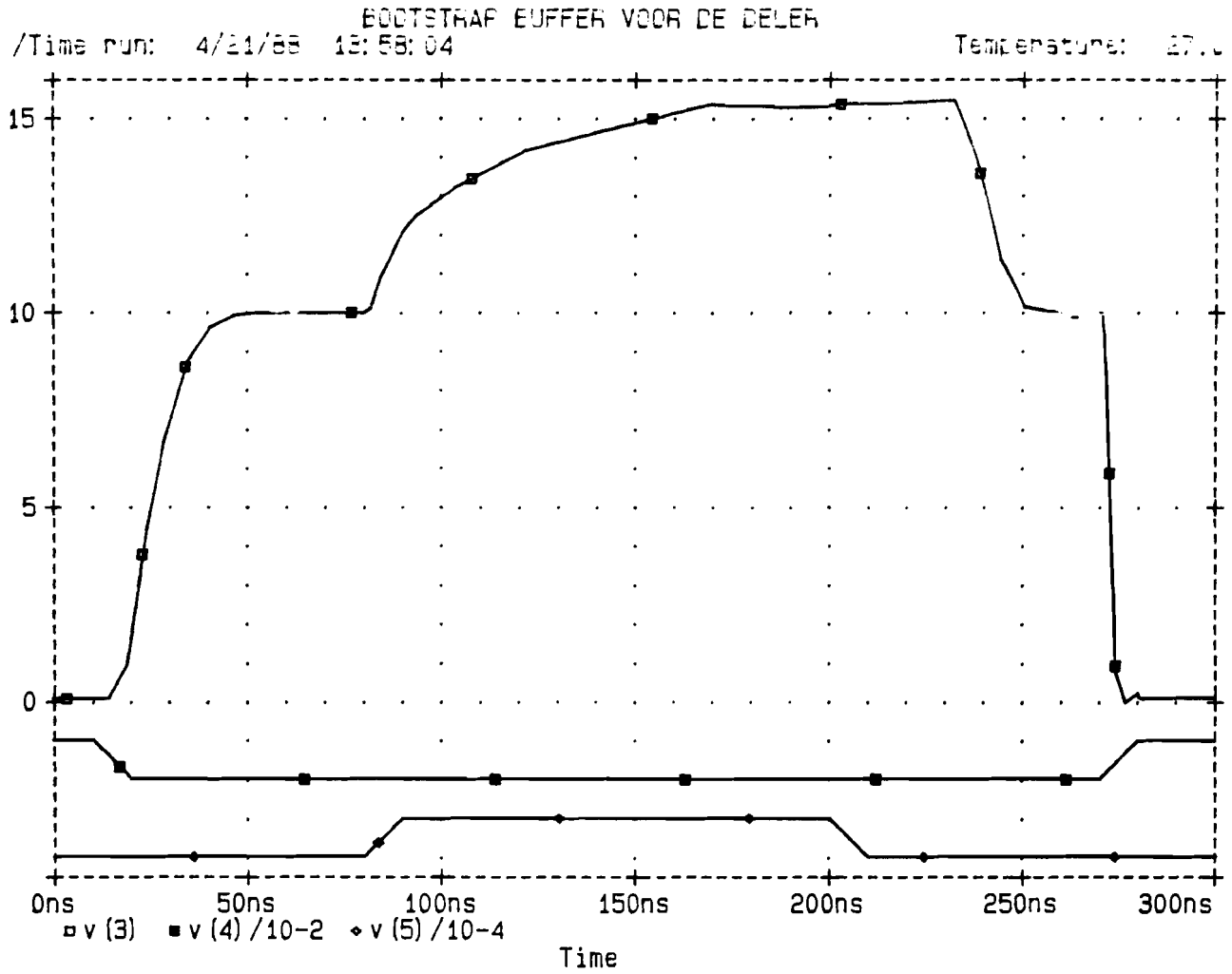


figuur 25 : Het circuit voor het maken van de bootstrap spanning voor het laden van de deler.

De werking van de zo ontstane schakeling is als volgt :
Wanneer BOOT = '0' en IN = '1' dan geleiden T_1 en T_5 waardoor de condensator C_{boot} wordt opgeladen tot vrijwel 10 V, $V_2 \simeq 10V$ en $V_1 \simeq 0V$.

nb: V_{uit} is dan vanwege het geleiden van T_3 vrijwel 0 V.

Als nu alleen IN '0' gemaakt wordt zonder dat BOOT '1' wordt gemaakt dan stijgt de spanning op UIT tot vrijwel 8V .
Als daarna BOOT '1' wordt gemaakt dan wordt de gate van T_1 naar '0' getrokken waardoor T_1 ophoudt met geleiden. De MOST T_4 geleidt dan ook zodat de spanning op knooppunt 1 stijgt tot $10V - V_T$. Doordat de MOSTen T_1 en T_3 niet geleiden stijgt de spanning op het knooppunt 2 tot maximaal $2 \times Vdd - V_T$. Via de MOST T_2 komt er een iets lagere spanning te staan op UIT. De MOST T_8 zorgt ervoor dat terwijl de ingang BOOT '1' is niet de ingang IN '1' kan worden. Zou dat wel gebeuren dan geleiden tegelijk de MOSTen T_4 en T_5 waardoor een grote kortsluitstroom door deze twee MOSTen zou gaan lopen. Uit een simulatie van dit circuit met behulp van PSPICE blijkt dat wanneer deze schakeling wordt aangesloten op de aan te sturen MOST van de deler de gebootstrapte spanning op UIT tot meer dan 15V kan stijgen. (zie figuur 26)



figuur 26 : De resultaten van een simulatie van het het bootstrap circuit.
V(3) = de uitgang V(4) = IN V(5) = BOOT

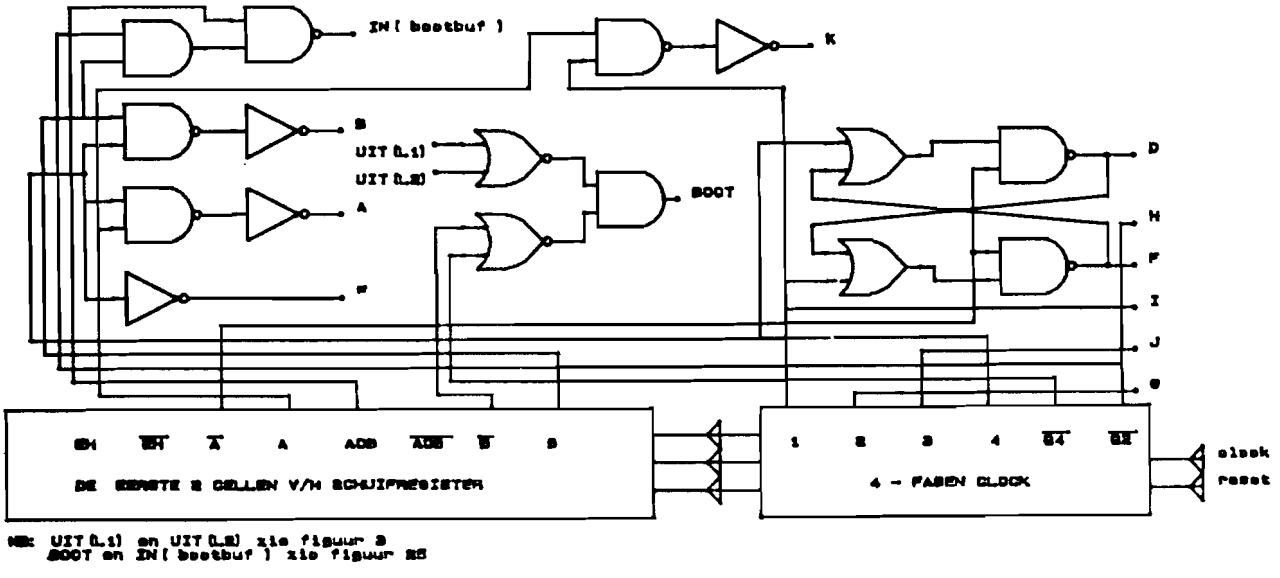
H 4.5.2 De aanstuurlogica voor de ADC

In figuur 4 is een in een timing diagram weergegeven welke signalen nodig zijn voor het besturen van de ADC. Bij het opstellen van dit diagram is uitgegaan van de specificaties van de deler en de comparator zoals beschreven in lit[2] en lit[4] en het blokschema uit figuur 3.
De in het timing diagram beschreven signalen zijn met behulp van een aantal poorten direct uit de uitgangs signalen van het schuifregister en de 4-fasen clock afgeleid. De ingangs signalen van het circuit dat in de vorige paragraaf is beschreven zijn ook op deze manier gemaakt.

Over het algemeen kan dankzij het grote aantal signalen dat het schuifregister en de 4-fasen clock leveren met een enkele NAND of NOR per te produceren signaal worden volstaan.

Voor de logica voor het produceren van deze besturings signalen is er vanuit gegaan dat de ADC actief moet zijn gedurende de eerste 5 μs van de 15 μs cyclus van de SADM.

In de figuur 27 is weergegeven hoe deze kunnen worden afgeleid uit de signalen van het schuifregister en de 4-fasen clock.
De benamingen van de in deze figuur voorkomende signalen is gekozen in overeenstemming met die van de figuren 3 en 4.



figuur 27 : De logica voor het besuren van de ADC uit figuur 3.

Bij deze figuur (27) kan het volgende worden opgemerkt:

- Voor het produceren van de signalen D en F is gebruik gemaakt van een bijzondere versie van de SRFF uit ANDNOR's. Dit is gedaan om een niet overlappend karakter van deze signalen te garanderen tijdens de deelslagen.

- Voor het vasthouden van de eerste twee bits van de AD conversie is gebruik gemaakt van semi-dynamische latches.

- Van de uitgangen van het schuifregister zijn alleen de uitgangen van de eerste twee schuifcellen gebruikt.

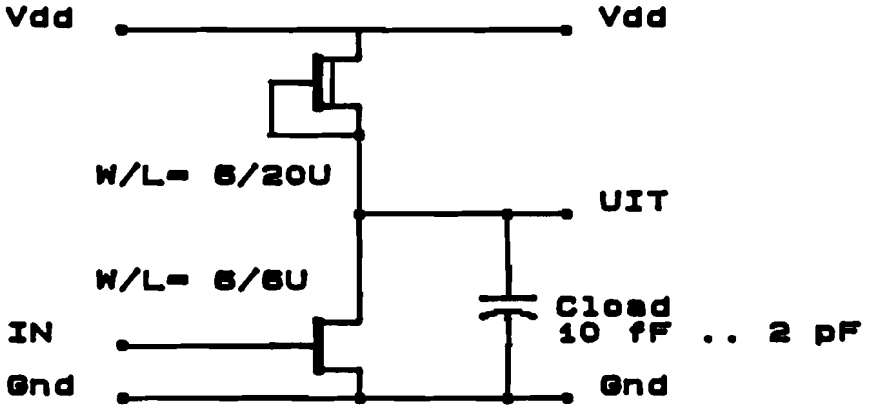
- Voor het aansturen van de logica is gebruik gemaakt van de $\overline{Q}$ uitgangen van de 4-fasen clock. Deze mogen echter niet zwaar belast worden zodat voor de verdere besturing van de SADM hiervan geen gebruik gemaakt dient te worden.

Van deze logica is een layout gemaakt. Met deze layout is met behulp van Switch Level Simulator geverifieerd dat deze schakeling inderdaad de gewenste signalen produceert. De uitvoer van deze simulator heeft helaas niet een zodanige vorm dat het zinnig is om die in een verslag op te nemen (het is een enorme tabel met enen en nullen) zodat hier van de resultaten van deze simulaties geen weergave is opgenomen.

H 5 Diverse buffers

Bij het gebruik van de Nmos technologie kwam veelvuldig het probleem voor dat een digitaal signaal dat een schakeling produceert niet in staat is om de er op aangesloten capacitieve belasting aan te sturen.
Bij logische schakelingen wordt de belasting van een schakeling vrijwel altijd gevormd door de ingangs capaciteit van de er op aangesloten volgende poorten. Omdat het aantal van deze aangesloten poorten nogal groot kan zijn ook de totale capaciteit die een schakeling moet aansturen groot zijn.Waarden van 0.5 à 1pF belasting zijn geen uitzondering .
Een resistieve belasting komt nauwelijks voor.
De belastende capaciteit wordt voornamelijk gevormd door de gate-source en de gate- bulk capaciteit van de ingangsMOSTen van de op een schakeling aangesloten circuits en de bulk - capaciteit van de bedrading tussen schakelingen.

Bij digitale logische schakelingen heeft deze capacitieve belasting een grote invloed op de stijg- en daaltijden van de schakeling.
Als voorbeeld van de effecten van een capacitieve belasting op de stijg- en daaltijd is met behulp van PSPICE een aantal simulaties uitgevoerd aan een invertor met een belastende capaciteit. Hierbij is uitgegaan van de volgende schakeling : (figuur 28)



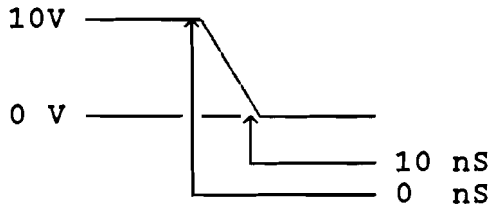
figuur 28 : Het demonstratecircuit voor de effecten van een capacitieve belasting van een invertor

Bij deze schakeling is de belasting van de invertor door volgende logische poorten vervangen door een lineaire capaciteit. Aan de invertor is als ingangs signaal een stijgende en een dalende flank toegevoegd en is de responsie van de invertor als functie van de tijd bij verschillende waarden van de belastings capaciteit gesimuleerd. De bij de simulatie gebruikte belastingen zijn de volgende :

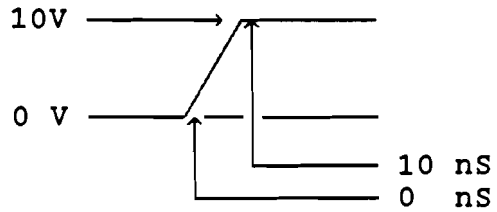
10 fF	(practisch onbelast)	200 fF	(4 MOSTen)
20 fF	(een stukje draad)	500 fF	(10 MOSTen)
50 fF	(een enkele MOST)	1 pF	(20 MOSTen)
100 fF	(twee MOSTen)		

Om een idee te geven waar deze belastingen in een reële situatie mee overeen komen is tussen haakjes aangegeven de vergelijkbare belasting in een reeël circuit.(bij de belasting door MOSTen is uitgegaan van MOSTen met een W/L = 6/6 μm)

Het ingangs signaal voor alle in dit hoofdstuk beschreven simulaties is steeds hetzelfde namelijk: (figuur 29)

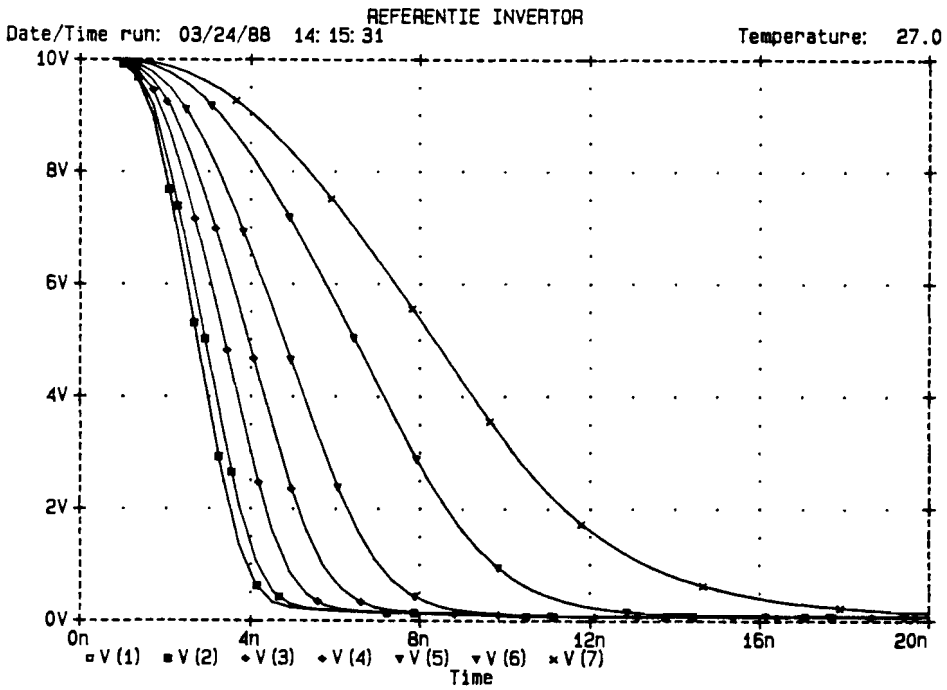


de dalende flank

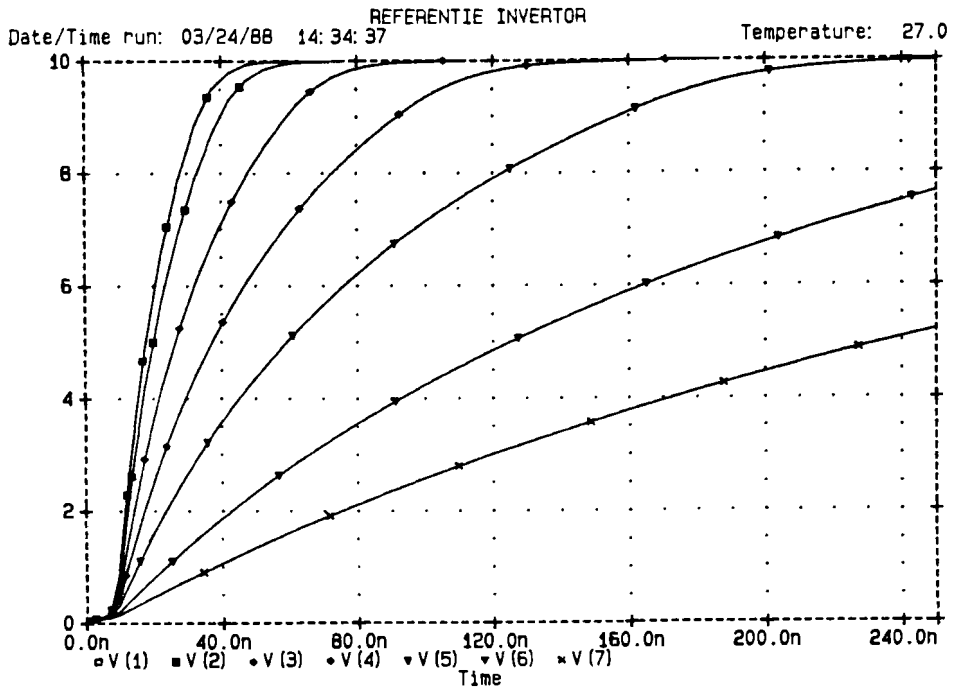


de stijgende flank

figuur 29 : het ingangs signaal voor de simulaties van een invertor met diverse capacitieve belastingen.



figuur 30 : de responsie van een gewone invertor op een stijgende flank bij verschillende belastings capaciteiten.



figuur 31 : De responsie van een gewone invertor op een dalende flank bij verschillende belastings capaciteiten.

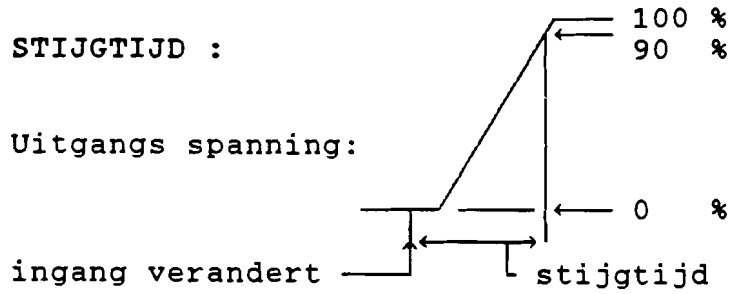
NB: Let bij deze figuren vooral op de verschillende schaling van de X-assen, bij de stijgende flank 0..20 ns en bij de dalende flank 0..250 ns !!

NB: Bij deze en volgende simulaties zijn de belastingen van de uitgangen de volgende :
V(1)....10fF V(2)....20fF V(3)....50fF V(4)...100fF
V(5)...200fF V(6)...500fF V(7).....1pF.

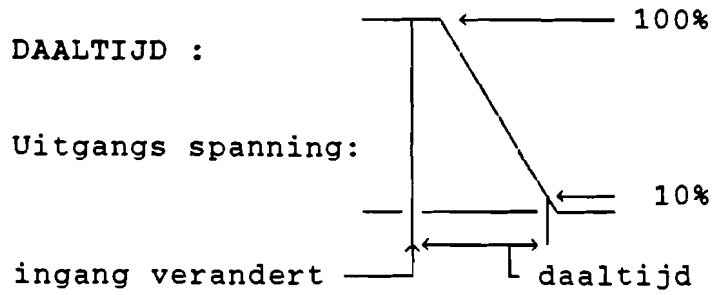
De resultaten van de simulaties van de invertor zijn in de figuren 30 en 31 getekend.
Uit de resultaten van deze simulaties blijkt duidelijk dat al bij een kleine belasting van een invertor er een duidelijk merkbaar effect is op de daaltijd maar vooral op de stijgtijd.
Dit hangt samen met de constructie van de invertor. Wanneer de uitgang van hoog naar laag gaat, wordt de laadstroom van de belastings condensator bepaald door het actief maken van de enhancement MOST en is relatief groot. Van laag naar hoog is de laadstroom beperkt door de depletion load MOST en is veel kleiner.
In de rest van dit hoofdstuk zullen voor de stijg- en daaltijd van een digitale schakeling de volgende defenities worden gehanteerd :

Als defenitie van de stijgtijd van een digitaal circuit zal worden aangehouden de tijd tussen het begin van de verandering van het ingangs signaal en het bereiken van 90 % van de voedingsspanning door de uitgangsspanning. (figuur 32)

Als defenitie van de daaltijd van een digitaal circuit zal worden aangehouden de tijd tussen het begin van de verandering van het ingangs signaal en het bereiken van 10 % van de voedingsspanning door de uitgangsspanning. (figuur 33)



figuur 32 : de defenitie van de stijgtijd van een schakeling.



figuur 33 : de defenitie van de daaltijd van een schakeling.

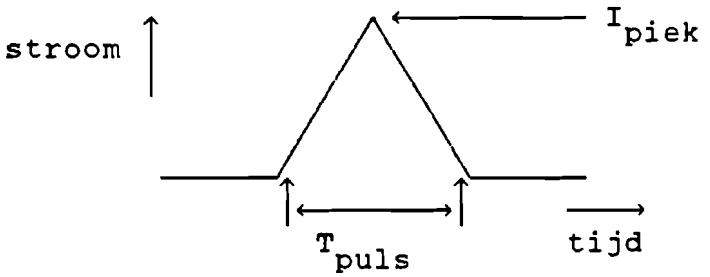
Normaal wordt ook een defenitie van de vertragingstijd van een digitale schakeling gegeven. Dit heeft echter alleen zin als de stijg - en de daaltijd ervan ongeveer even groot zijn. Omdat hier de stijg en daaltijden ongeveer een factor 10 in grootte verschillen wordt het niet zinvol geacht om van de vertragingstijd van een digitale schakeling te spreken.

Wel is het zinvol om van de ruststroom van een schakeling te spreken. Hieronder wordt verstaan de gemiddelde stroom die door de schakeling zelf verbruikt wordt wanneer de uitgang ervan een even groot gedeelte van de tijd laag als hoog en onbelast is. Omdat de stroom door bijvoorbeeld de invertor afhankelijk is van het nivo van de uitgang is voor de ruststroom het gemiddelde tussen de stromen bij uitgang hoog en uitgang laag genomen.

De stijg en daaltijden van de gesimuleerde invertor (vooral de stijgtijd ervan) zou nog aanzienlijk verbeterd kunnen worden door de W/L verhouding van de MOSTen waaruit hij is opgebouwd te vergroten. Dit heeft echter tot gevolg dat de ruststroom door de invertor evenredig groter wordt. Op zich hoeft dat geen groot bezwaar te zijn. Wanneer echter een circuit uit een groot aantal poorten bestaat kan de dissipatie van het circuit bij deze manier van het verkleinen van de stijg- en daaltijd ontoelaatbaar groot worden.
Om bij een zo klein mogelijke ruststroom toch een redelijke belasting te kunnen aansturen zijn er een aantal buffers ontworpen. Deze buffers kunnen met een kleine wijziging omgebouwd worden tot NAND of NOR poort om waar nodig een belastbare poort te vormen. Ook kunnen ze achter een poort geschakeld worden om zo de uitgang van deze poort te bufferen voor een belastende capaciteit. Bij deze buffers is de ruststroom steeds zo klein mogelijk gehouden.

Verkleining van de stijgtijd vind plaats door gedurende korte tijd de laadstroom voor de belastings condensator te vergroten.
Deze stroom zal naast de ruststroom door het buffer uit de voeding worden betrokken. Dit betekent dat een buffer dat een capacitieve belasting moet aansturen iedere keer dat deze belasting wordt opgeladen een kortstondige stroomstoot zal trekken uit de voedings spanning. Dat deze stroomstoot een vrij hoge piekwaarde zal hebben kan blijken uit de volgende beschouwing:

Stel dat een buffer een condensator van 20 pF oplaadt in 50 ns. Stel dat de stroomstoot die daarvoor gebruikt wordt een driehoekige vorm heeft. (zie hieronder)



Dan geldt voor de topwaarde van de stroom die door de voeding moet worden geleverd:

$$Q_{cond} = C\ \Delta V = \frac{1}{2}\ T_{puls}\ I_{piek}$$

dus: $$I_{piek} = \frac{2\ C\ \Delta V}{T_{puls}} = \frac{2 \times 20\ 10^{-12} \times 10}{50\ 10^{-9}} = 8\ 10^{-3}\ A$$

Dus dan loopt er 8 mA piekstroom door het circuit. Als nu met een hoge frequentie geschakeld wordt (zeg met 1 MHz) dan neemt de gemiddelde stroom door de buffer aanzienlijk toe.
Wanneer met 1MHz geschakeld wordt dan wordt in dit voorbeeld de gemiddelde stroom, geleverd door de voeding :

$$I_{gem} = \frac{\Delta Q}{\Delta T} = C\ \Delta V\ F_{schakel} = 20\ 10^{-12} \times 10 \times 10^{6} = 200\ 10^{-6}\ A$$

Dit is meer dan de ruststroom van de meeste buffers.
(vaak is die circa 100 μA)

NB : Bij het ontladen van de belastings capaciteit hoeft de voeding geen stroom te leveren omdat dat gebeurt door de belastings capaciteit met een MOST kort te sluiten.

Een veel gebruikte oplossing bij het ontwerpen van digitale buffers
is het toepassen van een zogenaamd bootstrap circuit. Dit houdt in dat er met behulp van een condensator een spanning gemaakt wordt die hoger is dan de voedings
spanning. Hiermee kunnen buffers met een hoge
belastbaarheid en een lage ruststroom gemaakt worden.
Een nadeel van het gebruik van deze zogenaamde bootstrap buffers is dat de voor logische simulatie veel gebruikte SLS simulator (waarover later meer) niet in staat is om deze buffers te simuleren. Dit komt doordat deze simulator rekent met de nivo's

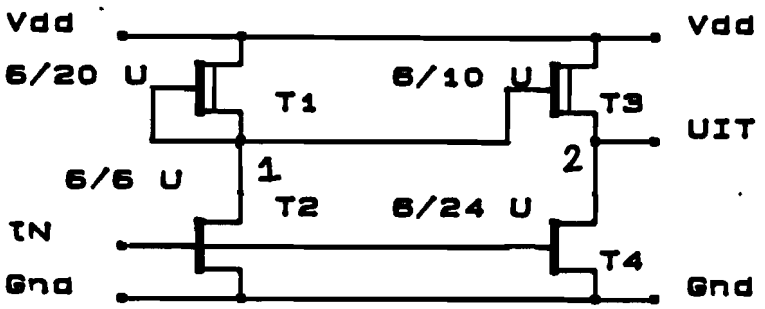
logisch '1' , logisch '0' en onbekend 'x'. Voor de gebootstrapte spanning, die hoger is dan de voedingsspanning ,bestaat binnen deze simulator geen overeenkomstige representatie.
Omdat deze simulator een van de belangrijkste hulpmiddelen is geweest bij het ontwerpen en verifiëren van de werking van de controller is vaak niet van deze bootstrap buffers gebruik gemaakt.

In plaats daarvan is dan gebruik gemaakt van een type buffer waaringeen bootstrapping is gebruikt. Dit resulteert in een hoger stroomverbruik van de controller.

In de nu volgende paragrafen zullen een aantal buffers voor digitale signalen worden besproken. Hierbij is steeds uitgegaan van de in deze paragraaf gegeven defenities van stijg- en daaltijden en de ruststroom van een buffer. Tevens is bij de simulaties van deze buffers steeds de stijgende en dalende flank zoals hier beschreven als ingangs signaal gebruikt

H 5.1 Kleine buffers zonder bootstrapping

Vanwege het feit dat de SLS simulator geen bootstrap buffers kan simuleren zijn ondanks het wat hogere stroomverbruik van niet gebootstrapte buffers toch een aantal van deze buffers ontworpen en gebruikt in de controller.
Het voordeel van deze buffers , afgezien van de voordelen van de SLS simulator , is dat er door kleine wijzigingen in het circuit naast buffers ook NOR's en NAND's met belastbare uitgangen mee te maken zijn.
Een dergelijk niet gebootstrapt buffer is bij de 4-fasen clock al gebruikt als powerNOR (zie ook figuur 6).
Het schema van de buffer waarvan deze power NOR is afgeleid staat in figuur 34.

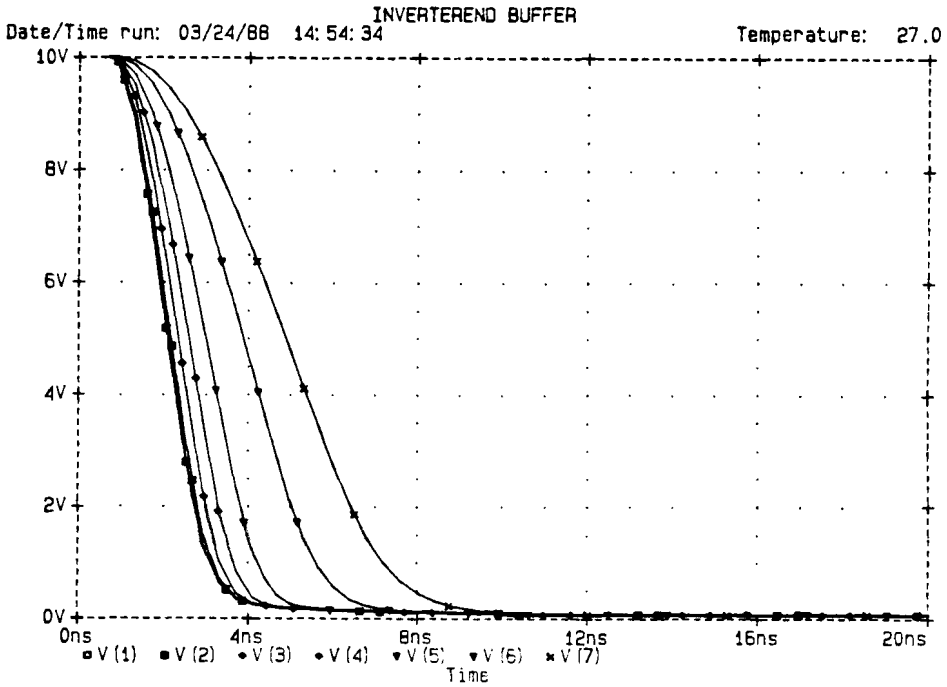


figuur 34 : het schema van een inverterend buffer

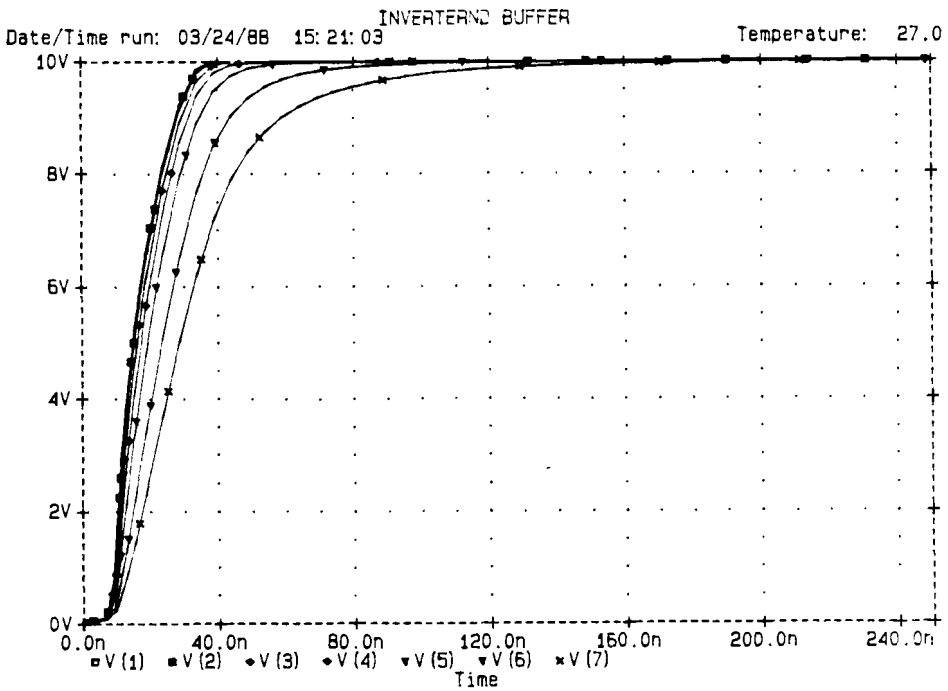
De werking van deze buffer is als volgt :
De MOSTen T_1 en T_2 vormen een gewone standaard invertor. Als V_{in} hoog is dan geleiden de T_2 en T_4 en is de spannig op het punt 1 vrijwel gelijk aan 0 V. De V_{gs} van T_3 is dan ook bijna 0 V. De MOSTen T_3 en T_4 geleiden, door T_3 loopt een stroom van ca. 100μA. Door T_1 en T_2 loopt een stroom van ca. 40 μA zodat de totale stroom in de buffer 140 μA bedraagd. Wanneer nu vanuit deze toestand de ingangsspanning naar 0 V wordt gebracht dan houden de MOSTen T_2 en T_4 op met geleiden. De spanning op het punt 1 stijgt dan zeer snel naar de voedings spanning. De gate spanning van T_3 wordt ook vrijwel de voedings spanning. De source spanning van T_3 blijft door de belastings capaciteit 0 V . Daardoor verandert de V_{gs} van T_3 in een zeer korte tijd van V_{gs}= 0 V naar V_{gs} = 10 V. Hierdoor zal er tijdelijk door T_3 een grote stroom gaan lopen van de voeding naar de belastings condensator. Deze zal daardoor snel worden opgeladen tot de voedingsspanning. Wanneer dit eenmaal gebeurd is zijn de V_{ds} en V_{gs} van T_3 vrijwel 0 V en de stroom erdoor wordt nul. Deze toestand kan een onbegrensde tijd vast gehouden worden. De stroom door de buffer is dan vrijwel nul. Als

nu de ingang weer hoog gemaakt wordt dan gaan de MOSTen T_2 en T_4 weer geleiden. De spanning V_1 zakt dan snel naar vrijwel 0 V en T_3 houdt tijdelijk op met geleiden omdat de V_{gs} vrijwel -10V wordt (de source spanning van T_3 blijft door de belasting nog even op de voedings spanning). Door T_4 wordt de belasings condensator dan ontladen waarbij ook de V_{gs} van T_3 weer tot 0 V stijgt.

Deze buffer is met dezelfde ingangs signalen en belastingen als de oorspronkelijke invertor met behulp van het programma PSPICE gesimuleerd. De ruststroom door het buffer is volgens de gegeven defenitie gelijk aan 70 μA (van de invertor was dat 20 μA).
Ook is van deze buffer is de responsie op de stijgende en dalende flank gesimuleerd. De resultaten van de simulatie zijn te zien in de figuren 35 en 36 .



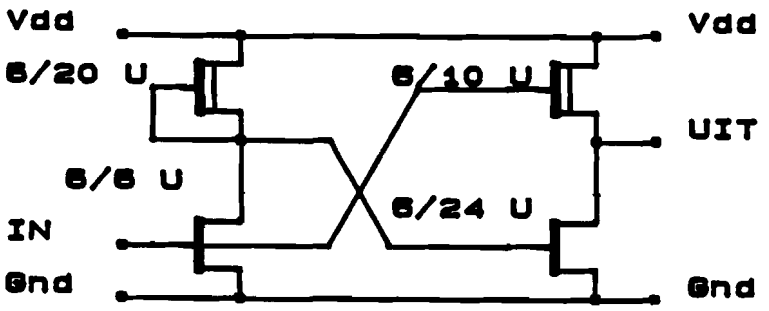
figuur 35 : de responsie van het inverterende buffer op een stijgende flank.



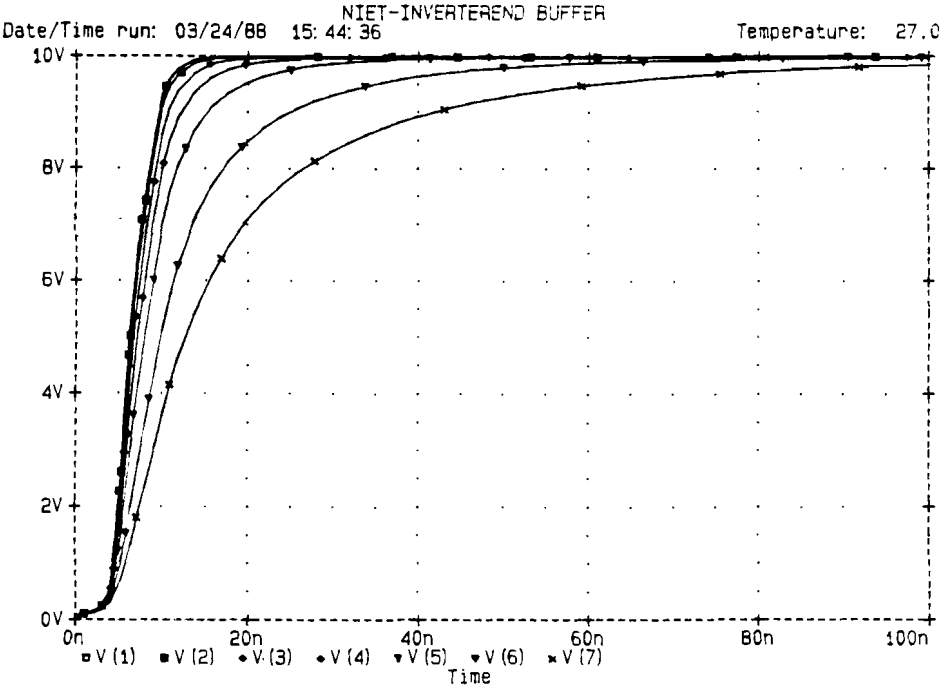
figuur 36 : de responsie van het inverterende buffer op een dalende flank.

Uit een vergelijking van deze resultaten met die van de invertor blijkt dat de buffer een aanzienlijke verbetering geeft in de stijg- en daaltijden. Bij een belasting van 1 pF bijvoorbeeld heeft de gewone invertor een stijgtijd van 500 ns en deze buffer slechts 60 ns. Dit is ook de reden waarom een NOR versie van deze buffer als uitgangs circuit voor de 4-fasen clock is gebruikt .

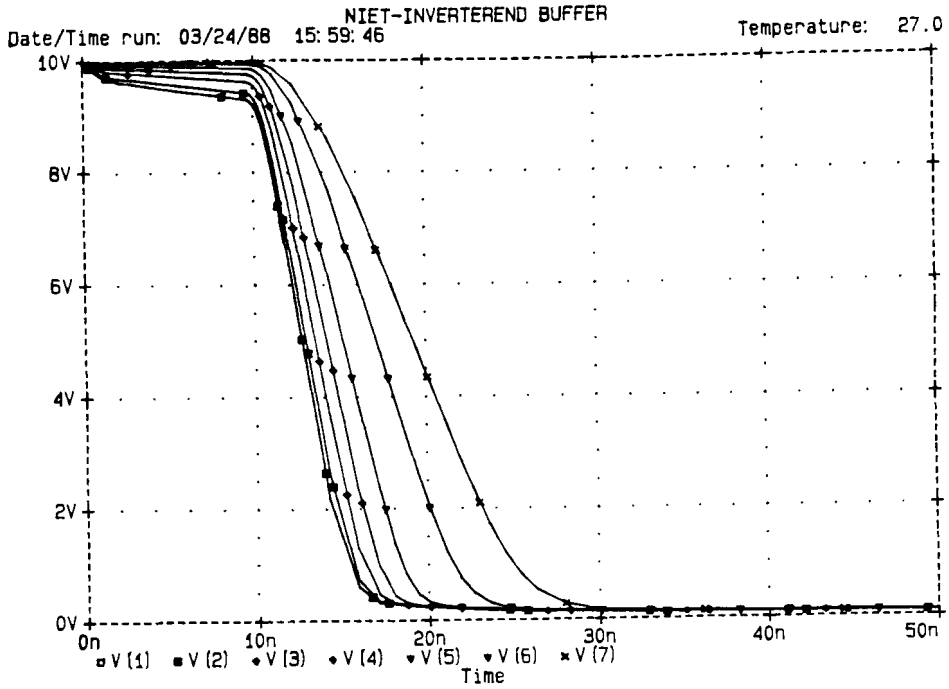
Met een soortgelijke schakeling is het ook mogelijk om een niet-inverterend buffer te maken. Hiervoor wordt de sturing van T_3 en T_4 verwisseld. De dan ontstane buffer kan beschouwd worden als een tweetal invertoren in cascade waarbij de gate van de load MOST van de tweede invertor door het ingangssignaal van het circuit wordt gestuurd.
Deze buffer werkt vrijwel hetzelfde als de inverterende variant. Een schema van het circuit staat in figuur 37. De ruststroom van deze schakeling is ook 70 μA.
Ook dit circuit is op dezelfde manier als het vorige gesimuleerd met een stijgende en een dalende flank op de ingang ervan . Het enige vermeldenswaardige verschijnsel bij deze buffer is dat de daaltijd ervan wat groter is dan die van de inverterende buffer vanwege de traagheid van de eerste invertor van het circuit.
De figuren 38 en 39 geven de responsies op de diverse flanken weer. (let hierbij op de afwijkende schaalverdelingen van de X-as)



figuur 37 : Het schema van een niet inverterend buffer zonder bootstrapping.



figuur 38 : de responsie van het niet inverterende buffer op een stijgende flank.

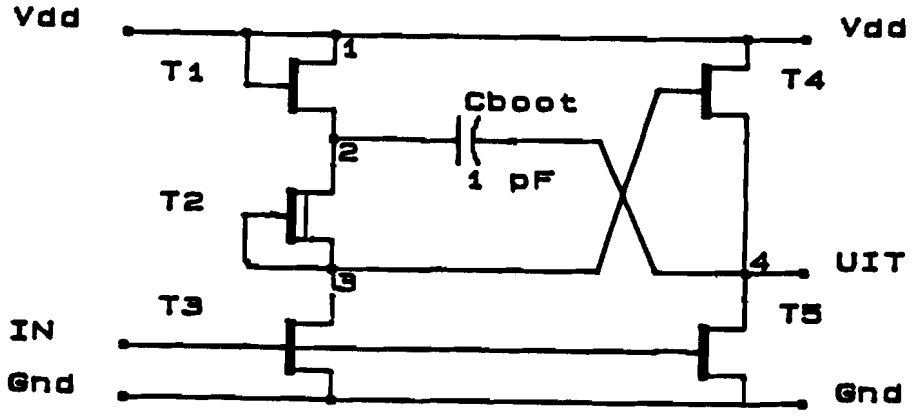


figuur 39 : de responsie van het niet inverterende buffer op een dalende flank.

Deze buffers zelf vormen voor het circuit waarvan ze de uitgang moeten bufferen weer een redelijk hoge belasting. Totaal wordt er een equivalent van 5 stuks 6/6 μm gates op het te bufferen circuit aangesloten. Gelukkig kan dit wanneer nodig verminderd worden tot slechts 2 stuks 6/6 μm gates bij de inverterende buffer door voor T_4 een 6/6 μM MOST te nemen. Dit vergroot de daaltijd tot ongeveer de waarde die daarvoor bij een gewone invertor werd gevonden. Doordat die waarde nog altijd slechts ongeveer 5 à 20 ns bedraagt is dat niet erg. De niet inverterende buffer vormt een wat grotere belasting voor het te bufferen circuit. Hierbij moet wel bedacht worden dat als een buffer op een circuit wordt aangesloten deze buffer de enige belastende schakeling voor het te bufferen circuit is.

H 5.2 Een klein buffer met bootstrapping

De in de voorgaande paragraaf beschreven buffers maken gebruik van sturing op de gate van de pull up MOSTvan de buffer voor het laden van een capacitieve belasting. Hiermee kan een heel acceptabele buffer gemaakt worden . Als de belasting van de buffer groter wordt dan 0.5 à 1 pF die in de tests gebruikt zijn dan moet de W/L verhouding van de pull up MOST van de uitgangstrap van het buffer vergroot worden.Hierdoor wordt de ruststroom door de buffer tamelijk groot wordt.
Dit kan vermeden worden door voor de pull up MOST van de uitgangstrap in plaats van een depletion MOST een enhancement MOST te gebruikten. Om een enhancement MOST aan te sturen is echter op de gate een spanning nodig die groter moet zijn dan de source spanning. Bij het gebruik van een enhancement MOST als pull up van een buffer zal dus of de maximale uitgangs spanning van het buffer niet op de volle 10 V kunnen komen (als de gate spanning van de pull up 10 V is) of er is een stuurspanning voor de gate nodig die groter is dan de voedingsspanning. Bij de hier beschreven buffers is voor het laatste gekozen.
Een eerste buffer waarin een enhancement MOST wordt gestuurd is ontworpen door APJM Wieërs en wordt uitgebreid beschreven in lit[2]. Deze buffer is net als de hiervoor bescheven buffers in staat om maximaal zo'n 0.5 à 1 pF belasting aan te sturen. Omdat hier op basis van deze buffer verder gewerkt zal worden volgt hier een beschrijving van de werking ervan.
Een schema van de buffer is in figuur 40 getekend.

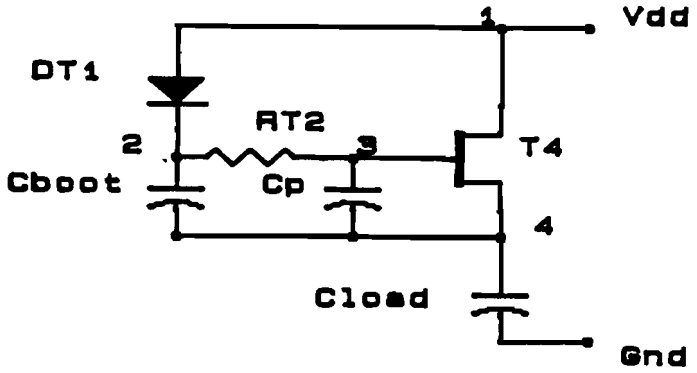


figuur 40 : Een eerste buffer gebaseerd op het bootstrapping principe.

De werking van deze schakeling is als volgt:

Wanneer de ingangs spanning hoog is (≃ 10V) dan geleiden de MOSTen T_3 en T_5 zodat de spanning op de punten 3 en 4 vrijwel gelijk is aan 0 V. De V_{gs} van T_4 is dan kleiner dan V_t en T_4 geleidt dus niet. Daardoor loopt er door T_5 ook geen stroom zodat in tegenstelling tot de niet gebootstrapte buffers in dit geval er geen stroom loopt door de uitgangstrap gevormd door T_4 en T_5 . Door de trap gevormd door T_1 , T_2 en T_3 loopt wel een stroom maar

die wordt door T_2 beperkt tot 40 μA. De spanning op punt 2 is vanwege T_1 ruim één V_t lager dan de voedings spanning V_{dd} van de schakeling. De condensator C_{boot} is dan via T_1 en T_5 opgeladen tot ongeveer $V_{dd} - V_t$. Als nu de ingangs spanning laag (≅ 0 V) wordt dan houden de MOSTen T_3 en T_5 op met geleiden. Figuur 41 is in deze toestand een vereenvoudigd schema van het gedeelte van het circuit bestaande uit T_1 ,T_2 ,T_4 ,C_{boot} en C_{load} van de buffer.



figuur 37 : Het equivalente circuit voor het opladen van de C_{load} .

De MOST T_1 functioneert in dit circuit als een diode en T_2 werkt als weerstand. De condensator C_p in figuur 37 is de Gate-Source capaciteit van de MOST T_4. Bij het begin van het opladen van C_{load} door T_4 is de capaciteit C_{boot} geladen tot $V_{dd} - V_t$. De spanning op punt 4 en over C_p zijn vrijwel nul. Er zal dan een stroom gaan lopen door DT_1 en RT_2 naar C_p waardoor die wordt opgeladen. Hierdoor zal de V_{gs} van T_4 stijgen zodat er door T_4 een stroom gaat lopen van V_{dd} naar C_{load}. Hierdoor zal C_{load} worden opgeladen waardoor de spannning op punt 4 stijgt. Daardoor neemt ook (via C_{boot}) de spanning op punt 2 toe en zal de stroom door DT_1 nul worden. De spanningen op de punten 2 en 3 zijn dan echter nog niet gelijk. Via RT_2 zal er dan een stroom gaan lopen van C_{boots} naar C_p tot de spanningen op de punten 2 en 3 gelijk zijn. Hierdoor zal de V_{gs} van T_4 verder stijgen tot ongeveer 7V en blijft T_4 geleiden. Vervolgens cal C_{load} worden geladen tot de spanning op punt 4 vrijwel gelijk is aan V_{dd}. De spanning V_{gs} van T_4 blijft onveranderd 7V en de spaningen op de punten 2 en 3 dus ca. 7V hoger dan V_{dd}.

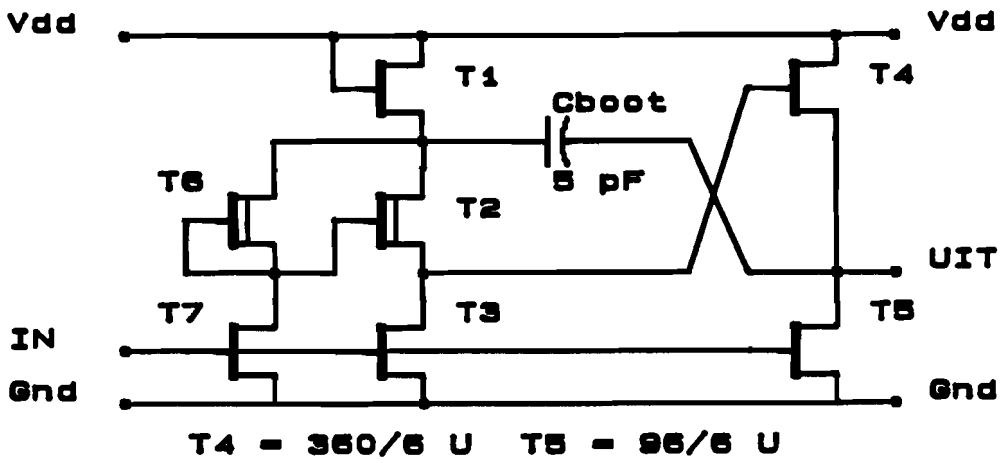
Wanneer nu (in figuur 40) de ingangs spanning van de buffer weer hoog gemaakt wordt dan zullen de MOSTen T_3 en T_5 weer gaan geleiden waardoor de spanning op het punt 3 snel zal zakken tot

vrijwel 0V en de belasting van de buffer door T_5 zal worden ontladen. De condensator C_{boot} wordt dan via T_1 en T_5 weer bijgeladen.

De snelheid waarmee het opladen van C_{load} gebeurt wordt bepaald door de grootte van de capaciteit C_p die de gate source capaciteit van T_4 vertegenwoordigt.
Het bijzondere van deze buffer is echter dat wanneer de uitgangs spanning , en daarmee ook de source spanning van T_4, gaat stijgen de V_{gs} van T_4 nauwelijks verandert bij het stijgen van de spanning op punt 4. Door de condensator C_{boot} wordt namelijk ervoor gezorgd dat de spanning op punt 2 in het schema met de spanning op punt 4 mee omhoog gaat.
Na verloop van tijd zal door diverse lekken de spanning op punt 2 gaan zakken. T_1 zal er echter voor zorgen dat deze spanning nooit veel kleiner zal worden dan $V_{dd} - V_t$. Dit zorgt ervoor dat de uitgangs spanning van de buffer nooit zal zakken beneden de waarde $V_{dd} - 2\ V_t$. De resultaten van simulaties van deze buffer kunnen gevonden worden in lit[2]. Bij een ruststroom van slechts 20μA en een belasing tot 0.5 à 1 pF zijn de stijg- en daaltijden van kleiner dan 50 ns.

H 5.3 Diverse paddrivers

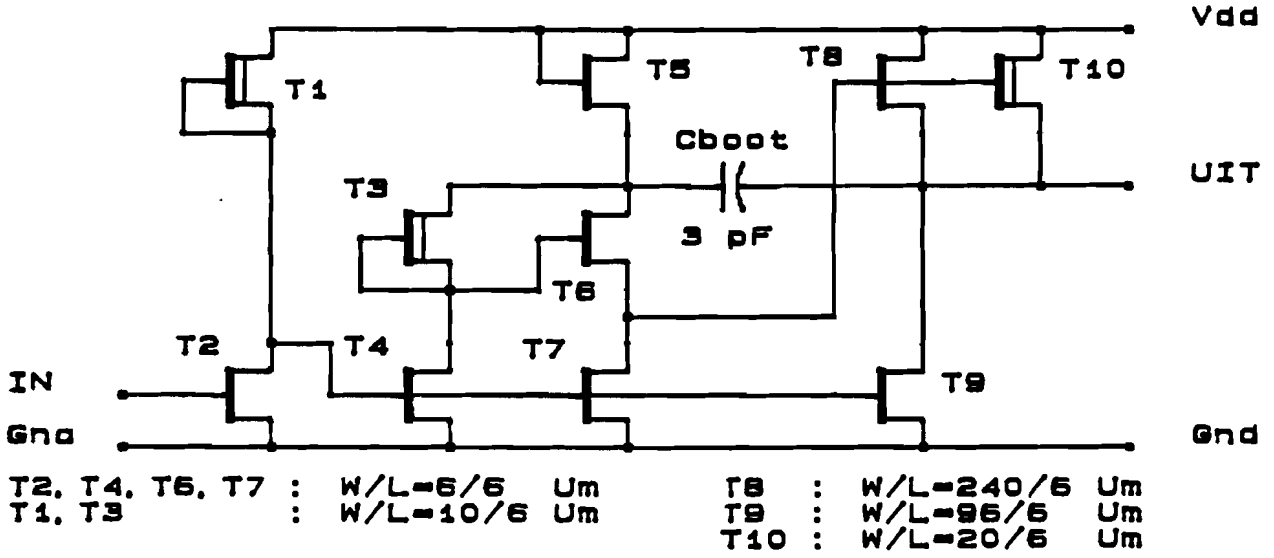
Wanneer de belasting van de beschreven buffer groter is dan 1 pF dan moet, om een redelijke stijgtijd te kunnen behouden, de W/L verhouding van de MOSTen T_4 en T_5 in figuur 40 worden vergroot. Daardoor wordt de buffer echter trager. Om te zien wat daarvan de oorzaak is beschouwen we nogmaals het oplaad circuit uit figuur 41. Indien de MOST T_4 een grotere W/L verhouding krijgt dan wordt daarmee ook de paracitaire capaciteit C_p groter. Bij een gelijkblijvende R_{T2} zal de tijdconstante die de stroomkring bestaande uit R_{T2} en C_p heeft groter worden. Daardoor zal het opladen van de gate van T_4 trager verlopen en de buffer zal dus ook trager worden. Dit effect kan teniet gedaan worden door de W/L verhouding van T_2 te vergroten. Dat heeft echter tot gevolg dat de ruststroom door de buffer groter wordt. Een alternatief voor het veranderen van de W/L van T_2 is om de gate van T_2 te sturen met een geschikt signaal. Hiermee moet gedurende de tijd dat C_p opgeladen wordt de MOST T_2 worden opengestuurd. Dit is toegepast in een schakeling die rechtstreeks is afgeleid van de niet gebootstrapte inverterende buffer (zie figuur 34). Een schema van het circuit dat hiermee is uitgerust is in figuur 42 gegeven.



figuur 42 : Een verbeterde versie van de bootstrap buffer

Een nadeel van dit circuit is dat het meer ruststroom nodig heeft dan de eerdere buffer. Uit simulaties bleek echter dat het mogelijk is om practisch zonder verlies aan snelheid van de schakeling dit stroomverbruik weer te verminderen. Hiertoe moet voor de MOST T_2 in plaats van een depletion MOST een enhancement MOST genomen worden. Daarmee wordt de tweede trap van de zo ontstane buffer net als de uitgangstrap ruststroomloos. Om een grotere snelheid te kunnen halen is de W/L verhouding van T_6 (T_1 in figuur 34)vergroot tot W/L = 6/10 μm . Hiermee wordt het

stroomverbruik van de buffer wel weer groter maar de winst in snelheid is vrij groot.De zo verkregen schakeling kan niet zonder meer als buffer gebruikt worden omdat het zelf een te grote belasting voor het te bufferen signaal vormt. Dit kan worden opgevangen door voor de buffer een opgevoerd model invertor te plaatsen. Die kost ook weer enige ruststroom maar zorgt er wel voor dat de belasting die de buffer voor een te bufferen signaal vormt zo klein mogelijk wordtVerder zorgt de extra invertor bij de ingang van het circuit ervoor dat de buffer als geheel niet meer inverteert. Tenslotte is er een extra loadMOST in het circuit aangebracht zodat het uitgangsnivo van de schakeling niet meer kleiner wordt wanneer de uigang van de buffer voor langere tijd hoog gemaakt wordt.
Een schema van de zo verkregen buffer met de veel grotere uitgangsMOSTen is te zien in figuur 43 .



figuur 43 : het schema van de tweede bootstrap buffer.

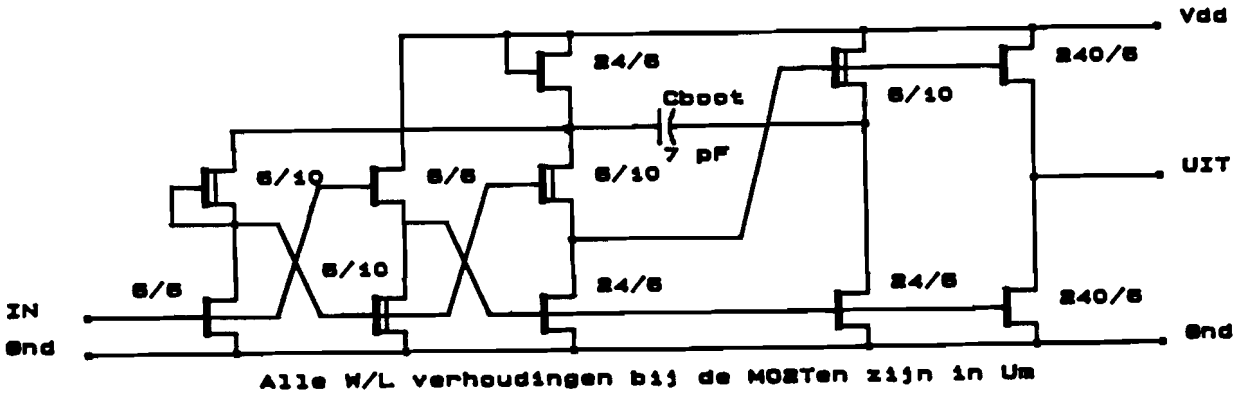
Deze buffer heeft een ruststroom van 100 µA maar is dan wel in staat om een belasting van 20 pF binnen 50 ns op te laden.

Voor deze buffer zijn diverse toepassingen. De buffer is eigenlijk iets te zwaar van uitvoering om binnen de chip gebruikt te worden maar het kan wel uitstekend als lichte paddriver voor een digitaal signaal gebruikt worden. Ook is bij het BPSK project een afgeleide versie van deze buffer gebruikt voor het aansturen van een filter. Zie hiervoor lit[9].
De werking van de buffer is in principe hetzelfde als die welke beshreven is in par 5.2 .

Vervolgens is geprobeerd om een nog zwaardere buffer te maken die volledig met de nu gebruikte paddrivers kan concureren. Bij deze laatste versie van de buffers is niet in eerste instantienaar het stroomverbruik gekeken maar is de maximaal aan te sturen capaciteit als ontwerp criterium gehanteerd. Het stroomverbruik ervan is op ongeveer 200 µA terechtgekomen, wat nog altijd een factor 25 minder is dan de tot dan toe gebruikte paddrivers (die 5 mA gebruiken) .
Verdere verbeteringen de het buffer zijn nog gevonden in een betere aansturing van de pull down MOSTen van de schakeling en een

verbeterd bootstrap circuit. Ten behoeve van een maximale snelheid is de MOST T_2 weer als depletion MOST uitgevoerd.

Het circuit van deze paddriver ziet er uit als in figuur 44 is getekend.



figuur 44 : Het schema van de zwaarste versie v/d serie bootstrap buffers. Een echte paddriver.

De veranderingen in de aansturing van de pull down MOSTen bestaat uit een voor aangepaste versie van de niet inverterende niet gebootstrapte buffer (zie figuur 37). Hierinzijn de uitgangs MOSTen van plaats verwisseld. Bovendien is bij deze versie van de bootstrap buffer een aparte trap gebruikt om de bootstrap condensator aan te sturen en is niet meer zoals voorheen de uitgangstrap hiervoor gebruikt. Dit heeft tot gevolg dat wanneer de belastings condensator opgeladen moet worden (en dus de uitang van de buffer laag is) de V_{gs} van de pull up uitgangs MOST een veel grotere waarde krijgt dan normaal het geval zou zijn. (tot maximaal $V_{gs} \cong 18V$).

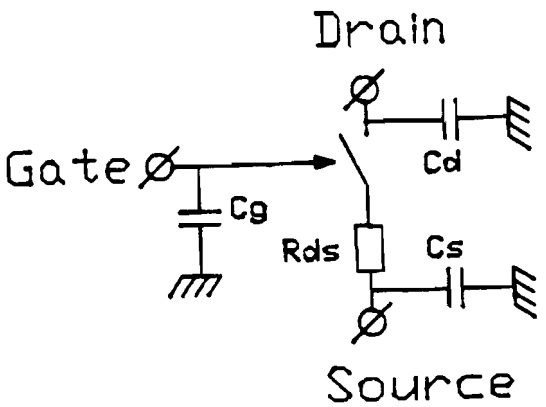
Dit alles samen met de veel grotere uitgangs MOSTen, maakt dat dit buffer in staat is om relatief grote belastings capaciteiten op te laden. Er loopt tijdens het opladen wel een grote piekstroom.
Uit simulaties van deze schakeling blijkt dat bij een belasting met 200pF er een piekstroom gaat lopen van 30mA. Deze belasting wordt dan in 70ns opgeladen. De stijg- en daaltijden van deze buffer varieren ,zo blijkt uit simulaties , van 45ns bij 20pF tot 120ns bij 1nF belasting. Verder blijkt dat bij deze buffer de stijg- en daaltijden vrijwel gelijk zijn.

H 6 Het simuleren van diverse citcuits

Bij de beschrijvingen in de voorgaande hoofdstukken is diverse malen sprake geweest van het simuleren van een gedeelte van een schakeling. Hiermee kan een beeld verkregen worden van de reacties van een schakeling op een bepaald ingangs signaal zonder dat de schakeling in fysische vorm aanwezig is.
Bij het simuleren van de diverse delen van het circuit is voornamelijk gebruik gemaakt van een tweetal simulatoren.
Deze simulatoren staan bekend onder de namen SPICE, PSPICE en SLS. De eerste twee zijn vrijwel hetzelfde en zullen verder als één simulator worden besproken.

SPICE is een analoge circuit simulator.Hierin wordt uitgegaanvan de Kirchhoff vergelijkingen en defenitie vergelijkingen voor de gebruikte componenten en op grond daarvan worden alle stromen en spanningen in een gegeven schakeling berekend.
Deze simulator is hoofdzakelijk gebruikt om de werking van kleine gedeeltes van de controller schakeling (zoals bijvoorbeeld de buffers) in detail te bestuderen. Bij een te groot aantal componenten echter wordt de simulatie tijd die nodig is om alle spanningen en stromen van een circuit te berekenen onacceptabel groot.

Een tweede simulator waarvan veelvuldig gebruik is gemaakt is de zogenaamde SLS simulator. Deze simulator is in staat om, met aanmerkelijk minder details, in relatief korte tijd grotere digitale schakelingen te simuleren. Nu is het overgrote deel van de controller schakeling een digitaal circuit. (alleen de bootstrap buffer voor de deler is dat niet) Het leent zich dus uitstekend voor simulatie met deze SLS simulator.
De grote simulatie snelheid van voornamelijk verkregen door het gebruiken van een veel eenvoudiger model en rekenwijze dan de tot nu toe veel gebruikte SPICE simulatoren.
Deze simulator gebruikt bijvoorbeeld voor een enhancement MOST een model dat voorgesteld kan worden als één schakelaar en één weerstand. Een schema van dit vervangings model is in figuur 45 gegeven.



figuur 45: Het SLS model van een enhancement MOST.

De mogelijke nivo's op de knooppunten van de te simuleren schakeling zijn '1' , '0' en 'x' (=onbekend).
Wanneer er op de gate van de MOST een '1' staat dan is voor de simulator de schakelaar van de MOST gesloten , bij een '0' is hij geopend en bij een 'x' worden de nivo's op de source en drain van de MOST door andere gedeeltes van de schakeling bepaald.
Deze benadering voor MOSTen is ook terug te vinden in de naam van de naam van de simulator, namelijk Switch Level Simulator.
Het is eenvoudig in te zien dat deze simulator werkt met veel eenvoudiger netwerk vergelijkingen en dus ook met veel grotere rekensnelheid kan simuleren.
Een tweede voordeel van deze simulator is dat het erg gemakkelijk is om een bepaalde schakeling te simuleren inclusief alle door de layout ervan veroorzaakte paracitaire effecten. Het is namelijk mogelijk om een voor de simulator begrijpelijke beschrijving van een circuit vanuit een layout te laten exraheren.

Bij het simuleren van de buffers bleek reeds dat de de vertragingstijd van bijvoorbeeld een invertor sterk afhankelijk was van de erop aangsloten belastings capaciteit.
Binnen in de schakeling van de controller spelen deze vertragingen ook een belangrijke rol.
Een belangrijk gedeelte van de op de controller aangesloten belastingen en van de belastingen van de deelcircuits wordt gevormd door de bedrading van de controller. Het is mogelijk gebleken om vanuit de layout simulaties te doen waarbij de effecten van deze bedrading bij de simulatie wordt meegenomen. Dit maakt het mogelijk om de kans op verrassingen in een later stadium ,veroorzaakt door layout parasieten ,te minimaliseren.

Een nadeel van de SLS simulator is echter dat deze alleen in staat is om digitale signalen te verwerken. De in het voorgaande beschreven gebootstrapte buffers kunnen door deze simulator dan ook niet worden verwerkt.
Met behulp van deze simulator is de werking van het grootste deel van de controller geverifieerd.

Voor een uitgebreide beschrijving van deze simulator wordt verwezen naar lit[6].

Een derde simulator waarvan gebruik is gemaakt om een inzicht te krijgen in de werking van een ontworpen schakeling is de Piecewise Lineair simulator. Bij deze simulator worden van alle in een circuit gebruikte componenten modellen gebruikt waarbij de karakteristieken ervan worden benaderd door rechte lijnstukken.
Ook dit levert aanzienlijk eenvoudiger stelsels vergelijkingen op om door de computer te laten oplossen. Het ontwikkelen van deze simulator is nog niet voltooid. Er zijn echter al eerste proeven gedaan met het simuleren van schakelingen.
Afgezien van een enorm aantal opstart problemen die samenhangen met het nog niet klaar zijn van de simulator geven de ervaringen met deze simulator aan dat het in de toekomst wellicht een krachtig hulpmiddel bij het ontwikkelen van schakelingen zal worden. Vooral de mogelijkheid om analoge en digitale schakelingen op verschillende hierarchische nivo's door elkaar te gebruiken en te simuleren biedt grote mogelijkheden.

H 6.1 Hulpprogramma's bij de simulatoren

Om van de beschreven simulatoren op een handige manier gebruik te kunnen maken zijn een aantal hulpprogramma's geschreven.
Hiermee kunnen door het intypen van eenvoudige commando's operaties als het converteren van een layout naar een SLS database worden uitgevoerd. Zo'n operatie kan zonder hulpprogramma alleen gedaan worden door een grote reeks commando's in te typen.

Ook is er een conversieprogramma geschreven dat de uitvoer van het SPICE programma dat op de APOLLO werkstations draait omzet naar een database die een grafisch programma als invoer kan gebruiken.
Deze programma's maken het mogelijk om de resultaten van een SPICE simulatie op een grafisch scherm te bekijken. Hiervoor wordt gebruik gemaakt van een gewijzigde versie van de output processor van het simulatie programma Circuit-Sim uit lit[9].
Bij dit conversie en grafische programma is ook een hulpprogramma geschreven dat het mogelijk maakt om door het invoeren van een enkel commando de SPICE uitvoerfile te converteren naar een database en vervolgens de output processor op te starten.

Al deze programma's zijn geschreven voor APOLLO werkstations. De hulpprogramma's zijn geschreven als zogenaamde SHELL-scripts (UNIX sys5) , het conversieprogramma is geschreven in APOLLO-PASCAL. Om het gebruik van deze programma's gemakkelijk te maken is er op de APOLLO's ook een on-line help menu geschreven. Dat geeft bij ieder van de geschreven programma's een korte beschrijving van de werking ervan , de in- en uitvoer parameters en bij wie geklaagd kan worden als er met het programma iets mis is.
Dit help-programma kan worden opgestart met het commando eeb_help

Deze programma's (inclusief het programma eeb_help) bevinden zich op de APOLLO in de directory /eeb/bin .Ze mogen door iedereen worden gelezen maar alleen door degene die ze heeft geschreven worden gewijzigd (ze zijn write-protected).

Met deze programma's kan het volgende gedaan worden:

naam programma:	werking :
make_spice	converteert een layout file naar een SPICE invoerfile
look_spice	converteert een SPICE uitvoerfile naar een database voor de grafische output processor en start die.
make_sls	converteert een layout file naar een SLS database.
run_sls	start een simulatie m.b.v. de SLS simulator
look_sls	start de grafische output processor van SLS.
drc	start een zogenaamde "Design Rule Check". Hiermee wordt gecheckt of een layout voldoet aan de regels die daaraan vanwege de technische realiseerbaarheid gesteld zijn.

H 7 Een idee voor een betere ADC

Tot nu toe is bij het ontwerpen van de ISDN chip altijd uitgegeaan van de ADC zoals die door dhr. APJM. Wieërs is ontworpen (zie lit [2]).
Deze ADC is opgebouwd uit een 2 deler en een comparator. Deze opbouw heeft echter een aantal nadelen waarvan het volgende het belangrijkste is :

Wanneer meerdere malen achtereenvolgens dezelfde spannning metde 2 deler gedeeld moet worden (dat is bij de A/D conversie nodig) dan accumuleert zich op de condensatoren die de deler vormen de clock feedthrough van iedere deelslag. Tevens wordt bij ieder van deze deelslagen het signaal dat gedeeld wordt,gehalveerd Het is eenvoudig in te zien dat hierdoor zeer vlug de signaal spanning op de deler en de door clock feedthrough geproduceerde spanning elkaar qua grootte zullen benaderen. Omdat de grootte van de clock feedthrough van een groot aantal onbekende factoren afhangt betekent dit dat voor kleine signaalspanningen de minst significante bits van de conversie minder betrouwbaar zullen zijn.

Omdat de deler zelf nogal gevoelig is voor paracitaire capaciteiten (vooral door dit cumulatieve gedrag) is het erg moeilijk om deze clock feedthough te compenseren. Blijkens simulaties is de deler nogal gevoelig voor afwijkingen in de afmetingen van de gebruikte componenten , de wijze van bedraden van de schakeling en de belasting van de schakeling.
Gezien deze nadelen is er gezocht naar een alternatieve manier om de ADC te realiseren. Uit metingen aan een 12 bits DAC in Nmos zoals gerealiseerd door dhr J. v. Geloven (zie ook lit[4]) is gebleken dat deze met behoorlijke nauwkeurigheid spanningen kan genereren. Het lag voor de hand om te bekijken of een soortgelijke schakeling als de reeds gerealiseerde DAC's gebruikt kon worden om de deler te vervangen.
De te produceren spanningen (de referentie nivo's voor de comparator) moeten de waarde van 1, 1/2, 1/4, tot en met 1/128 deel van een aangeboden referentie spanning kunnen aannemen (zie voor de werking van de ADC ook lit [2]). Dit zou betekenen dat met een 7 - bits DAC alle voor de comparator benodigde spanningen zouden kunnen worden gemaakt. Er zijn een aantal redenen om echter geen 7 - bits DAC te gebruiken.
Een 7 - bits DAC zou (zie ook lit [4]) wanneer hij als 2 traps DAC is uitgevoerd een totale capaciteit nodig hebben van 24 pF (uitgaande van een minimum capaciteit van ongeveer 1 pF).
Dat zou betekenen dat er voor het realiseren van de DAC een oppervlakte van tenminste 24 × 40 × 40 μm nodig zou zijn. Verder zou het , tenzij er een tamelijk ingewikkelde besturing gemaakt wordt , 7 maal een vergelijkings slag kosten om de ingangsspanning met deze referentie spanningen te vergelijken. Ieder van die vergelijkings slagen kost minimaal 1 μs (met de huidige comparator). Dit zou betekenen dat er voor de A/D conversie 7 μs nodig zou zijn. Dit is, gezien de minimum tijd die de rest van de ISDN chip nodig heeft en de vastliggende cyclustijd van 15 μs voor het volledige circuit, niet haalbaar.

Op analoge wijze als bij het oude model ADC kan het aantal vergelijkingen worden teruggebracht tot vijf. Eerst wordt de de polariteit van de ingangsspanning bepaald en daarna welke van de

twee spanningen, de ingangsspanning of de referentie spanning, het grootste is. Vervolgens kunnen met drie vergelijkingen de minst significante bits worden bepaald.
De hiervoor benodigde DAC's kunnen in minimale vorm worden uitgevoerd met een totale capaciteit van 18 pF. Daarbij is dan uitgegaan van een 4 bits DAC en een 1 bits DAC. (zie figuur 44 op bladzijde 64).

Het is bied voordelen om de 1 bits DAC uit te voeren met condensatoren van 8 pF. Dan vertonen de schakelingen die de beide ingangsspanningen voor de comparator moeten maken een grote mate van symmetrie. Het gevolg daarvan zal zijn dat de effecten van bedradingscapaciteiten, de ingangs capaciteit van de comparator en van de clock feedthrough op beide ingangs spanningen van de comparator in eerste orde even groot zullen zijn. Het gevolg hiervan is dat deze effecten vrijwel geen invloed hebben op het resultaat van de vergelijking van deze twee spanningen.Een nadeel is wel dat de totale benodigde capaciteit voor de twee DAC's nu 32 pF bedraagt.

Het totale schema voor een ADC, opgebouwd uit zo'n tweetal DAC's en de comparator, ziet er dan uit als in figuur 44 op bladzijde 64.
Om snel te kunnen gaan meten aan een ADC die volgens dit nieuwe concept is opgezet is een voorlopige testschakeling in de vorm van een layout gemaakt die op het moment van schrijven als chip gerealiseerd wordt. Wanneer deze chip van de fabriek terug komt zal het mogelijk zijn om het oude en het nieuwe ontwerp voor de ADC door metingen te vergelijken. In hoofstuk 8.3 staat een wat uitgebreidere beschrijving van de werking van de testschakeling en hoe daarmee een A/D conversie kan worden getest.

H 8 Layouts en testschakelingen van diverse circuits.

Van een aantal van de in het voorgaande beschreven schakelingen is een layout gemaakt die door de EFFIC chip fabriek tot een al dan niet werkend circuit gemaakt kan worden.
Het doel hiervan is om door metingen aan deze circuits de werking van de ontworpen schakelingen te verifieren.
Om deze verificaties door metingen mogelijk te maken zijn hier en daar in de schakeling kleine wijzigingen aangebracht. Deze wijzigingen hebben tot doel om het mogelijk te maken om op eenvoudige wijze in de werking van het circuit in te grijpen.
Verder zijn er rondom de schakeling een tamelijk groot aantal uitgangs buffers aangebracht. Hiermee worden de signalen op een aantal plaatsen in het circuit naar buiten de chip gevoerd zodat daaraan kan worden gemeten.
Bij ieder van de als layout gerealiseerde schakelingen zal hier besproken worden op welke plaatsen in de schakeling voor testen nodige wijzigingen zijn aangebracht. Verder zal worden besproken welke metingen van belang geacht worden om het functioneren van het circuit te beoordelen.
Naast deze testschakelingen voor de diverse schakelingen is er een bibliotheek van bruikbare subcircuits gemaakt die bij het ontwikkelen van verdere schakelingen gebruikt kan worden. Hierin staan een aantal basiscircuits in layout vorm waarvan het vrij zeker is dat ze goed functioneren.

H 8.1 De testschakeling voor de controller

De volledige controller (bestaande uit de 4-fasen clock , het 15 bits schuifregister en de besturingslogica voor de deler / comparator) is als een enkele testlayout uitgevoerd.
Deze schakeling kan wanneer de ISDN chip in een wat verder gevorderd stadium is gebruikt worden als besturing van de chip.
Voorlopig echter kan deze schakeling gebruikt worden om te verifieren of de controller zelf voldoet aan de eraan gestelde eisen. In bijlage 1 is de layout van deze testschakeling gegeven.
Om het goed functioneren van de schakeling te kunnen beoordelen zullen de volgende metingen aan het testcircuit moeten worden uitgevoerd:

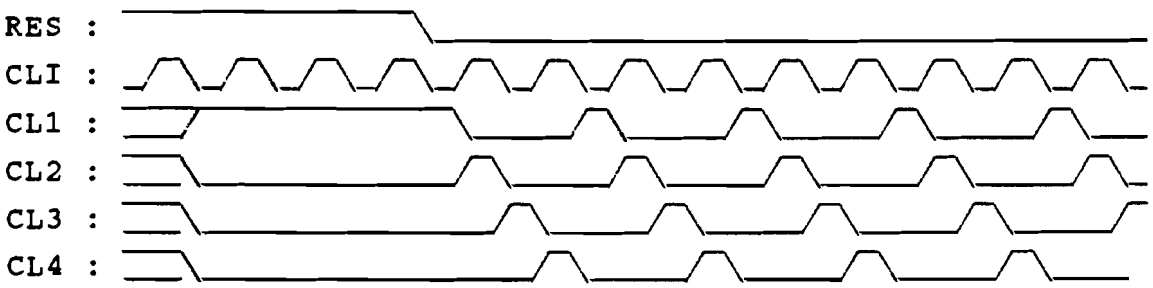
a) verificatie van de werking van de 4-fasen clock
b) verificatie van de werking van het 15 bits schuifregister
c) checken of de door de controller geproduceerde besturings signalen voldoen voor het besturen van de deler / comparator.
d) bepaling van het stroomverbruik van het circuit.

Deze metingen zouden als volgt gedaan moeten worden:

ad a) verificatie van de werking van de 4-fasen clock.

```
Aansluitingen : Vdd = + 10 V
                GND =    0 V
                CLI = blokgolf generator
                RES = puls     ( <- schakelaar )
         CL1 .. CL4 = uitgang ( -> scoop      )
```

Beschrijving : Op CLI moet een symetrische blokgolf (0 .. 10 V) met een frequentie van 0 .. 2 MHz gezet worden. OP de RES ingang moet terwijl de clock loopt een puls (_/‾‾‾_) gezet worden met een pulstijd van ten minste vier volledige clockpulsen op CLI.
Dit zou een volledige reset cyclus van de 4 - fasen clock moeten garanderen. Hierna zou de 4-fasen clock op de uitgangen CL1..CL4 per 2 ingangspulsen een viertal niet overlappende pulsen moeten leveren. (zie hiervoor ook figuur 42 hieronder)



figuur 42 : De verwachte timing van de 4-fasen clock.

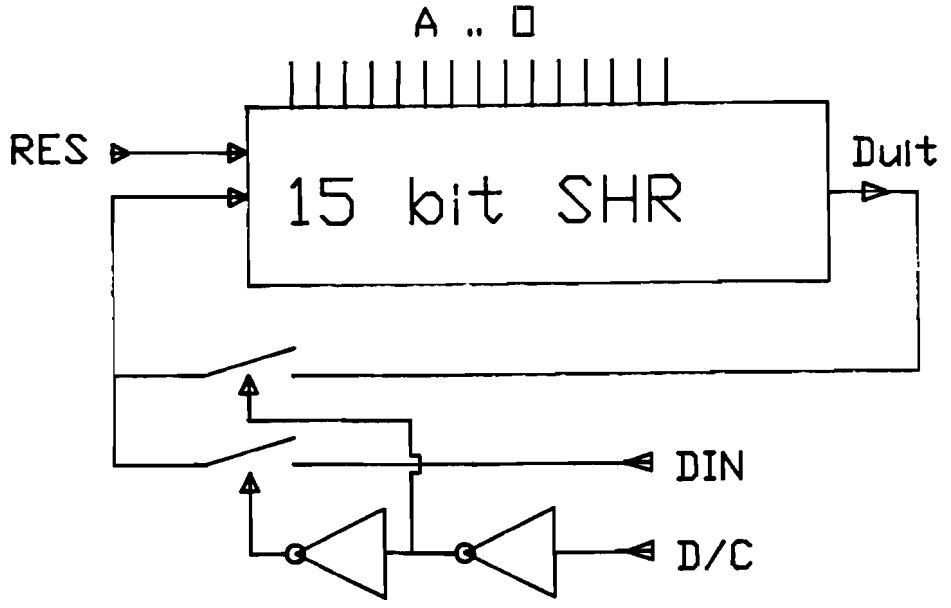
Hierbij is ervan uitgegaan dat de gebruikte paddriver een niet inverterende versie is.
Het niet overlappende karakter van de clock kan eventueel door de paddrivers enigszins verstoord zijn. Wanneer de paddrivers echter allemaal even zwaar belast worden zou het nog wel merkbaar moeten zijn.

Wanneer de 4-fasen clock deze signalen produceert kan bepaald worden welke de maximale clock frequentie (van CLI) is waarbij de geproduceerde signalen nog voldoen aan de eisen. Dit is van belang voor eentueel gebruik van deze 4-fasen clockgenerator voor andere doeleinden dan de besturing van de ISDN chip.

ad b : verificatie van de werking van het 15 bits schuifregister

```
Aansluitingen : Vdd = 10 V
                Gnd =  0 V
                CLI = blokgolf generator
                RES = puls ingang ( een keer reset puls )
                D/C = schakelaar input '0' of '1'
                DIN = schakelaar input '0' of '1'
         SH1 .. SH3 = digitale uitgang ( -> scoop )
```

Om de werking van het 15 bits schuifregister te kunnen testen zijn er aan dit schuifregister een tweetal extra ingangen aangebracht. Met behulp van een van deze ingangen (D/C) kan de lus die het schuifregister normaal vormt onderbroken worden. Met de andere ingang (DIN) kan wanneer de lus onderbroken is op de ingang van het schuifregister die dan ontstaat een signaal in het register ingevoerd worden. Zo kan in principe het schuifregister met iedere gewenste waarde geladen worden.
Een blokschema van het schuifregister in deze testuitvoering (waarbij voor de duidelijkheid de 4-fasen clock is weggelaten) ziet er als volgt uit (zie figuur 43):



figuur 43 : Een blokschema van de testversie van het schuifregister.

Het is de bedoeling dat met deze schakeling een aantal tests worden uitgevoerd.
Eerst een eenvoudige check van de werking van het schuifregister zonder gebruik te maken van D/C of DIN.
Hiervoor wordt voor de frequentie van de CLI ingang een frequentie gekozen waarbij bekend is dat de 4-fasen clock functioneert. Vervolgens wordt op de RES ingang weer net als bij de tests van de 4-fasen clock een puls gezet. Hiermee wordt de

4-fasen clock gereset. Dat is echter niet het enige dat deze reset doet. Door deze reset wordt het schuifregister op de waarde " het eerste bit = 1 en de rest 0 " gezet. Wanneer nu de 4-fasen clock loopt dan zal deze combinatie door het schuifregister rondgeschoven worden. De '1' die wordt rondgeschoven zal dan achtereenvolgens op de uitgangen SH1 , SH2 en SH3 moeten verschijnen. Wanneer voor de frequentie op CLI de waarde 2MHz gekozen kan worden (waarmee de cyclustijd van de 4-fasen clock op 1 µs komt) dan zal tussen de pulsen op de SH uitgangen een tijd van 5 µs moeten liggen. Om te checken of dit ook na langere tijd in orde blijft moet dit rondschuiven van een '1' een tijd lang gebeuren. Verder dient te worden nagegaan bij welke frequentie op CLI de data in het schuifregister verloren gaat. Om dit goed te kunnen testen zijn de volgende tests.
Een volgende test is het checken of zowel '1'en als '0'en voor lange tijd kunnen worden rondgeschoven. Hiertoe moet de 4-fasen clock lopen (zie boven hoe die gestart moet worden). Daarna wordt de ingang D/C '1' gemaakt. Op de ingang DIN wordt een '0' gezet. Hierna moet minstens 15 µs gewacht worden zodat de binnengeschoven '0' de tijd heeft om het hele schuifregister te vullen. In het schuifregister staan nu alleen nog maar '0'en. Op alle uitgangen (SH1 .. SH3) moet nu een '0' staan. Wanneer met deze inhoud van het schuifregister een tijdje geschoven wordt dan moeten deze '0'en blijven staan. Nu is het de bedoeling om de frequentie van het clock signaal op CLI te verlagen (houdt hierbij de grenzen voor de 4-fasen clock in het oog) totdat de '0'en in het schuifregister fouten beginnen te vertonen. Het kan eventueel dat dit niet gebeurt. Daarom moet dezelfde test nog een keer gedaan worden met DIN op '1'. Dan worden alleen maar '1'en in het schuifregister rondgeschoven. Wanneer het rondschuiven van '0'en geen fouten levert bij een lage clock frequentie dan zal het schuiven van '1'en dit hoogst waarschijnlijk wel doen.
De oorzaak van dit wegvallen van '1'en of '0'en in het schuifregister is het ontladen van de C_p van de schuifcellen (zie de beschrijving van het 15 bits schuifregister).
Naast een ondergrens voor de clock frequentie zal er ook een bovengrens zijn voor de frequentie waarmee het schuifregister aangestuurd kan worden. Deze bovengrens wordt bepaald door of de hoogste werk frequentie van de 4-fasen clock of door de maximale oplaadsnelheid van de C_p's van de schuifcellen. Deze maximale clock frequentie kan het beste bepaald worden door het schuifregister te resetten (en weer één '1' rond te schuiven) en dan de frequentie van de blokgolf op CLI weer te verhogen totdat er niet meer netjes een enkele '1' in het register zit .

ad c : checken of de door de controller geproduceerde besturings signalen voldoen voor het besturen van de deler / comparator.

Aansluitingen : Vdd = 10 V
Gnd = 0 V
CLI = blokgolf generator
RES = puls ingang (een keer reset puls)
D/C = schakelaar input
DIN = schakelaar input
SH1 .. SH3 = digitale uitgang (-> scoop)

Nu kan ,als de vorige twee stukken van het circuit functioneren, de werking van de besturings signalen voor de deler/comapator worden geverifieerd. Voor een beschijving van de waarden die deze signalen moeten hebben op verschillende tijdstippen wordt verwezen naar de beschrijving van de ADC. De ingang van de controller waar normaal de uitgang van de comparator zou worden aangesloten is naar buiten uitgevoerd als ingang CMP (zie bijlage1). Een besturing voor de multiplexer die het op de deler laden van de referentie spanning van de juiste polariteit en het kiezen tussen referentie en ingangs spanning zou moeten regelen is naar buiten de chip uitgevoerd als de uitgangen R/i en NR .Dit zijn resp. de selecties Referentiespanning/inganssspannig en Negatieve Referentiespanning. De andere uitgangen hebben hebben dezelfde namen als in de beschrijving van de ADC is aangegeven.
Ook hier kan als de signalen op zich goed functioneren een test voor de maximaal te gebruiken clock frequentie worden gedaan.

ad d) bepaling van het stroomverbruik van het circuit.

Aansluitingen : Voor het bepalen van het stroomverbruik van de schakeling kan niet op de gewone manier aan een afgemonteerde chip gemeten worden. Hiervoor zal direct op de plak gemeten moeten worden.

Voordat aan de chip het stroom verbruik gemeten kan worden zullen eerst de paddrivers van het circuit losgeloppeld moeten worden. Dit kan op de volgende manier : De chip wordt op een plateau onder een microscoop gelegd en met behulp van een vacuum pompje vastgezogen. Vervolgens wordt met een van de meetnaalden die bij de microscoop horen de voedingsspannings leiding die van de pad Vdd naar de paddrivers loopt doorgekrast. Dit kan tamelijk gemakkelijk op de plaats waar deze leiding een lus maakt voordat hij naar de paddrivers gaat (nb: dit is de reden waarom deze lus daar zit) .Dit is tevens de enige plaats waar de paddrivers met de Vdd verbonden zitten.
Nu kan de voeding op de gewone manier worden aangesloten. Het is nu niet meer mogelijk om aan de chip uitgangs spanningen te meten maar er kunnen nog wel signalen op gezet worden. Start nu weer op de bekende manier de 4-fasen clock (en het schuifregister) en meet de stroom die door het circuit wordt opgenomen.
De lange depletion MOSTen die bij de diverse ingangs pad's zitten zorgen ervoor dat alleen op de RES en op de CLI ingangen signalen gezet hoeven te worden. De andere ingangen worden naar een geschikte waarde getrokken.

Het is aan te bevelen om een aantal van de hierboven beschreven tests te doen voor een aantal chips om een beeld te krijgen van de spreiding van de diverse eigenschappen van het circuit. Vooral de minimum / maximum test voor de werk frequentie van het schuifregister zouden nog wel eens enige spreiding kunnen vertonen ten gevolge van spreiding in de oxide dikte (C_p) en de ladingslek van de schakeling.

H 8.2 De testschakeling van de padbuffers

Van de padbuffers die in hoofdstuk 5.3 beschreven zijn is ook een aantal test schakelingen gemaakt. Er zijn een viertal layouts gemaakt met ieder een padbuffer , een input circuit en twee pad's voor het aansluiten van de voedingsspanning. De padbuffer zelf vormt de aansluiting voor het uitgangssignaal.
De volgende buffers zijn op deze manier als layout uitgevoerd :

- De tot nu toe gebruikte paddriver voor digitale signalen.
- Het 20 pF buffer .
- Een voor 5 V voedings spanning omgebouwde versie daarvan.
- De zware paddriver .

De van belang zijnde metingen die voor deze paddrivers zijn voor al deze buffers hetzelfde. Het is de bedoeling om een vergelijking te maken tussen de diverse buffers zodat het in het vervolg mogelijk zal zijn om voor iedere toepassing de meest geschikte paddriver te kiezen.
De belangrijkste gegevens voor het gebruik van een paddriver zijn:

- Het stroomverbruik.
- De stijg en daaltijd van de buffer.
- De maximaal toelaatbare belasting.
- De maximale en minimale frequentie waarvoor de buffer gebruikt kan worden.

Om wat betreft deze gegevens een vergelijking te kunnen maken wordt voorgesteld om de volgende metingen aan ieder van de testschakelingen te doen :

Het meten van het stroomverbruik van ieder van de schakelingen bij een ingangs signaal '0' en '1' bij lage frequentie v/h ingangs signaal.

Het meten van het stroomverbruik van de onbelaste paddriver bij verschillende frequenties van het ingangssignaal.

Het meten van de stijg en daaltijd van de buffers bij belastingen varierend van alleen de probe van een scoop (à 20pF) tot ongeveer 1 nF.

Het meten van de maximum (en eventueel de minimum) frequentie van het ingangs signaal waarvoor de paddriver nog goed werkt.

De eerste twee metingen geven een beeld van het stroomverbruik van een bepaalde paddriver bij een bepaalde toepassing en het volgende tweetal metingen een idee van de belastbaarheid en de werkfrequentie van een paddriver.

H 8.3 Een eerste testschakeling voor de nieuwe ADC.

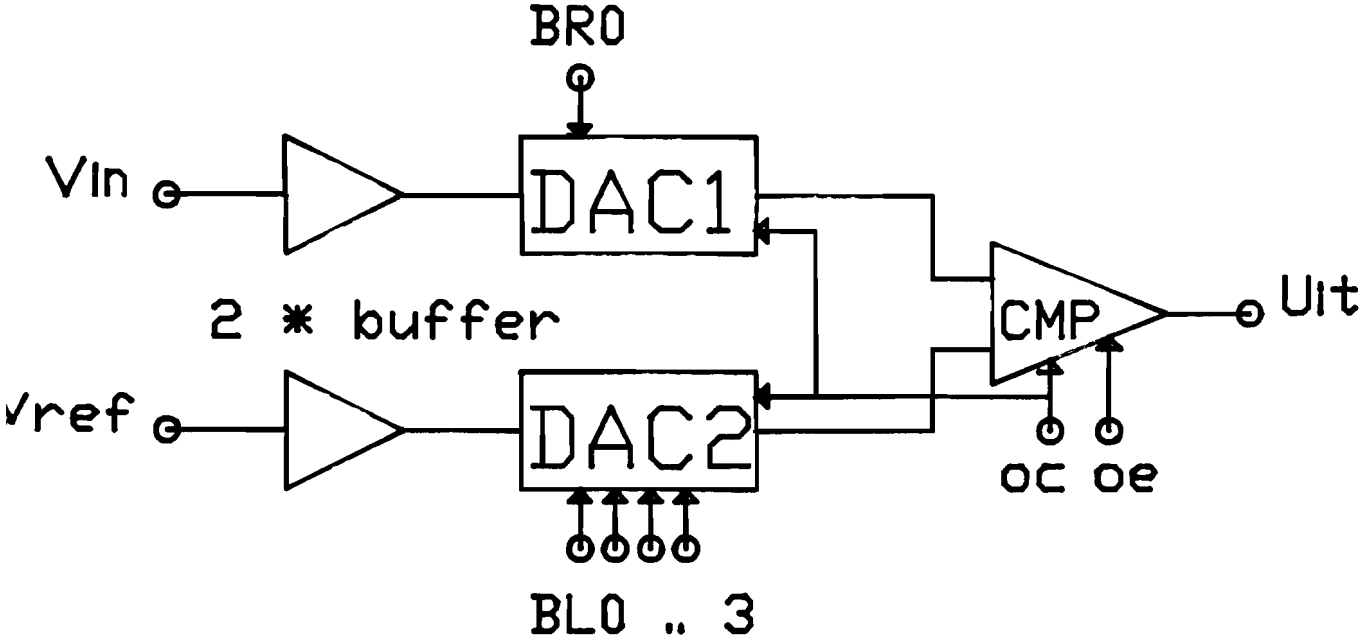
Om een idee te krijgen over de kwaliteit van de nieuwe ADC bestaande uit een tweetal DAC's plus een comparator zal doen ,is een testschakeling gemaakt.
Deze testschakeling is in zeer grote haast gemaakt en het is mogelijk dat ze fouten bevat.(hoewel tot nu toe nu toe nog geen fouten gevonden zijn)
Deze eerste testschakeling bestaat uit de volgende delen:

De comparator die H. Aarts heeft ontworpen (zie lit[3]).

Een tweetal kleine DAC's (zie voor een nadere beschrijving hiervan lit[4]).

Wat eenvoudige besturingslogica en een uitgangsdriver.

Een blokschema van de testschakeling staat in figuur 44



figuur 44 : Een blokschema van het testcircuit voor de nieuwe ADC.

Met deze schakeling kan op dezelfde manier als met de combinatie van deler en comparator een A/D conversie gedaan worden.
Dit gaat als volgt :

1^e cyclus : BR_0 = '1' ; BL_0 .. BL_3 = '0' ; IN_I = 0 V ; IN_{II} = V_{in}
De comparator levert nu het tekenbit v/d ingangs spanning.

2^e cyclus : BR_0 = '1' ; BL_0 .. BL_2 = '0' ; BL_3 = '1' ;
IN_I = V_{ref} ; IN_{II} = V_{in}
De comparator levert nu of $V_{ref} > V_{in}$.
NB : voor V_{ref} moet een spanning met dezelfde polariteit als V_{in} gekozen worden.

3^e cyclus : BR_0 = '1' ; BL_0 .. BL_1 en BL_3 = '0' ; BL_2 ='1'
IN_I = de grootste spanning (V_{in} of V_{ref})
IN_{II} = de kleinste spanning (V_{ref} of V_{in})
De comparator levert het volgende bit v/d conversie

4^e cyclus : BR_0 = '1' ; BL_0 , BL_2 , BL_3 = '0' ; BL_1 = '1'
IN_I en IN_{II} als 3^e cyclus
De comparator levert het volgende bit v/d conversie

5^e cyclus : BR_0 = '1' ; BL_1 , BL_2 , BL_3 = '0' ; BL_0 = '1'
IN_I en IN_{II} als 3^e cyclus
De comparator levert het laatste bit v/d conversie

Op deze manier kan de volledige A/D conversie met de testschakeling worden uitgevoerd. Er kan gekeken worden of de in hoofdstuk 7 gesuggereerde voordelen van deze manier van A/D conversie ten opzichte van de oorspronkelijke manier met deler en comparator ook echt optreden. Het op de juiste tijdstippen genereren van de hiervoor benodigde besturings signalen is minder eenvoudig dan bij de oorspronkelijke manier van converteren.
Hiermee is tevens aangetoond dat het met de bestaande componenten reeds mogelijk is om een versie van deze nieuwe ADC te realiseren. Verder blijkt dat het mogelijk is om in vrijwel dezelfde tijd en met dezelfde uitgangscode als bij de oude manier van converteren de nieuwe converter te gebruiken. Voorts valt op dat de benodigde besturings signalen onafhankelijk zijn van de grootte van het ingangs en het referentie signaal. (door een tekenbit aan de DAC's toe te voegen zou hier zelfs met één referentie spanning gewerkt kunnen worden).
Als voor deze schakeling een geschikte besturing gemaakt wordt (gedacht wordt aan besturing met behulp van een teller en een Eprom voor deze testschakeling) dan kunnen een aantal belangrijke parameters van deze methode van A/D conversie bepaald worden en vergeleken worden met de oude ADC.

Enkele parameters die van belang zijn bij een vergelijking tussen de twee methoden van A/D conversie zijn :

De maximaal toelaatbare ingangs spanning (deze wordt bepaald door de analoge buffers).

De minimaal toelaatbare referentie spanning.

De effecten van de clock feedtrough van de DAC's.

De maximale conversiesnelheid .

Over al deze parameters kan in meerdere of mindere mate een idee gevormd worden door meting aan deze schakeling.

H 9 Conclusies en aanbevelingen

De controller voor de SADM is voor zo ver mogelijke is klaar voor gebruik. Wanneer er definitieve versies van diverse delen van de SADM klaar komen kunnen deze op een eenvoudige wijze aan de controller worden verbonden. Hiervoor zal echter wel eerst de precieze timing van de loop moeten worden vastgelegd, iets dat pas kan gebeuren wanneer er meer over de realisatie van deze delen bekend is.

Uit de aard en constructie van de controller zoals die nu is opgezet blijkt dat deze ook buiten het kader van de ISDN chip kan worden gebruikt. De nogal universele opzet ervan kan met weinig moeite uitgebreid worden tot grotere of kleinere cyclus tijden. Het maken van besturings signalen voor andere chips dan de SADM kan op precies dezelfde manier als voor deze chip gedaan worden. Als beperking hierbij geldt dat er een grens is voor clock frequentie waarbij de controller kan werken. Om hierover duidelijke inzichten te krijgen zullen een aantal metingen aan de testschakeling nodig zijn.

Ook door metingen aan de daarvoor gemaakte testschakeling zal nog moeten worden bepaald of het nieuwe basis idee voor de ADC een goed alternatief is voor de reeds bestaande converter. Deze nieuwe opzet van de ADC zal in ieder geval nog verder uitgewerkt moeten worden voordat het een volwaardige vervanger van het huidige ontwerp kan vormen.

Het is de bedoeling dat de vele subcircuits die voor het realiseren van de controller zijn ontworpen, zoals buffers, latches, schuifregisters en de 4-fasen clock, nog meerdere keren als deel van andere circuits gebruikt kunnen worden. Hierdoor kan het iedere keer opnieuw ontwerpen van deze basis schakelingen tot een minimum beperkt blijven. De bibliotheek van layouts die met dit doel is opgezet zal hier hopelijk een bijdrage toe vormen.

H 10 Literatuur

[1] C.H. Giancarlo and C.G. Sodini
A slope adaptive delta modulator for VLSI signal processing systems.
IEEE transactions on circuits and systems,
vol. cas-33, no:1, january 1986

[2] A.P.J.M. Wieërs
Het schrijven van een high-level simulator en het ontwerpen van een analoge twee deler , vier-fase clock-generator en een digitaal buffer ten behoeve van een slope adaptive deltamodulator.
Afstudeerverslag Technische Universiteit Eindhoven
Faculteit der Electrotechniek, vakgroep EEB,
Augustus 1987

[3] J.A.J. van Geloven
Onderzoek naar en realisatie van een digitaal analoog converter in Nmos technologie voor een slope adaptive deltamodulator.
Afstudeerverslag Technische Universiteit Eindhoven
Faculteit der Electrotechniek, vakgroep EEB,
Augustus 1987

[4] J.A.H. Aarts
Een comparator met offset compensatie ten behoeve van een slope adaptive deltamodulator.
Afstudeerverslag Technische Universiteit Eindhoven
Faculteit der Electrotechniek, vakgroep EEB,
Augustus 1987

[5] J.M.W. Vercoulen
Ontwerp van een digitale accumulator voor een slope adaptive deltamodulator.
Afstudeerverslag Technische Universiteit Eindhoven
Faculteit der Electrotechniek, vakgroep EEB,
December 1987

[6] P.Dewilde
The integrated circuit design book
Capters 2.3 & 2.4 :
SLS: A switch level timing simulator.

[7] P.Dewilde
The integrated circuit design book
Capter 4 : The piecewise linear simulator

A.Lodder,M.T.van Stiphout and J.T.J.van Eindhoven
Escher: Eindhoven SCHematic EditoR reference manual
EUT Report 86-E-157.

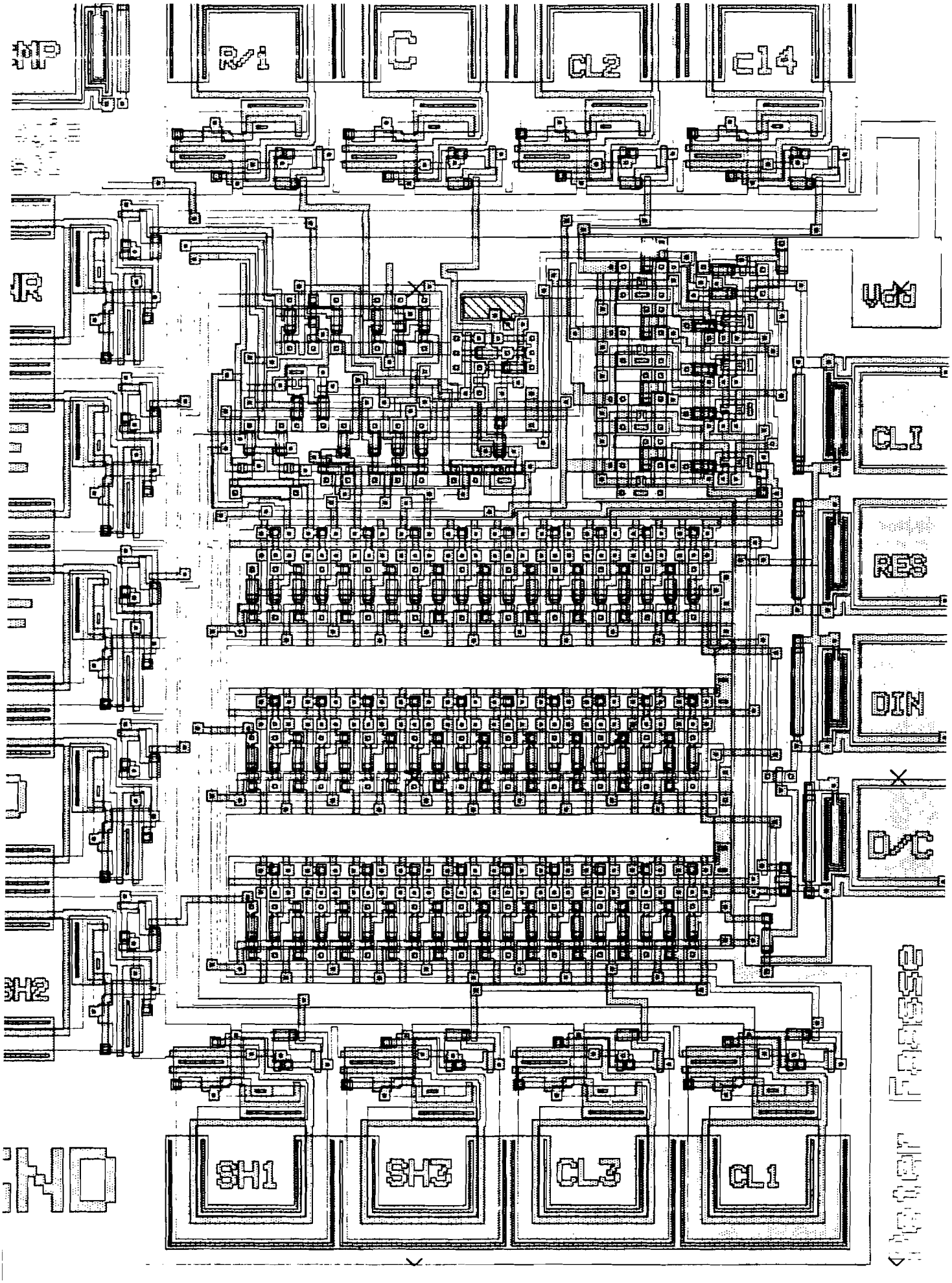
beschrijvingen van de programma's:
ECHER,PLsim en SUPERPLOG.
Technische Universiteit Eindhoven
Faculteit der Electrotechniek ,Vakgroep ES.

[8] CCITT RED BOOK volume III - fascicile III.5
Integrated Services Digital Network (ISDN)
Recommendations for the series I

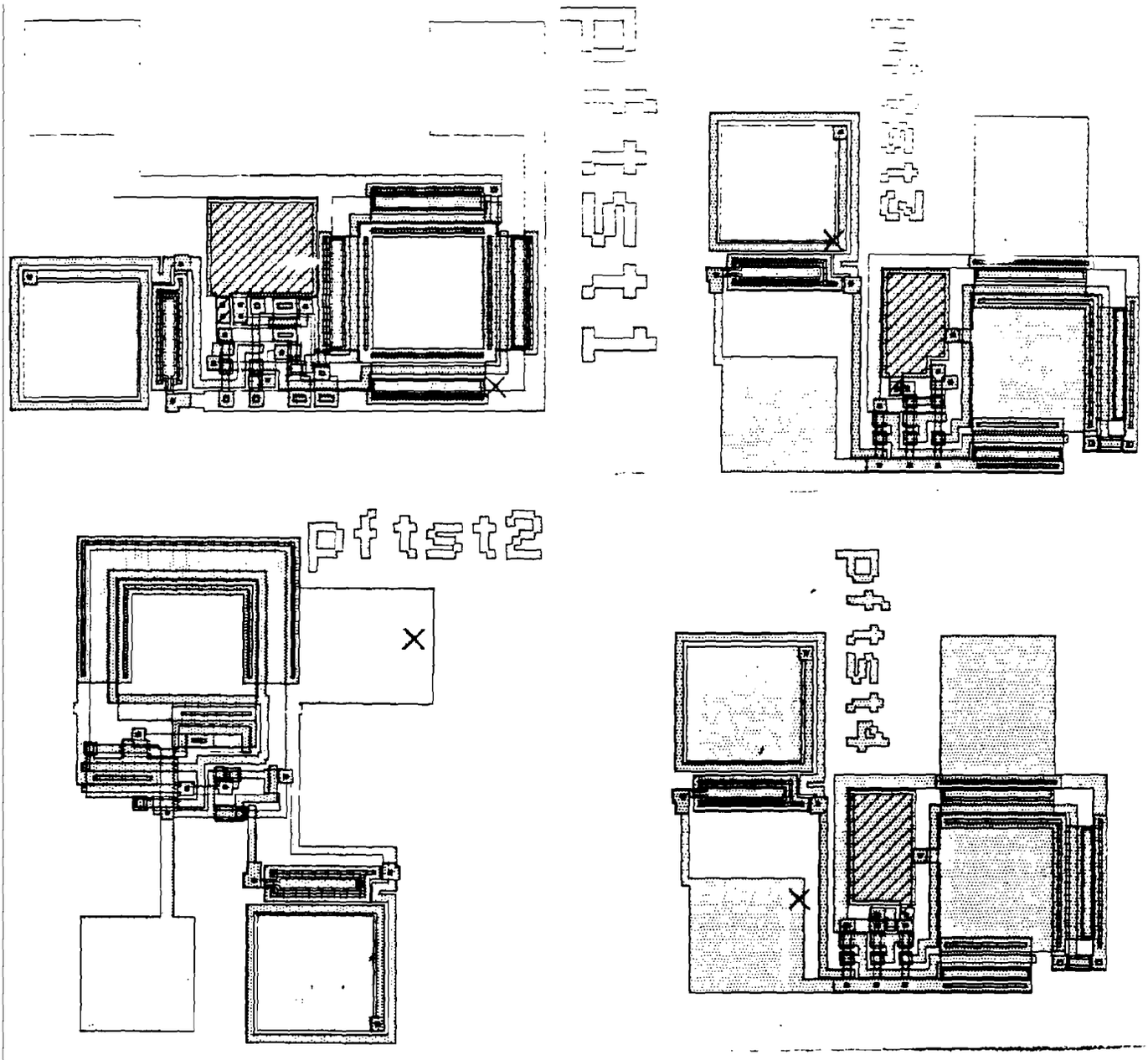
Peter Kahl (Hrsg)
ISDN Das künftige Fernmeldenetz der Deutschen Bundespost. 2.,durchgesehene auflage.

[9] W.N.J. van Diepen
Een simulatieprogramma en het ontwerp van een exclusive-or en een limiter ten behoeve van een BPSK demodulator
Afstudeerverslag Technische Universiteit Eindhoven
Faculteit der Electrotechniek, vakgroep EEB,
Maart 1988.

BIJLAGE 1 : De layouts van de gerealiseerde schakelingen

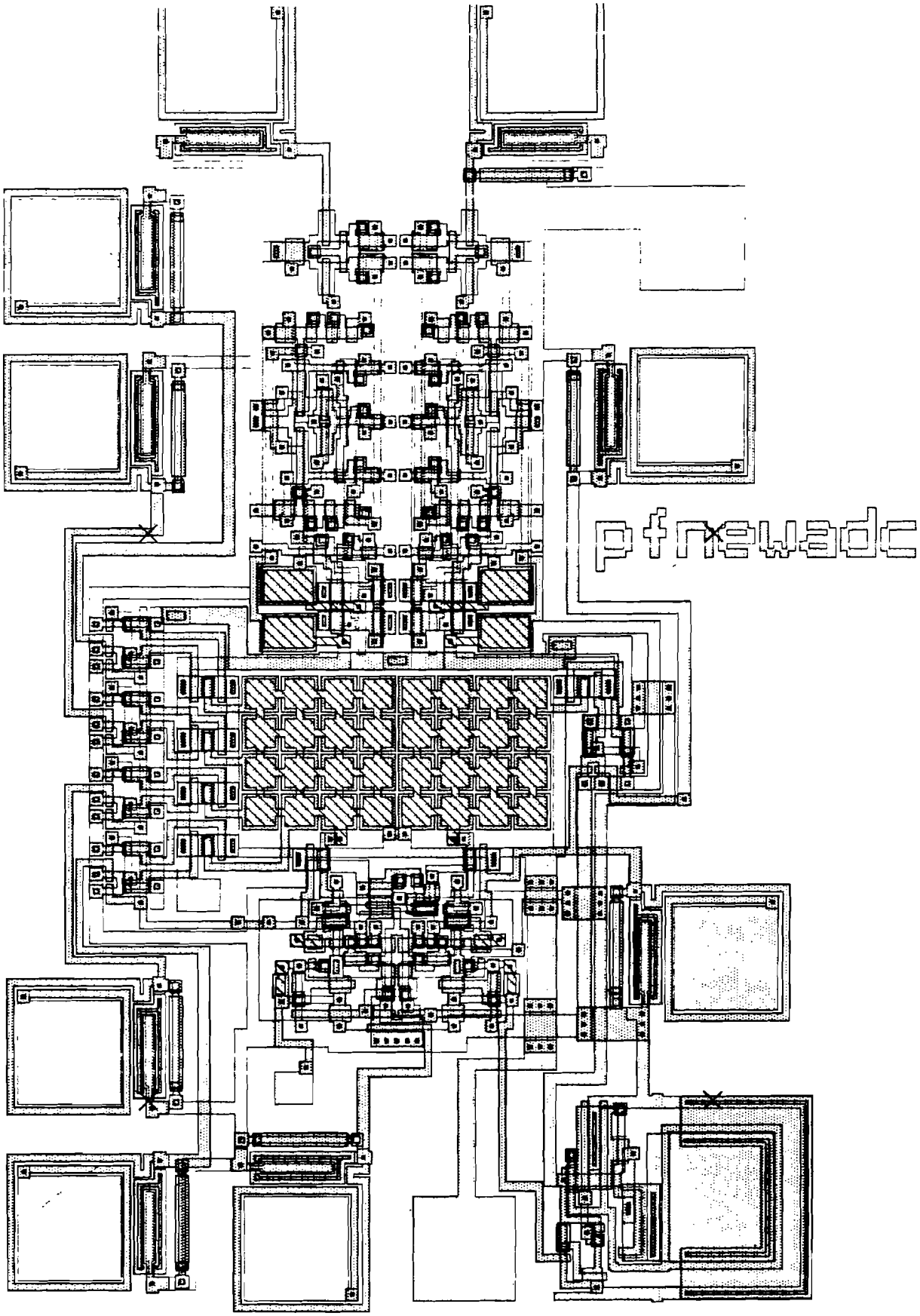


De layout van de testschakeling voor de controller.



De layouts van de testschakelingen voor de diverse buffers.

PFTST1 = de zware paddriver uit figuur 44
PFTST2 = de buffer uit figuur 43
PFTST3 = de oude paddriver
PFTST4 = een versie van de buffer van PFTST2 aangepast voor 5 V voedingsspanning



De layout van de testschakeling voor de nieuwe ADC.

BIJLAGE 2 : De PSPICE invoerfiles bij de diverse simulaties

```
REFERENTIE INVERTOR
.SUBCKT INV 1 2 3
M1     2  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2     3  2 2 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS INV

*****************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*****************************************************************
*
X1  50  1  11  INV
X2  50  2  12  INV
X3  50  3  13  INV
X4  50  4  14  INV
X5  50  5  15  INV
X6  50  6  16  INV
X7  50  7  17  INV
X8  50  8  18  INV
X9  50  9  19  INV

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 0V 10NS 10V 300NS 10V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V

************************* MODELLER AF FAATZ******************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
UEXP=0.115 VMAX=5E4 DELTA=4)
*---------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N+NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*****************************************************************
.TRAN  1NS 20NS
.PROBE
.END
```

```
REFERENTIE INVERTOR
.SUBCKT INV 1 2 3
M1    2  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2    3  2 2 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS INV

*****************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*****************************************************************
X1  50  1  11  INV
X2  50  2  12  INV
X3  50  3  13  INV
X4  50  4  14  INV
X5  50  5  15  INV
X6  50  6  16  INV
X7  50  7  17  INV
X8  50  8  18  INV
X9  50  9  19  INV

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 10V 10NS 0V 300NS 0V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V
******************** MODELLER AF FAATZ***********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
UEXP=0.115 VMAX=5E4 DELTA=4)
*---------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N+NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*****************************************************************
.TRAN  5NS 250NS
.PROBE
.END
```

```
INVERTEREND BUFFER
.SUBCKT INB 1 2 3
M1     4  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2     3  4 4 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
M3     2  1 0 0  ENH  W=24U  L= 6U AD=240P AS=240P PD=68U   PS=68U
M4     3  4 2 0  DEP  W= 6U  L=10U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS INB

*******************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*******************************************************************
X1  50  1  11  INB
X2  50  2  12  INB
X3  50  3  13  INB
X4  50  4  14  INB
X5  50  5  15  INB
X6  50  6  16  INB
X7  50  7  17  INB
X8  50  8  18  INB
X9  50  9  19  INB

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 0V 10NS 10V 300NS 10V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V
********************** MODELLER AF FAATZ**********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*-----------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*******************************************************************
.TRAN  1NS 20NS
.PROBE
.END
```

```
INVERTEREND BUFFER
.SUBCKT INB 1 2 3
M1     4  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2     3  4 4 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
M3     2  1 0 0  ENH  W=24U  L= 6U AD=240P AS=240P PD=68U   PS=68U
M4     3  4 2 0  DEP  W= 6U  L=10U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS INB

*****************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*****************************************************************
X1  50  1  11  INB
X2  50  2  12  INB
X3  50  3  13  INB
X4  50  4  14  INB
X5  50  5  15  INB
X6  50  6  16  INB
X7  50  7  17  INB
X8  50  8  18  INB
X9  50  9  19  INB

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 10V 10NS 0V 300NS 0V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V
*********************** MODELLER AF FAATZ***********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
UEXP=0.115 VMAX=5E4 DELTA=4)
*-----------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N+NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*****************************************************************
.TRAN  5NS 250NS
.PROBE
.END
```

```
NIET-INVERTEREND BUFFER
.SUBCKT NORB 1 2 3
M1    4  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2    3  4 4 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
M3    2  4 0 0  ENH  W=24U  L= 6U AD=240P AS=240P PD=68U   PS=68U
M4    3  1 2 0  DEP  W= 6U  L=10U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS NORB

*****************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*****************************************************************
X1  50  1  11  NORB
X2  50  2  12  NORB
X3  50  3  13  NORB
X4  50  4  14  NORB
X5  50  5  15  NORB
X6  50  6  16  NORB
X7  50  7  17  NORB
X8  50  8  18  NORB
X9  50  9  19  NORB

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 0V 10NS 10V 300NS 10V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V
*********************** MODELLER AF FAATZ***********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
UEXP=0.115 VMAX=5E4 DELTA=4)
*---------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N+NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*****************************************************************
.TRAN  1NS 100NS
.PROBE
.END
```

```
NIET-INVERTEREND BUFFER
.SUBCKT NORB 1 2 3
M1    4  1 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2    3  4 4 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
M3    2  4 0 0  ENH  W=24U  L= 6U AD=240P AS=240P PD=68U   PS=68U
M4    3  1 2 0  DEP  W= 6U  L=10U AD=60P  AS=60P  PD=32U   PS=32U
.ENDS NORB

*****************************************************************
* DE SCHAKELING VAN DIVERSE INVERTOREN MET HUN LOAD (IN,UIT,VDD)
*****************************************************************
X1  50  1  11  NORB
X2  50  2  12  NORB
X3  50  3  13  NORB
X4  50  4  14  NORB
X5  50  5  15  NORB
X6  50  6  16  NORB
X7  50  7  17  NORB
X8  50  8  18  NORB
X9  50  9  19  NORB

* DE LOAD'S
CL1  1  0   0.01PF
CL2  2  0   0.02PF
CL3  3  0   0.05PF
CL4  4  0   0.10PF
CL5  5  0   0.20PF
CL6  6  0   0.50PF
CL7  7  0   1.00PF

* DE INGANG EN DE VOEDINGEN
VIN  50 0  PWL ( 0NS 10V 10NS 0V 300NS 0V )

VD1  11 0  DC   10V
VD2  12 0  DC   10V
VD3  13 0  DC   10V
VD4  14 0  DC   10V
VD5  15 0  DC   10V
VD6  16 0  DC   10V
VD7  17 0  DC   10V
VD8  18 0  DC   10V
VD9  19 0  DC   10V
*********************** MODELLER AF FAATZ***********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP NMOS(LEVEL=2 VTO=-2.5 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
UEXP=0.115 VMAX=5E4 DELTA=4)
*-------------------------------------------------------------
.MODEL ENH NMOS(LEVEL=2 VTO=0.55 PB=0.75 CGSO=370P CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N+NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*************************************************************
.TRAN  5NS 100NS
.PROBE
.END
```

```
BOOTSTRAP BUFFER VOOR DE DELER

M1   10  6 2 0  DEP  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M2    2  3 3 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U
M3    3  4 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M4   10  5 1 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M5    1  4 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M6    6  5 0 0  ENH  W= 6U  L= 6U AD=60P  AS=60P  PD=32U   PS=32U
M7   10  6 6 0  DEP  W= 6U  L=20U AD=60P  AS=60P  PD=32U   PS=32U

*DE BOOTSTRAP CONDENSATOR
CBOOTS   2  1    3.0PF

*DE VOEDING EN DE INGANGEN
VIN   4  0
+ PWL( 0NS 10V 10NS 10V 20NS 0V 270NS 0V 280NS 10V 1000NS 10V )
VBOOT 5  0
+ PWL( 0NS 0V 80NS 0V 90NS 10V 200NS 10V 210NS 0V 1000NS 0V )
VDD  10  0 DC   10V

************************* MODELLER AF FAATZ********************
*
****** GAMMA VARIABEL  ******
****** LAMBDA VARIABEL ******
.MODEL DEP  NMOS(LEVEL=2  VTO=-2.5  PB=0.75  CGSO=370P  CGDO=370P
+CGBO=395P  RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U  TOX=60N  NSUB=9E14  XJ=1U  LD=1U  UO=680  UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*-----------------------------------------------------------------
.MODEL ENH  NMOS(LEVEL=2  VTO=0.55  PB=0.75  CGSO=370P  CGDO=370P
+CGBO=395P RSH=20  XQC=0.4  CJ=80U  MJ=0.5  CJSW=330P  MJSW=0.25
+JS=6.2U TOX=60N NSUB=9E14 XJ=1U LD=1U UO=680 UCRIT=65000
+UEXP=0.115 VMAX=5E4 DELTA=4)
*****************************************************************

.OPTIONS LIMPTS=500
.TRAN  1NS 300NS
.PROBE
.END
```