

MASTER

Digitale audiocompender met variabele pitch

Baak, F.J.C.M.

Award date:
1972

[Link to publication](#)

Disclaimer

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

General rights

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

9085

Technische Hogeschool Eindhoven
Afdeling Elektrotechniek
Groep Telecommunicatie ECA

Digitale audiocompender
met variabele pitch

F.J.C.M. Baak

Verslag van het afstudeeronderzoek
verricht in de groep ECA
onder leiding van ir. J. van der Plaats

projekt nr. AK 7131

Inhoud

1.0	Inleiding	3
2.0	Principeschema	4
2.1	Bepaling frekwentie van klok 1 en aantal geheugenbits	4
3.0	Sample-Hold-systeem	5
3.1	8-bit A/D converter	6
3.2	A5F33119X 500-bit schuifregister	8
3.3	Besturing	9
3.4	8-bit D/A converter	12
4.0	Slotwoord	14

Bijlage I	: Tijddiagram audiosignalen
Bijlage IIa	: Sample-Hold-systeem (schema)
Bijlage IIb	: Sample-Hold-systeem (opbouw)
Bijlage IIc	: Sample-Hold-systeem (komponentenlijst)
Bijlage III	: ϕ_1^* ; ϕ_2^* -generator
Bijlage IV	: A5F33119X 500-bit schuifregister
Bijlage V	: Besturingseenheid (tijddiagram)
Bijlage VI	: Besturingseenheid (schema)
Bijlage VII	: Besturingseenheid (opbouw)
Bijlage VIII	: D/A converter (schema)
Bijlage IX	: D/A converter (opbouw)
Bijlage X	: Lijst van gebruikte I.C.'s

1.0 Inleiding

Uitgangspunt is een audiosignaal, afkomstig van een taperekorder. De bandsnelheid van de rekorder kan ingesteld worden. Stel een snelheid van k -maal de nominale snelheid. Dat betekent, dat de duur van een bepaalde passage uit het oorspronkelijke audiosignaal met een faktor $1/k$ wordt verlengd. De opdracht is nu een apparaat te bouwen, dat ondanks deze tijdcompressie of tijdexpansie, het audiosignaal op de originele toonhoogte weergeeft.

Bovengenoemde faktor k kan zowel groter als kleiner dan 1 zijn. Is $k > 1$ dan zal er in de omzetter informatieverlies optreden, terwijl voor $k < 1$ het audiosignaal aan de uitgang van de omzetter op regelmatige tijdstippen gedurende een bepaalde tijd nul zal zijn.

De figuren in bijlage I lichten een en ander toe.

Er bestaat reeds voor dit doel een mechanisch ontwerp, namelijk de zogenaamde "Springermachine".

In principe bestaat deze uit een roterende trommel, waarop 4 weergavekoppen zitten. Afhankelijk van de snelheid van de taperekorder zal de trommel met een bepaalde hoeksnelheid links- of rechtsom draaien en wel zodanig dat de snelheid van de band t.o.v. de trommel, d.w.z. t.o.v. de weergavekoppen, hetzelfde blijft.

Het nu te bouwen apparaat zal echter uit louter elektronische onderdelen bestaan. Hierbij zal gebruik worden gemaakt van in de handel zijnde analoog-digitaal-omzetters en schuifregisters. Wat deze registers betreft gaan de gedachten uit naar geheugens van 500 bits of meer.

2.0 Principeschema

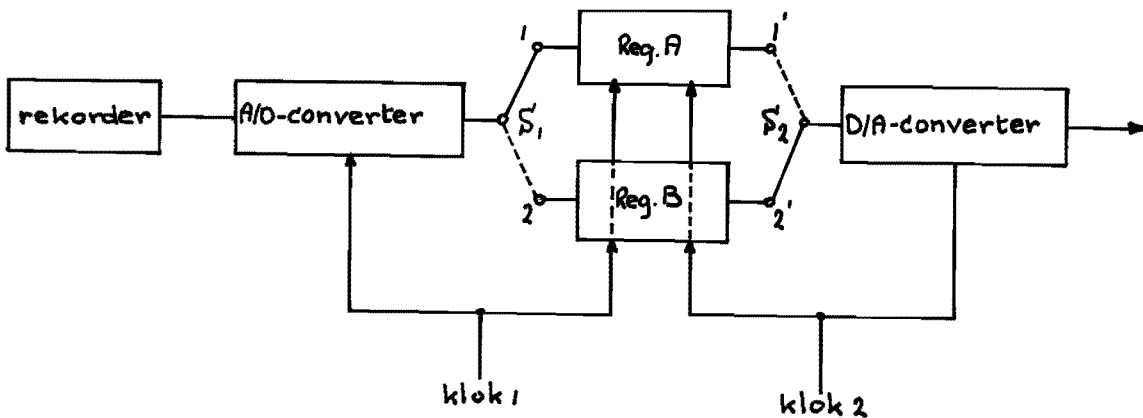


fig. 1

Het analoge signaal afkomstig van de rekorder, wordt in een A/D-converter omgezet in een PCM-sigitaal.

Wanneer schakelaar S_1 in stand 1 staat wordt het PCM-sigitaal in schuifregister A geschoven. Als register A volgeschoven is met klok 1, komt S_1 in stand 2 en wordt vervolgens register B volgeschoven. Terwijl S_1 naar stand 2 schakelt, komt S_2 in stand 1' zodat, tijdens het inlezen van register B, A uitgelezen kan worden. Deze uitlees-snelheid is afhankelijk van de bandsnelheid van de rekorder en wordt door klok 2 bepaald.

2.1 Bepaling frekwentie van klok 1 en het aantal geheugenbits

Voor $k < 1$ zal er aan de uitgang van de omzetter sprake zijn van korte onderbrekingen, stilteperiodes, in de spraak. Het blijkt nu dat voor een onderbrekingsfrekwentie van 10 tot 100 Hz de meest optimale verstaanbaarheid verkregen zal worden. Deze grenzen van 10 en 100 Hz zijn vrijwel onafhankelijk van de verhouding spraak/stilte. *)

Veronderstellen we dat de frekwenties van het audiosigitaal in de telefoonband liggen, d.w.z. een hoogste frekwentie van 3400 Hz, dan moeten we dus met een frekwentie groter dan 6800 Hz sampelen, zodat steeds aan het sampletheorema voldaan wordt.

Meestal neemt men echter een samplefrekwentie van 8 kHz. Omdat de D/A-converter na iedere codegroep een triggerpuls moet ontvangen, gaan we uit van 9 klokpulsen per codegroep van 8 bits. We hebben dus te maken met een klopfrekwentie van $9 \times 8 = 72$ kHz (klok 1). 72 kHz betekent een periode $T = 14 \mu\text{sec}$. Wanneer we uitgaan van een onderbrekingsfrekwentie van 30 Hz moeten we van het audiosigitaal, afkomstig van de rekorder, een "moot" van 30 msec nemen. Dat betekent dat we $\frac{30 \text{ msec}}{14 \mu\text{sec}}$ geheugenbits nodig hebben. Gemakshalve zullen we 4 schuifregisters van elk 500 bits gebruiken, zodat we totaal tot een register van 2000 bits komen.

*) The journal of the acoustical society of America, vol. 22, nr. 2, maart 1950
"The intelligibility of interrupted speech" - G.A. Miller and J.C.R. Licklider.

3.0 Sample-Hold-systeem

Met behulp van het sample-hold-systeem wordt de samplewaarde van een analoog signaal gedurende een bepaalde tijd vastgehouden. Deze tijd moet dan overeenkomen met de tijd die nodig is voor de omzetting van de samplewaarde in een digitale kode. Figuur 2 geeft een prinsipeschema van zo'n sample-hold-systeem. Hierbij is gebruik gemaakt van de $\mu A 715$, een high speed operational amplifier.

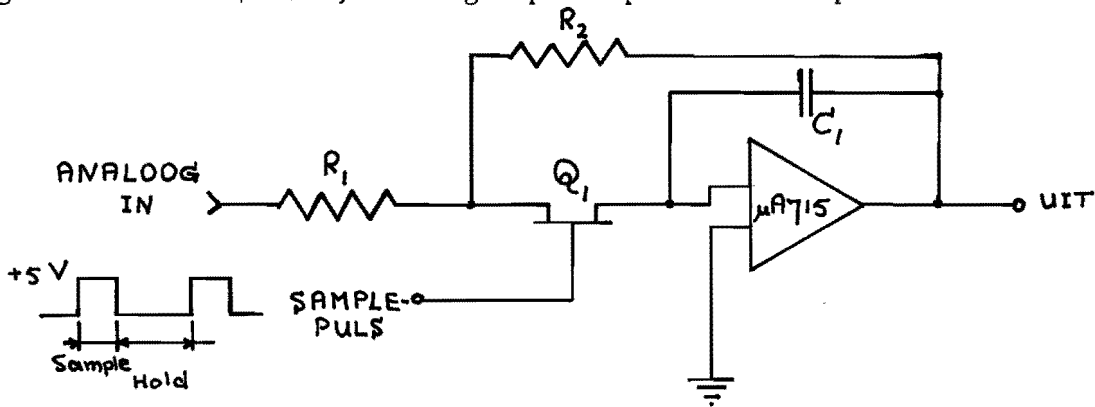


fig. 2

Als schakelaar Q_1 dicht is, d.w.z. $V_G = 5 \text{ V}$ werkt de schakeling als een operationele versterker, waarbij de versterking gegeven wordt door R_2/R_1 . Als $R_1 = R_2$ dan is de uitgang gelijk aan $-1 \times$ ingang.

Als Q_1 open is, funktioneert C_1 als holdingscapaciteit en de schakeling werkt nu als een operationele integrator.

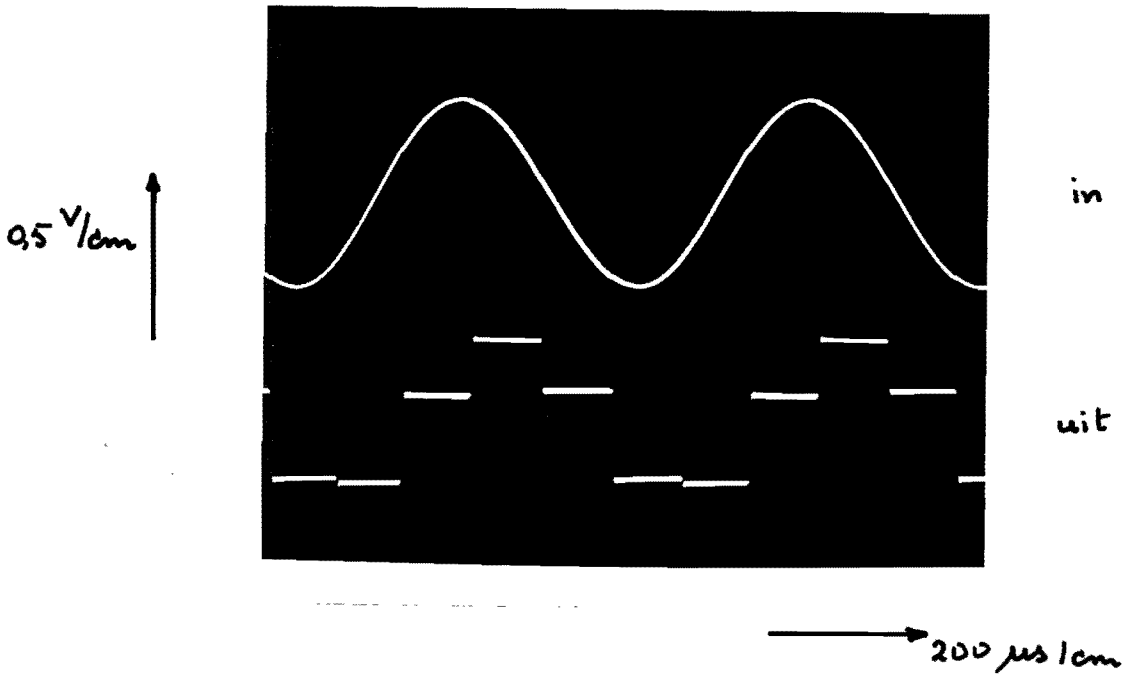
De tijd, die nodig is om bij het schakelen van hold naar sample het ingangsniveau te bereiken wordt gegeven door :

$$t_a = R_2 C_1 \ln\left(\frac{100}{\% \text{ nauwkeurigheid}}\right)$$

Een praktische sample-holdschakeling is te zien in bijlage II. In dit schema zijn componenten aanwezig om de DC en AC fouten, die bovenstaande figuur nog heeft, te compenseren. Bovendien wordt de driftneiging van de uitgangsspanning gedurende de holdtijd opgeheven door de instelstroom uit een aparte bron te halen, nl. R_4 , R_6 , R_8 en D. Onderstaande foto laat het in- en uitgangssignaal van het systeem zien.

Dokumentatie

Application Brief 128 - juni 1969 (Fairchild).



3.1 8-bit A/D-converter (Teledyne Philbrick 4105/4108)

Model 4105 heeft een kodeertijd <math>< 15 \mu\text{sec}</math>, terwijl de 4108 een kodeertijd <math>< 6 \mu\text{sec}</math> heeft.

De converters zijn extern te sturen met een convert commandsignaal. Deze negatieve triggerpuls moet minimaal 50 nsec en maximaal 500 nsec zijn. OP de neergaande flank wordt het voorafgaande datasignaal naar 0 gereset, terwijl op de opgaande flank de omzetting weer begint.

Ter bepaling van de digitale kode van de aangeboden sampelwaarde wordt dit sampel door een komparator met een interne referentiespanning vergeleken. Deze referentiespanning wordt door 8 stroombronnen over een weerstand R opgebouwd.

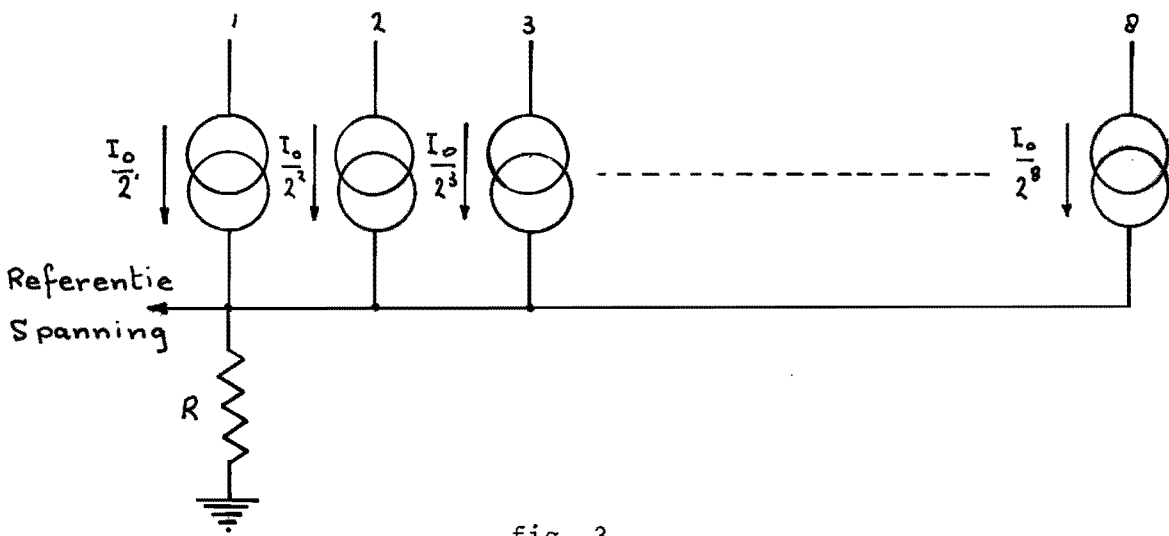
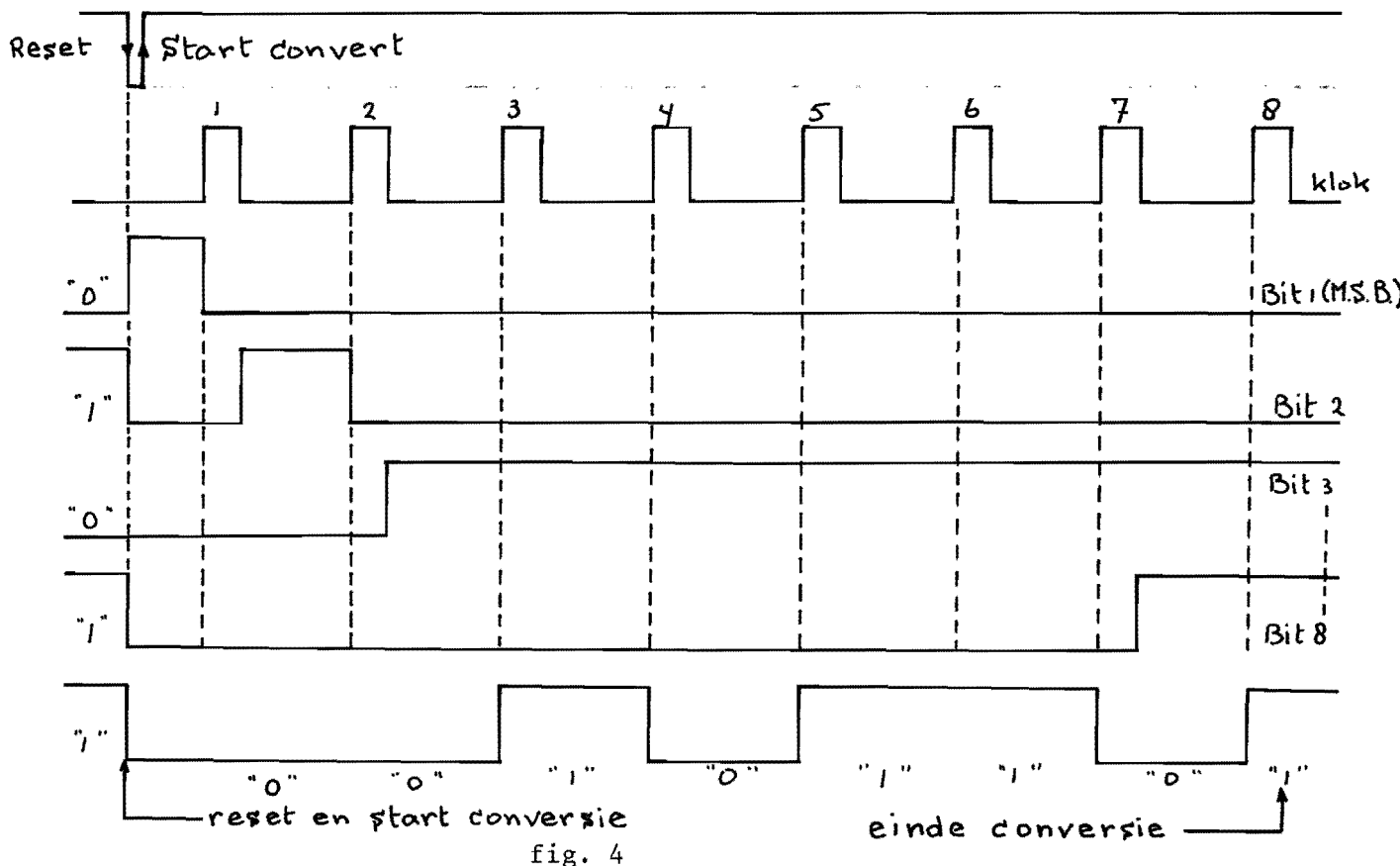


fig. 3

De stroomsterktes van de stroombronnen worden steeds een faktor 2 kleiner. Op de eerste klokpuls, na de convert command, wordt de eerste stroombron ingeschakeld. Dan wordt over weerstand R een referentiespanning verkregen. Deze spanning wordt in een komparator met de sampel vergeleken. Is deze referentiespanning > sampel, dan geeft de komparator een puls af, zodat de eerste stroombron uitgeschakeld wordt. Is de referentiespanning < sampel, dan geeft de komparator geen puls af, zodat stroombron 1 ingeschakeld blijft. Aldus wordt bit 1 (Most Significant Bit) bepaald. Vervolgens wordt stroombron 2 ingeschakeld en wordt bit 2 bepaald, enz.



Dokumentatie

Teledyne Philbrick : "Dataconversion"

12/10/8-bit A/D converters 4103/4104/4105/4106/4107/4108

3.2 A5F33119X 500 bit schuifregister

Dit register is een zogenaamd "pipe line" twee-fasig dynamisch schuifregister. Het wordt gestuurd door twee klokken, nl. ϕ_1^* en ϕ_2^* , die elkaar niet overlappen (bijlage III).

Data aan de ingang wordt opgeslagen in een geheugenbit op de neergaande flank van ϕ_1^* en wordt doorgegeven naar het volgende bit op de neergaande flank van ϕ_2^* .

<u>symbool</u>	<u>min.</u>	<u>max.</u>	<u>eenheid</u>
$t_{\phi w}$	0,2	100	μs
$t_{\phi d}$	0	100	μs
ϕ_r, ϕ_f		1,0	μs
t_s		100	ns
t_r	0		ns
t_{pd}		150	ns

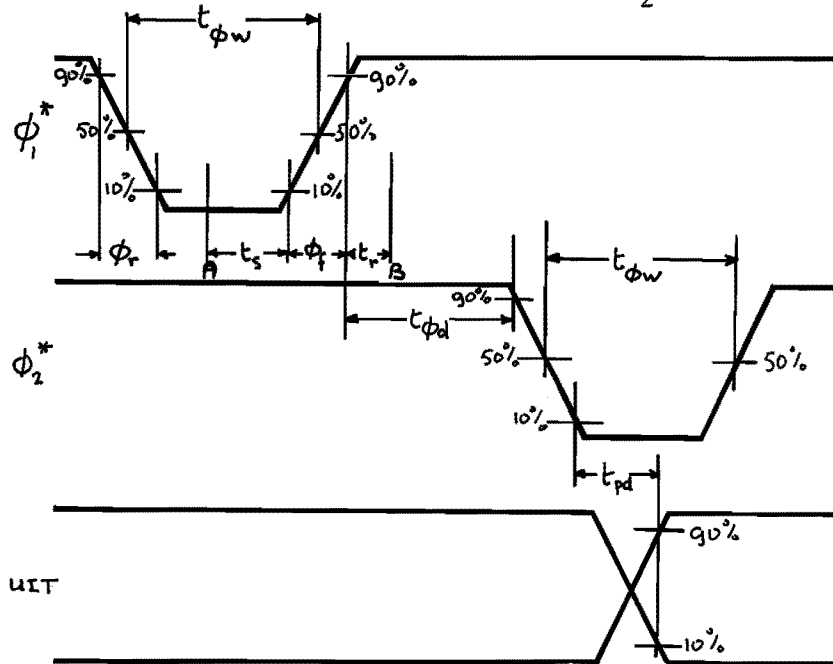


fig. 5

Gedurende de tijd AB wordt het ingangssignaal in het schuifregister opgebouwd. Als het datasignaal in deze tijd verandert, is het onzeker of deze verandering wordt gedetekteerd. Om deze onzekere werking te voorkomen, mag het datasignaal tussen A en B niet veranderen.

Door serieschakeling van vier 500-bit schuifregisters krijgt men een 2000-bit schuifregister.

De schuifregisteringangen kunnen direkt met een TT μ L of DT μ L uitgang worden gestuurd. Bovendien kan de uitgang van het MOS-register zonder ekstra voorzieningen, direkt TT μ L of DT μ L componenten sturen (bijlage IV).

Dokumentatie

3329-3330-3331 Silicon Gate Mos Shift Registers

Oktober 1970.

3.3 Besturing (Bijlage V, VI en VII)

Zoals we in de inleiding hebben gezien, hebben we per kodegroep te maken met 9 klokpulsen. Voor het schuifregister betekent dit in feite een kodegroep van 9 bits.

In een 2000-bit schuifregister: kunnen dus $\frac{2000}{9} \rightarrow 222$ kodegroepen van 9 bits. M.b.v. ϕ_1^* en ϕ_2^* worden deze bits in het schuifregister geschoven. De frekwentie van ϕ_1^* en ϕ_2^* komt overeen met de frekwentie waarmee we de A/D-converter bedienen. We gebruiken ϕ_2 dan ook als klok voor de converter, waardoor we bereiken dat gedurende de ϕ_1 -puls het datasignaal konstant blijft. Om tot de convert command (c.c.) te komen, delen we ϕ_1 door 9 (9310, $\frac{1}{4}$ 102; 4.8). En omdat deze puls "negatief" (logische "0") moet zijn gedurende minimaal 50 nsec en maximaal 500 nsec, gaat het uitgangssignaal van de 9-deler naar een "one-shot" (9602; 16).

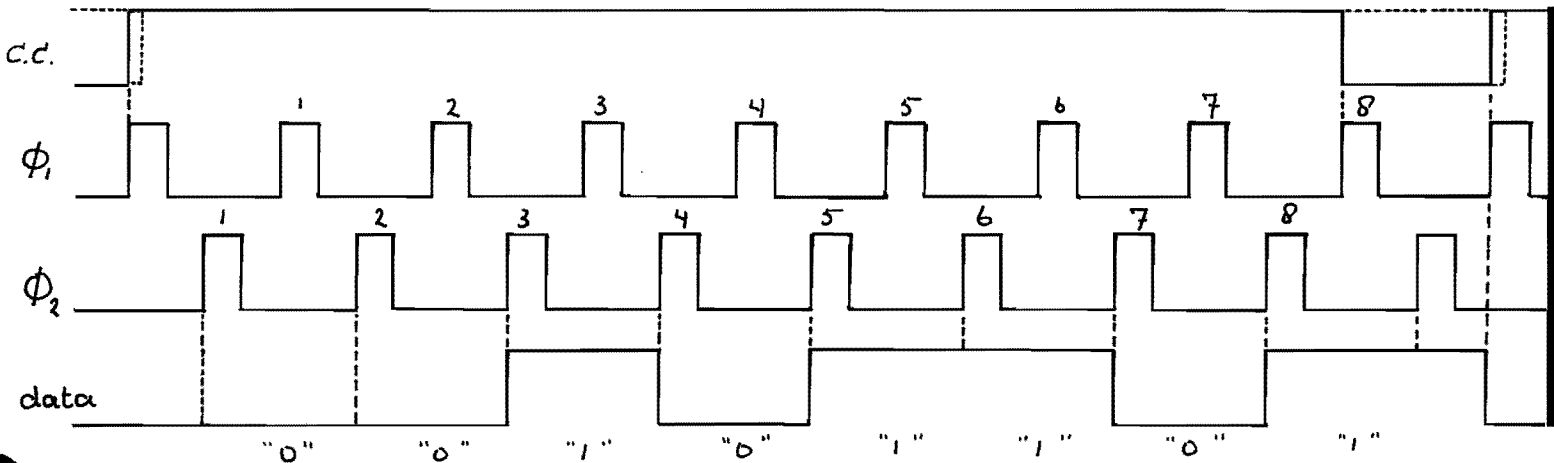


fig. 6

Als S_1 in stand 1 staat (fig. 1) wordt schuifregister A ingelezen, terwijl register B uitgelezen wordt. S_1 moet in deze stand blijven gedurende een tijd, die nodig is om 222 kodegroepen van 9 bits in het register te lezen. Om dit te bereiken wordt de convert command door 222 gedeeld (3×9310 , $\frac{1}{4}$ 102; 5,6,7,8). Het uitgangssignaal van de 222-deler komt dan in een flip flop (9000; 15), waardoor we een symmetrisch blok krijgen (A, bijlage V), waarin per halve periode zich precies $9 \times 222 = 1998$ ϕ_1 en ϕ_2 klokpulsen bevinden.

Dokumentatie

Application Note 34 - maart 1970 (Fairchild)

"The 9310-9316 Counters"

De tijd dat klok A "1" is, komt dus overeen met stand 1 van S_1 , waarbij register A ingelezen en register B uitgelezen wordt (S_2 in stand 2'). Dat wil dus zeggen dat we het datasignaal, afkomstig van de A/D-converter, wat de ingang van register A betreft met schakelklok A vermenigvuldigen ($2 \times 102; 21$) en wat register B betreft met klok $\bar{A}=B$ vermenigvuldigen ($2 \times 102; 21$).

De functies ϕ_1 en ϕ_2 , die het datasignaal in het register lezen, noem deze $\phi_{1,\ell}$ en $\phi_{2,\ell}$, kunnen eveneens met bovengenoemde schakelfuncties A en B vermenigvuldigd worden. Alleen moeten nu de perioden, waarin A en B "1" zijn, verlengd worden en wel zodanig, dat daarin 2000 $\phi_{1,\ell}$ pulsen en 1999 $\phi_{2,\ell}$ pulsen "vallen". Klok A en B komen daarvoor op de PE-pins van delers. Bij twee delers triggeren we de PE-ingang met klok B en sturen de C_p -ingang met $\phi_{1,\ell}$ en $\phi_{2,\ell}$ ($2 \times 9310, 2 \times \frac{1}{2} 102; 9, 11, 8, 13$). Als functie B "0" wordt, zal op de eerstvolgende flank van $\phi_{1,\ell}$ of $\phi_{2,\ell}$ de uitgang van de deler "1" worden, d.w.z. de uitgang van de deler wordt later dan functie A "1". Dit kunnen we opvangen door het uitgangssignaal weer bij A op te tellen. Als schakelfunctie B "1" wordt, zal het uitgangssignaal van de deler, afhankelijk van het geprogrammeerde deelgetal, weer "0" worden en "0" blijven totdat B weer "0" wordt. Figuur 7 laat schematisch zien, hoe we komen tot schakelfunctie $A_{\phi_1}^*$, die vermenigvuldigd moet worden met $\phi_{1,\ell}$, d.w.z. de klokfrequentie die met $\phi_{2,\ell}$ het datasignaal in schuifregister A schuift.

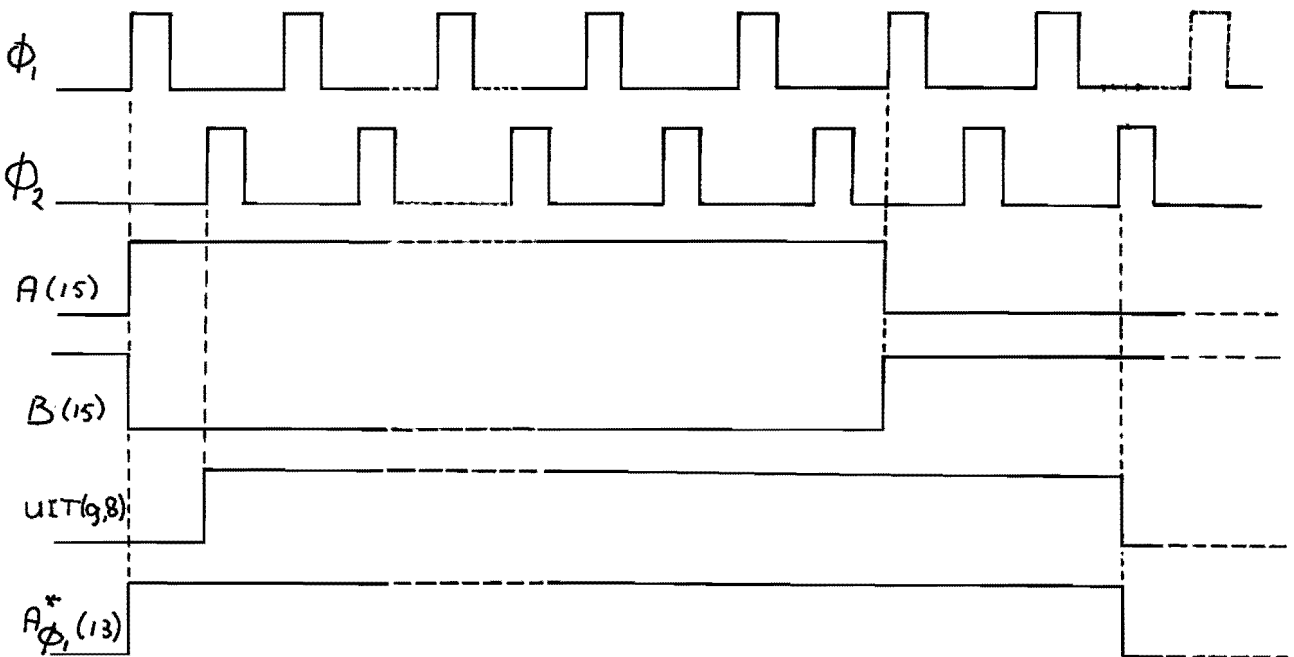


fig. 7

Op dezelfde manier worden zo de schakelfuncties $A_{\phi_2}^*$, $B_{\phi_1}^*$ en $B_{\phi_2}^*$ gegenereerd. De functies ϕ_1 en ϕ_2 , noem deze $\phi_{1,s}$ en $\phi_{2,s}$, die het ingelezen datasignaal weer uit de schuifregisters moeten lezen, worden vermenigvuldigd met $\overline{A_{\phi_1}^*}$, $\overline{A_{\phi_2}^*}$, $\overline{B_{\phi_1}^*}$ en $\overline{B_{\phi_2}^*}$ en daarna opgeteld bij hun korresponderende functies $\phi_{1,\ell}$ en $\phi_{2,\ell}$ (3x102; 24,25,26).

We hebben gezien dat de laatste $\phi_{1,\ell}$ puls (2000 e) ervoor zorgt dat het 1998-bit tellende datasignaal tot aan het "einde" van het schuifregister wordt doorgeschoven. De eerstvolgende puls die nu moet komen, is een $\phi_{2,s}$ puls die begint met het ingelezen datasignaal weer uit het schuifregister te schuiven. Hierbij moet men voor ogen houden, dat de uitleesklok volkomen asynchroon loopt met de inleesklok.

Het probleem is nu om ervoor te zorgen dat deze $\phi_{2,s}$ puls niet te vroeg komt, m.a.w. deze $\phi_{2,s}$ puls moet later komen dan de $\phi_{1,\ell}$ puls. Bovendien moeten we er zeker van zijn dat eerst de $\phi_{2,s}$ puls komt en niet de $\phi_{1,s}$ puls, omdat er anders bit-informatie verloren gaat.

Om dit te bereiken genereren we een triggerpuls C_{ϕ_1} , die ontstaat wanneer we $\overline{A_{\phi_1}^*}$ en $\overline{B_{\phi_1}^*}$ optellen ($\overline{A_{\phi_1}^*} \times \overline{B_{\phi_1}^*} = \overline{A_{\phi_1}^* + B_{\phi_1}^*}$; $\frac{1}{4}$ 102; 14). Deze C_{ϕ_1} voeren we naar de C_D -ingang van een flip flop (9000; 17). Deze flip flop sturen we met een klok, waaruit later $\phi_{1,s}$ en $\phi_{2,s}$ moeten ontstaan. De klok wordt nu door 2 gedeeld, maar het uitgangssignaal wordt echter "0" als C_{ϕ_1} "0" wordt. De flip flop begint op de eerstvolgende klokpuls nadat C_{ϕ_1} "1" is geworden, weer te delen. Op deze wijze wordt vermeden dat de eerste uitleespuls ($\phi_{2,s}$) samenvalt met de laatste $\phi_{1,\ell}$ puls. De uitgang van de getriggerde flip flop wordt nu de klokingang van de $\phi_{1,s}$, $\phi_{2,s}$ generator (9022, 102; 18,19). Deze "dual" flip flop wordt eveneens met C_{ϕ_1} getriggerd en wel zo dat C_{ϕ_1} komt op de S_D -ingang (pin 5) en de C_D -ingang (pin 15). Zodoende zal aan de Q-uitgang van de ϕ_1 , ϕ_2 generator, nadat C_{ϕ_1} weer "1" is geworden, de eerste puls ontstaan en pas een halve periode later de eerste puls aan de \overline{Q} -uitgang.

Dokumentatie

Fairchild Semiconductor Integrated Circuit Data Catalog 1970.

Waarheidstabellen TTL 9000, 9020, 9022.

De Q-uitgang wordt nu de $\phi_{2,s}$ en de \bar{Q} -uitgang de $\phi_{1,s}$ klok. Verder wordt $\phi_{1,s}(A) + \phi_{1,s}(B)$ de klok, waarmee de D/A-converter gestuurd wordt. Deze klok krijgt men uit de optelling van $\overline{B_{\phi_1}^*} \times \phi_{1,s}$ en $\overline{A_{\phi_1}^*} \times \phi_{1,s}$ ($\frac{3}{4}$ 102; 24,25,27). We nemen juist deze klok, omdat gedurende deze klokpulsen het datasignaal niet verandert (fig. 5). Bovendien hebben we voor de D/A-converter een triggerpuls nodig (Generale Reset) die na iedere kodegroep van 9 bits komt, zodat de converter "weet" wanneer de kodegroep begint en wanneer deze eindigt.

Deze triggerpuls krijgen we door C_{ϕ_1} naar de Master Reset-pin van een 9-deler (9310, $\frac{1}{4}$ 102; 9,14) te voeren. Hierbij wordt gebruik gemaakt van een gunstige samenloop van omstandigheden. Wanneer nl. C_{ϕ_1} , "0" wordt, stopt de 9-deler met delen. Als C_{ϕ_1} "1" wordt, telt de 9-deler eerst 9 klokpulsen, alvorens hij de geprogrammeerde kode inleest en de toegevoerde klok door 9 deelt.

De MOS-uitgangen van de registers A en B kunnen zoals reeds gezegd direct met TTL-ingangen worden doorverbonden. We vermenigvuldigen uitgang register A en B met respectievelijk $\overline{A_{\phi_2}^*}$ en $\overline{B_{\phi_2}^*}$ en tellen deze daarna op ($\frac{3}{4}$ 102; 27). Dit datasignaal gaat nu naar de D/A-converter, waar het corresponderende analoge signaal wordt gevormd.

3.4 8-bit D/A converter (bijlage VIII)

De 8-bit D/A converter dient voor het omzetten van het digitale datasignaal, afkomstig van de MOS-schuifregisters, in een analog signaal.

Het datasignaal wordt in een schuifregister van 8-bits (2x9300) geschoven. De 8 parallel-uitgangen van dit register worden verbonden met de parallel-ingangen van een MSI Dual 4-bit Latch (9308). Op een triggerpuls (G.R.) wordt de informatie aan de 8-parallel-ingangen van de latch weer doorgeschoven naar de 8-parallel-uitgangen. De informatie aan deze uitgangen blijft tot de volgende generale reset behouden, zodat gedurende deze tijd een sampel opgebouwd kan worden. Deze parallel-uitgangen sturen namelijk op hun beurt 8 stroombronnen (μA 722), die over een weerstandenmatrix (MCA 400-10-RE5C-001) een spanning, een sampel vormen, die korrespondeert met de 8-bit kode.

Via een "operational amplifier" (μA 741) kunnen we de vereiste sampelwaarde instellen.

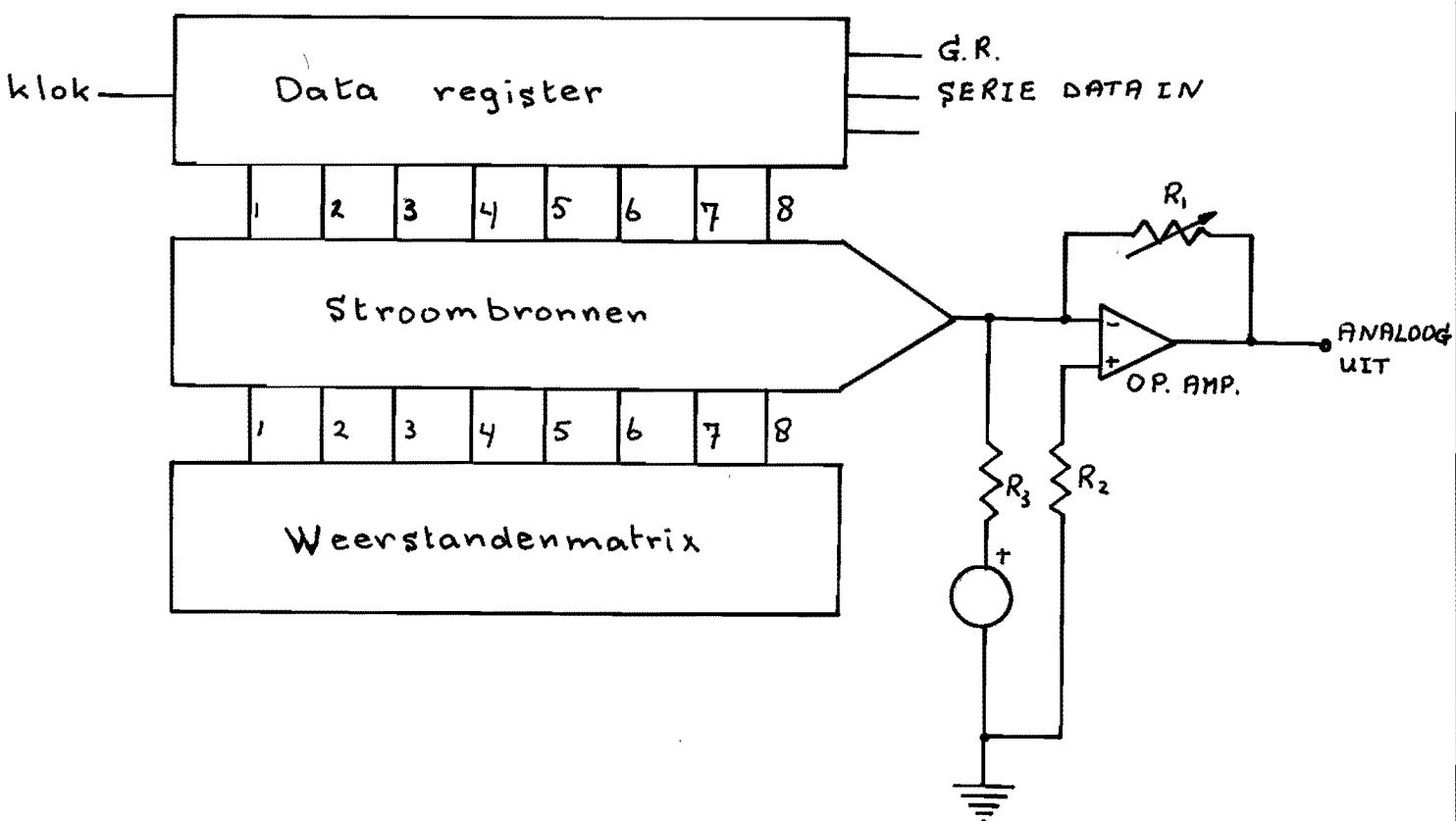


fig. 8

N.B.

1. Omdat de generale reset telkens na 9 klokpulsen ($\phi_{1,s}(A) + \phi_{1,s}(B)$) komt, zal de informatie, korresponderend met de eerste klokpuls na de generale reset (zie fig. 6), verloren gaan, hetgeen ook moet, omdat we uiteindelijk maar met 8-kode bits te maken hebben.
2. Voordat we het datasignaal in het schuifregister lezen, moeten we het nog inverteren. En wel vanwege het feit, dat een "1" of een "0" voor een stroombron van de μA 722 betekent, dat deze uitgeschakeld resp. ingeschakeld wordt, terwijl juist deze stroombron ingeschakeld resp. uitgeschakeld moet zijn.
3. Een komplette D/A converter is reeds gebouwd, alleen kunnen hier een paar componenten vervallen (zie bijlage VIII, IX).

Dokumentatie

Fairchild Semiconductor Integrated Circuit Data Catalog 1970, MSI9308, 9300; μA 741 Application Bulletin - september 1968 (164) μA 722 10-bit current source
Rodelco Electronics MCA 400-10-RE5C-001 weerstandenmatrix

4.0 Slotwoord

In de beschikbare tijd was het niet mogelijk om het systeem te beproeven. Aan de hand van luisterproeven kan later de meest optimale onderbrekingsfrequentie bepaald worden. Bovendien wint het systeem misschien aan kwaliteit, wanneer de stilteperiodes in het audiosignaal na de omzetter "opgevuld" worden. Hiervoor zou men een gedeelte van de informatie kunnen herhalen.

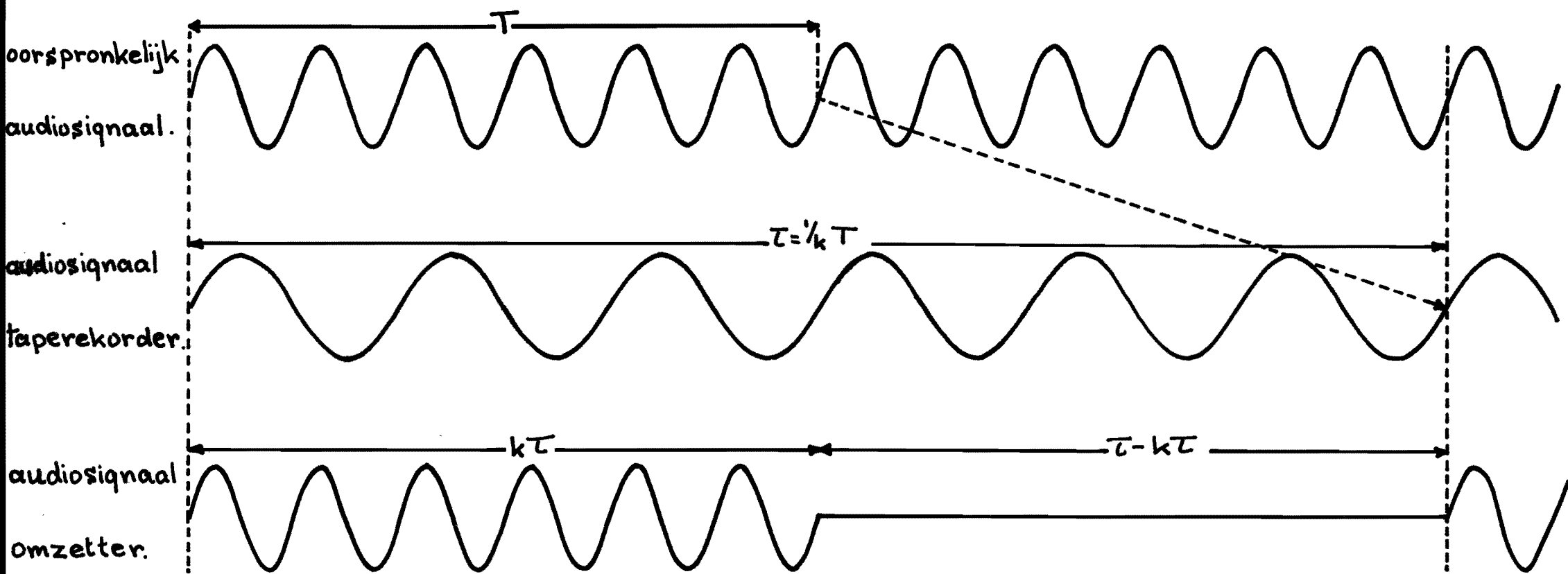
Van de gelegenheid wil ik ook gebruik maken om de groep ECA te bedanken voor de wijze, waarop ze mij, bij mijn indiensttreding als studentassistent, al direkt in de groep hebben opgenomen.

Speciaal wil ik Jan en Leo bedanken voor de hulp die ze mij geboden hebben bij mijn afstudeerwerk en ook Sjan wil ik niet vergeten, die het typewerk van mijn afstudeerverslag heeft verzorgd.

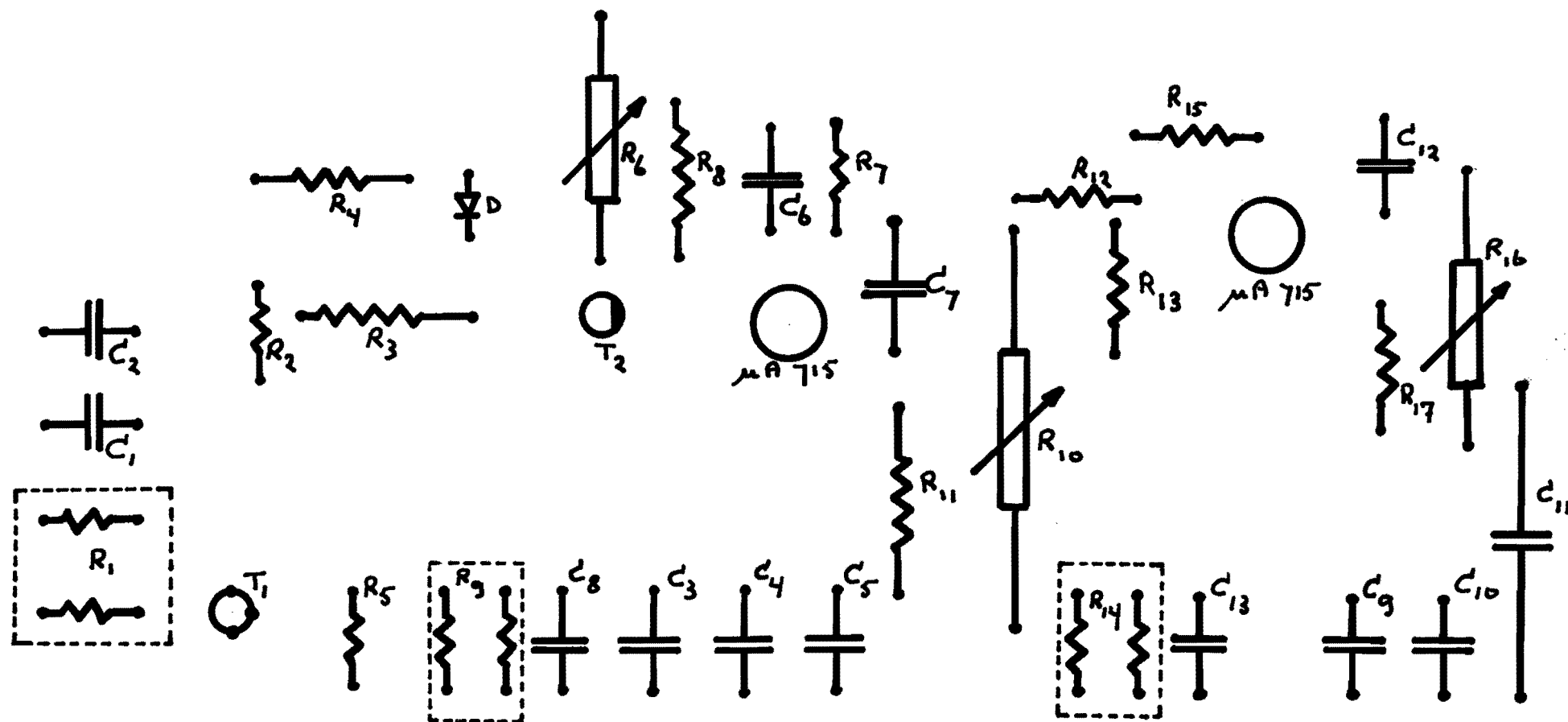
A handwritten signature in black ink, appearing to read 'F.J.C.M. Baak', written in a cursive style with a large initial 'F' and 'B'.

F.J.C.M. Baak

juni 1972.



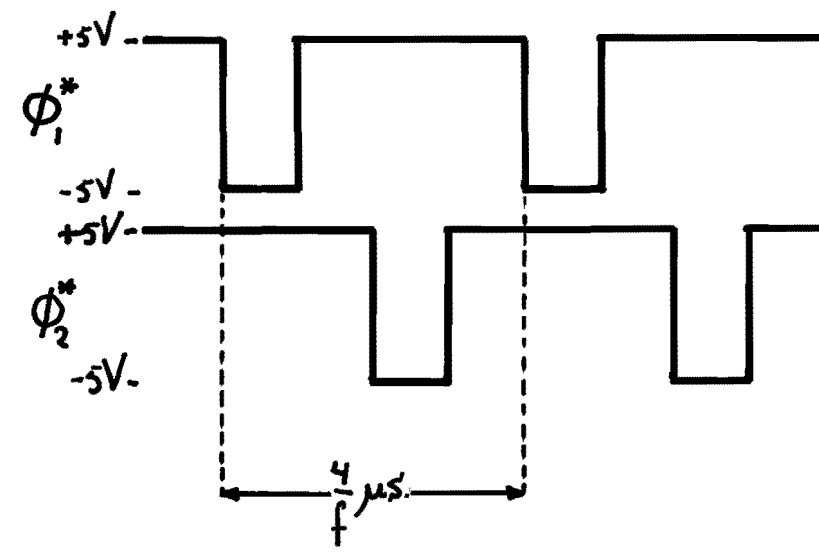
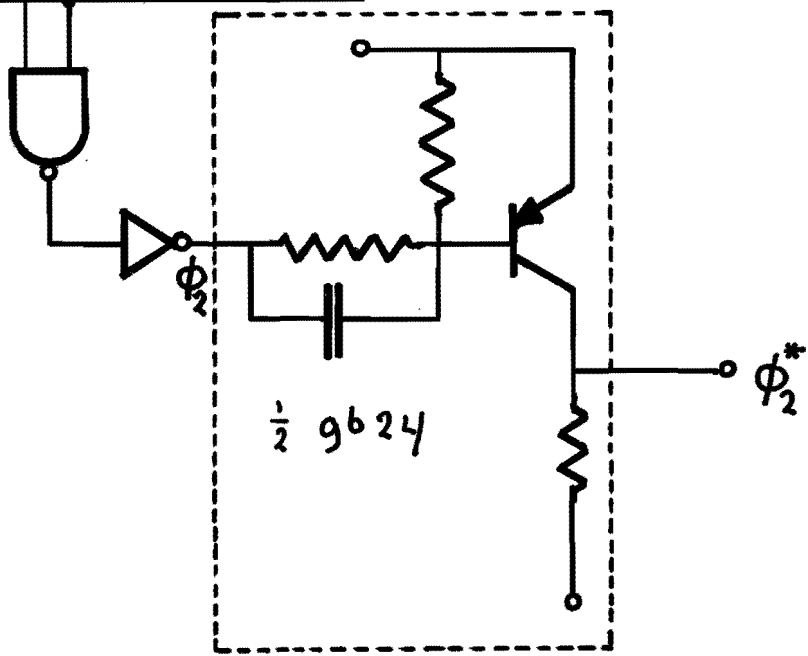
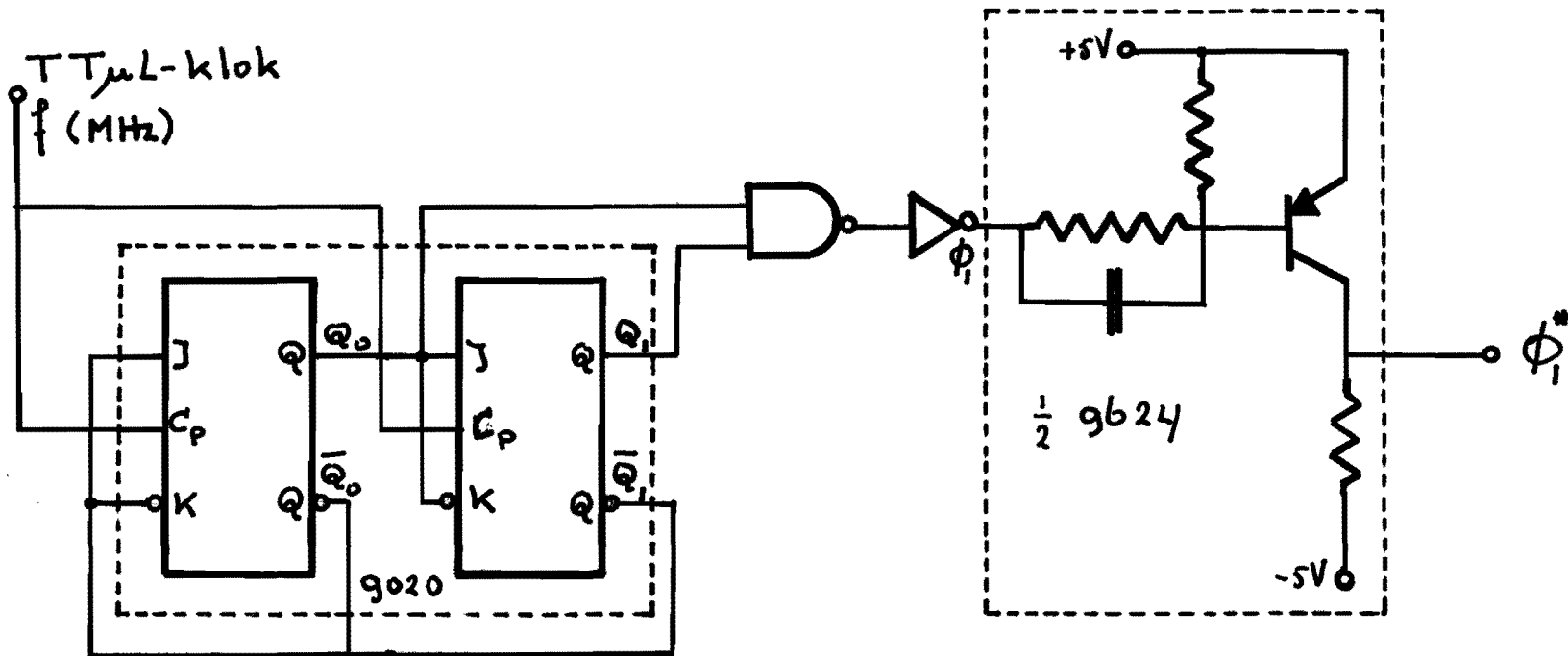
$$k = \frac{1}{2}$$



SAMPLE - HOLD SYSTEEM (opbouw)

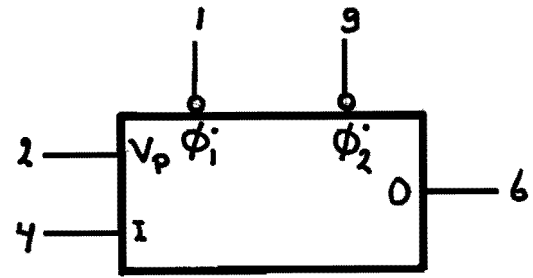
Komponentenlijst Sample-Hold-Systeem

$R_1 = 2k\Omega$	$C_1 = 56 \text{ pF}$	I.C. : 2x $\mu\text{A} 715$
$R_2 = 1k\Omega$	$C_2 = 47 \text{ pF}$	T_1 : BFY 90
$R_3 = 1k\Omega$	$C_3 = 2k2 \text{ pF}$	T_2 : 2N4360
$R_4 = 15k\Omega$	$C_4 = 10 \text{ kpF}$	D : 1N4148
$R_5 = 1k\Omega$	$C_5 = 1k2 \text{ pF}$	
$R_6 = 50k\Omega \text{ potm.}$	$C_6 = 1k2 \text{ pF}$	
$R_7 = 1k\Omega$	$C_7 = 470 \text{ pF}$	
$R_8 = 390k\Omega$	$C_8 = 10 \text{ kpF}$	
$R_9 = 750 \Omega$	$C_9 = 2k2 \text{ pF}$	
$R_{10} = 50k\Omega \text{ potm.}$	$C_{10} = 10 \text{ kpF}$	
$R_{11} = 82k\Omega$	$C_{11} = 1 \text{ kpF}$	
$R_{12} = 1k\Omega$	$C_{12} = 470 \text{ pF}$	
$R_{13} = 39k$	$C_{13} = 20 \text{ kpF}$	
$R_{14} = 750 \Omega$		
$R_{15} = 1k\Omega$		
$R_{16} = 50k\Omega \text{ potm.}$		
$R_{17} = 6k8$		

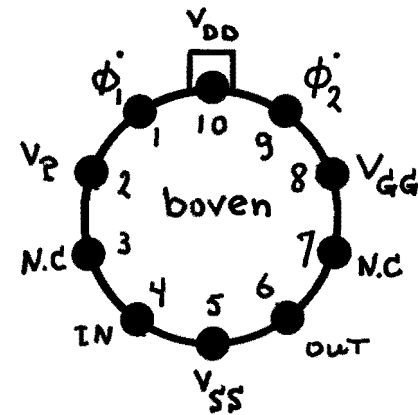


● $\phi_1^* - \phi_2^*$ - generator. ●

AS533119X 500-bit schuifregister

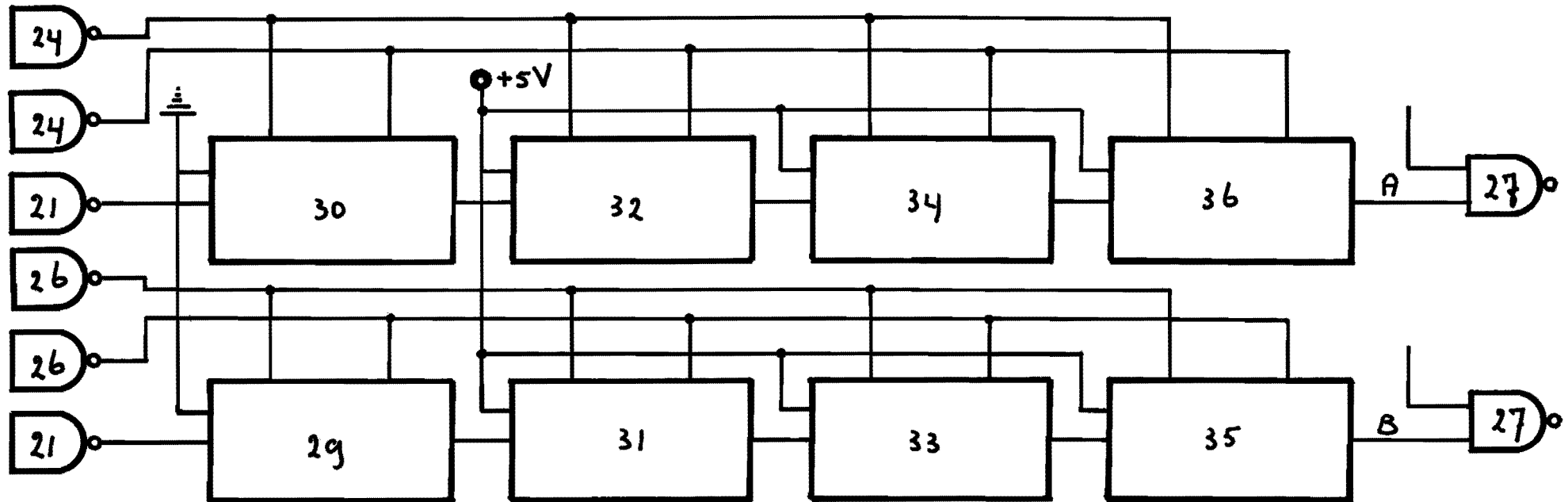


logika symbol

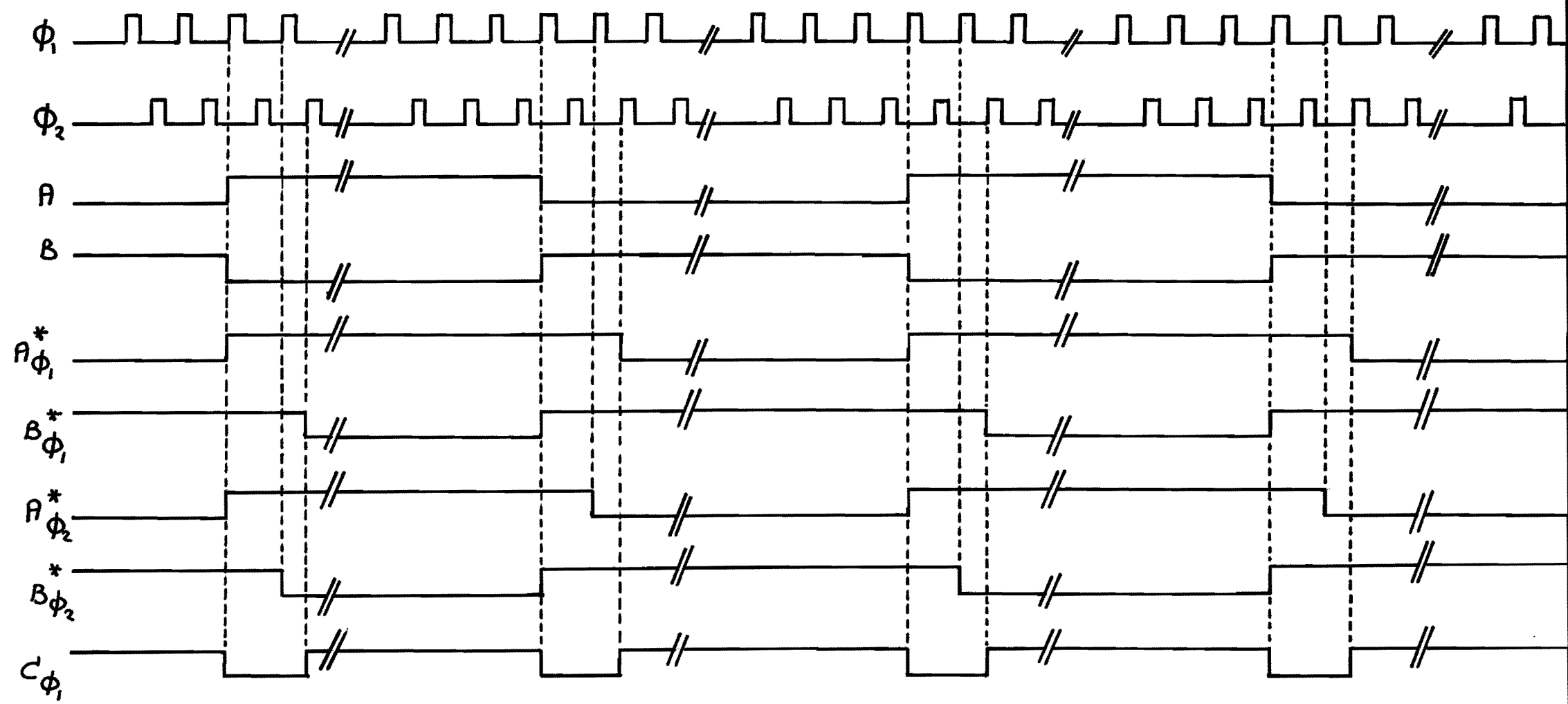
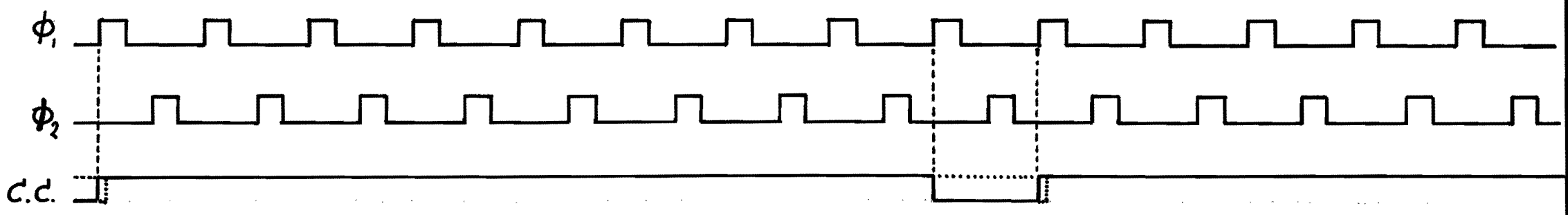


aansluitingen

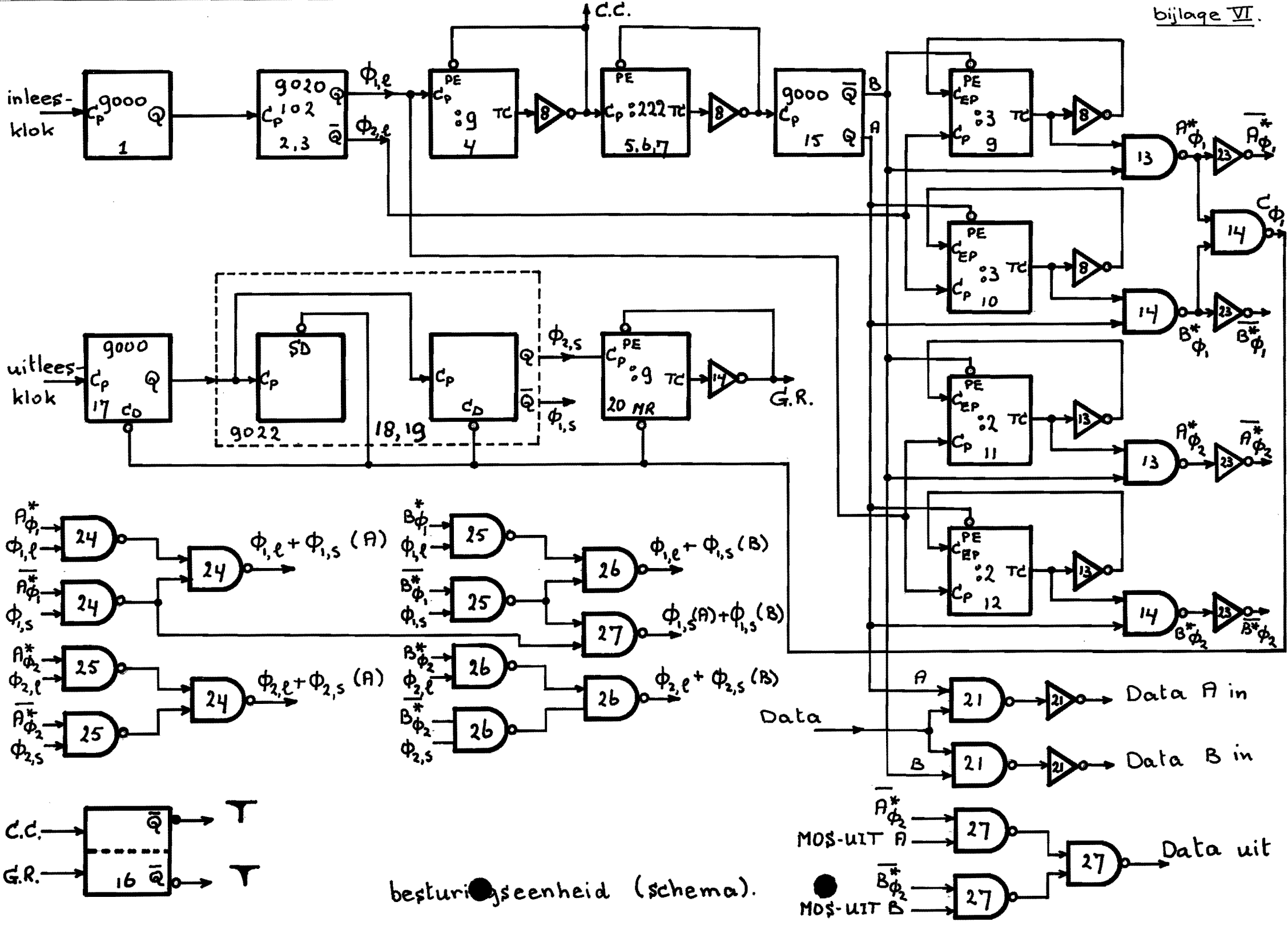
$V_{SS} = 5V$
 $V_{DD} = 0V$
 $V_{GG} = -12V$



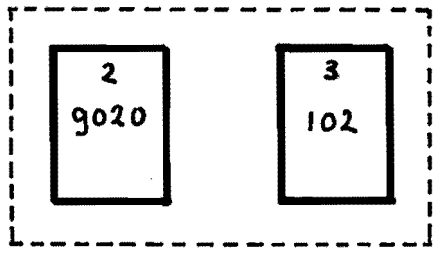
schuifregisters A en B (schema)



tijddiagram besturingseenheid.



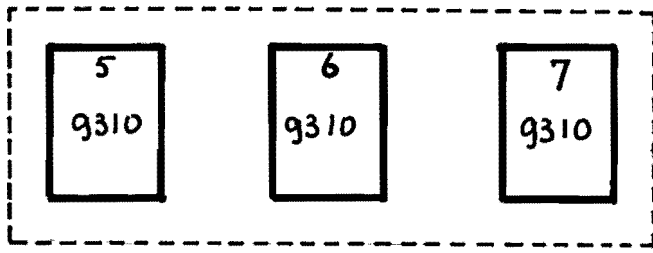
1
9000



2
9020

3
102

4
9310



5
9310

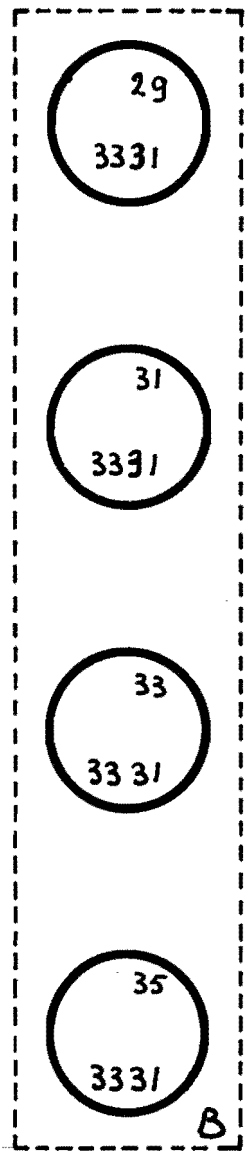
6
9310

7
9310

8
102

9
9310

10
9310

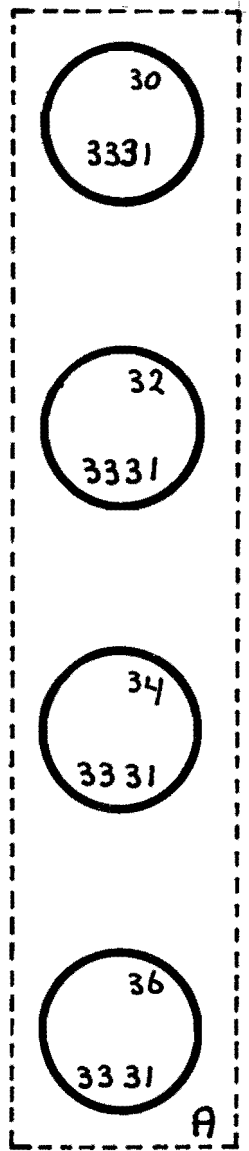


29
3331

31
3331

33
33 31

35
3331



30
3331

32
3331

34
33 31

36
33 31

16
9602

15
9000

14
102

13
102

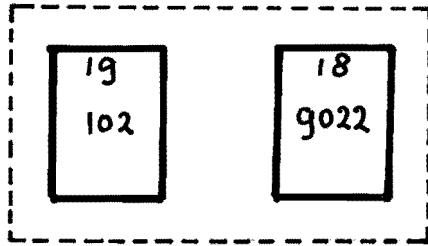
12
9310

11
9310

22
9624

21
102

20
9310



19
102

18
9022

17
9000

28
9624

27
102

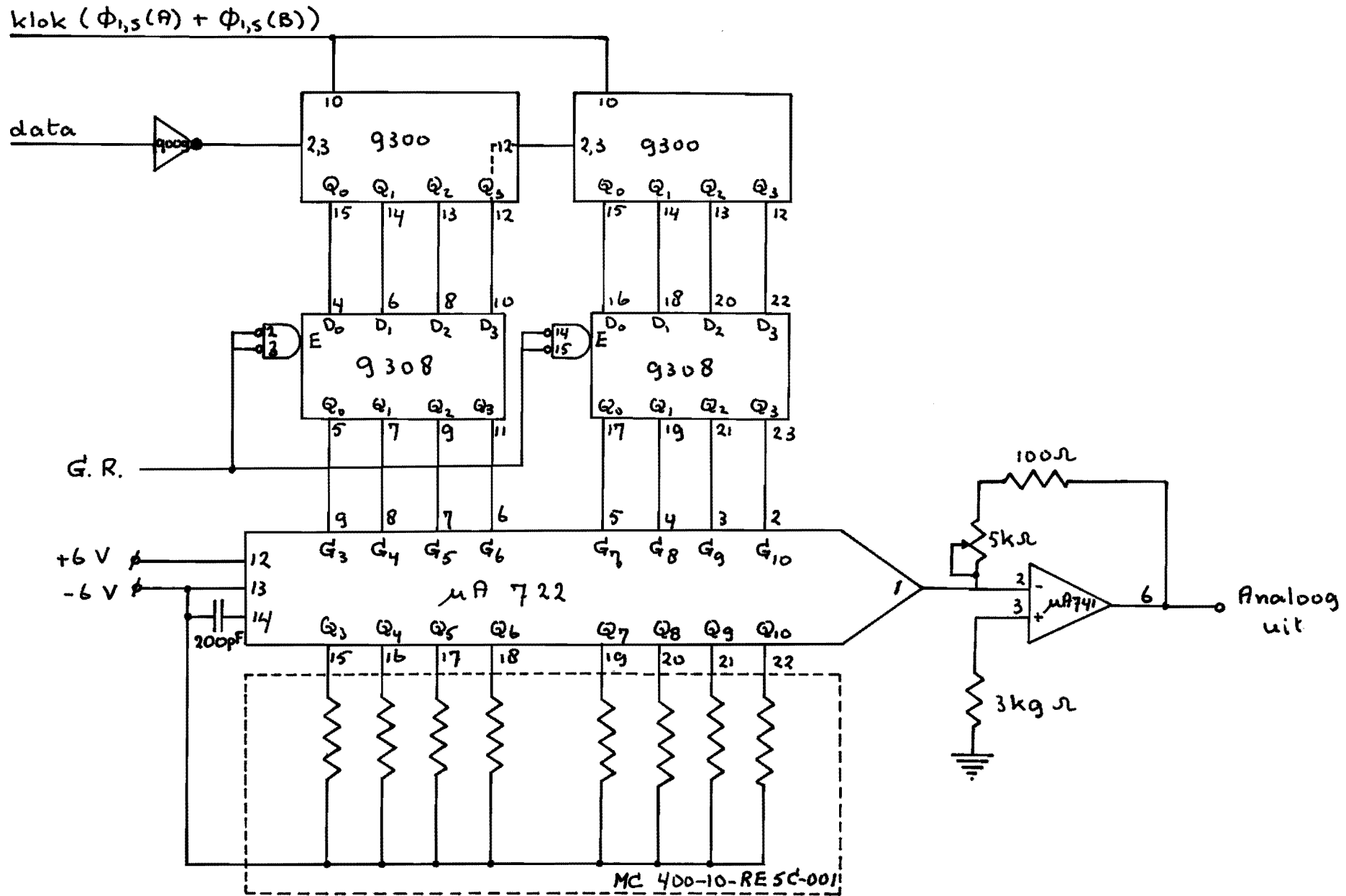
26
102

25
102

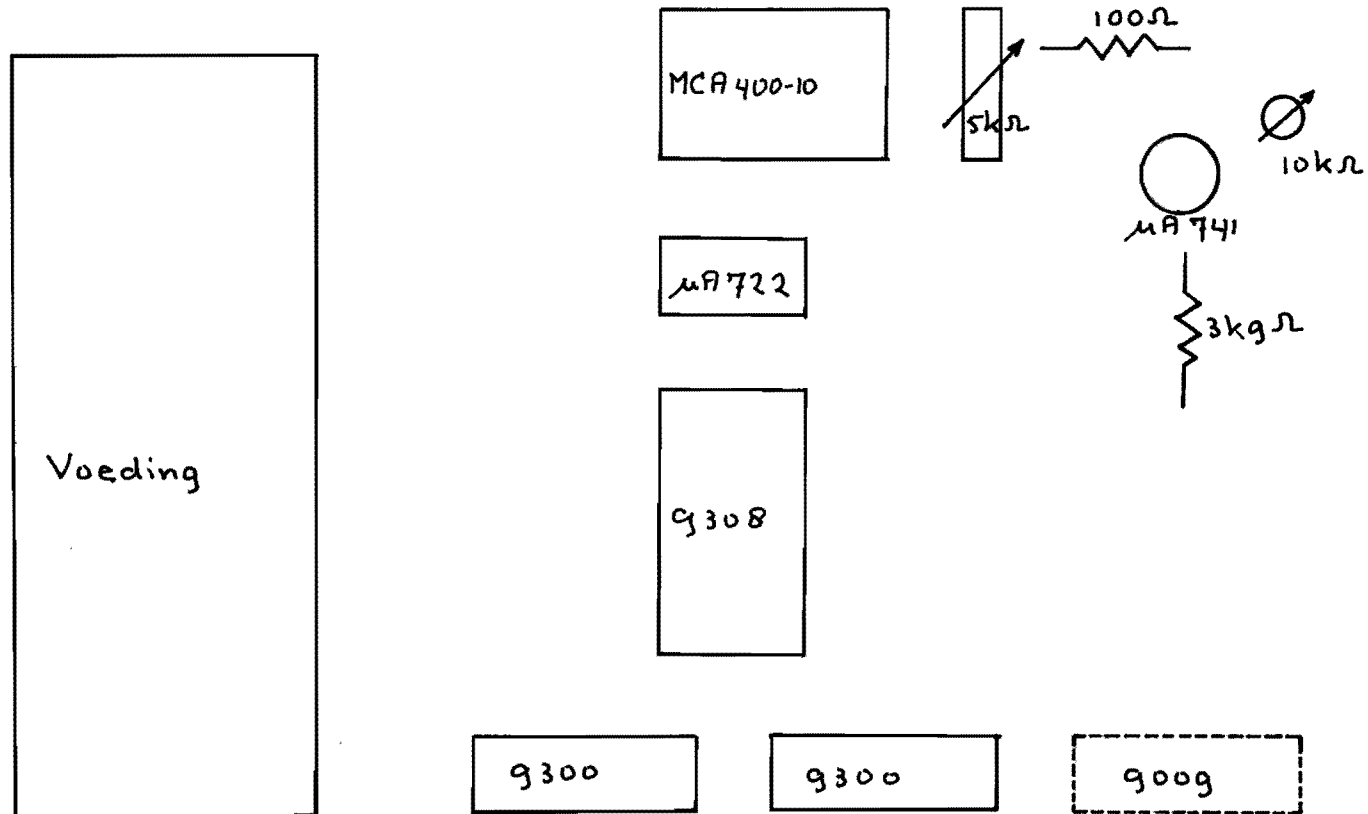
24
102

23
102

onderaanzicht besturingseenheid (opbouw).



D/A-converter (schema)



D/A-converter (opbouw)

Lijst van gebruikte I.C.'s

TT μ L 9002, T102D1	(11x)
TT μ L 9009	(1x)
TT μ L 9000	(3x)
TT μ L 9020	(1x)
TT μ L 9022	(1x)
TT μ L 9602	(1x)
U.C. 9624	(2x)
L.P.M.S.I. 93L10	(9x)
5F333119	(8x)
M.S.I. 9308	(1x)
M.S.I. 9300	(2x)
μ A 722	(1x)
MCA 400-10-RE5C-001	(1x)
μ A 741	(1x)
μ A 715	(2x)