

MASTER

Microprocessorgestuurde tweepulsige rij-/remchopper voor een elektrische auto

Bauwens, P.P.H.

Award date:
1982

[Link to publication](#)

Disclaimer

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

General rights

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

Take down policy

If you believe that this document breaches copyright please contact us providing details, and we will remove access to the work immediately and investigate your claim.



AFSTUDEERVERSLAG.

Instelling: Technische Hogeschool Eindhoven.

Afdeling: Elektrotechniek.

Vakgroep: Elektromechanica.

Microprocessorgestuurde tweepulsige
rij-/remchopper voor een elektrische
auto.

P.P.H. Bauwens E4c.

EM 82-27

Hooglera(a)r(en):

Mentor(en): H.C.J. Zeegers, R.W.P. Kerkenaar.

Eindhoven, juli 1982.

De Afdeling der Elektrotechniek van de
Technische Hogeschool Eindhoven aanvaardt
geen verantwoordelijkheid voor de inhoud
van stage- en afstudeerverslagen.



Microprocessorgestuurde tweepulsige rij/rem chopper voor een elektrische auto.

<u>Inhoud</u>	<u>Blz.</u>
1. Samenvatting	3
2. Voorwoord	4
3. De chopper	5
3.1 Inleiding	5
3.2 De werking van de chopper	5
4. De beschrijving van de microcomputer	8
4.1 Inleiding	8
4.2 De microcomputerkit type SDK 85	8
4.3 De extra hardware-uitbreidingen	9
4.4 De beschrijving van de deelschakelingen	9
5. De structuur van het programma	18
6. Bespreking van het besturingsprogramma versie 2.1	20
6.1 Inleiding	20
6.2 De initialisatie	20
6.3 De hoofdlus	23
6.4 De besturing van de chopper	23
6.5 De interrupt routines van de timers	26
6.6 De routine voor het bewaken van de flux in de trafo	30
7. Bespreking van het besturingsprogramma versie 2.2	31
7.1 Inleiding	31
7.2 De hoofdlus	31
7.3 De routine voor fluxbewaking van programma versie 2.2	31
8. Bespreking van het besturingsprogramma versie 2.3	35
8.1 Inleiding	35
8.2 De stroomregeling	35
8.3 Het programma voor de stroomlus	38
9. Evaluatie van de bereikte resultaten	39
10. Suggesties voor verdere ontwikkeling	41



Inhoud

Blz.

Bijlagen:

- | | |
|--|--------------|
| 1. De principeschema's van de SDK 85 System Design Kit | (5 bladen) |
| 2. De geassembleerde listings van de besturingsprogramma's | (19 bladen) |
| 3. Lijst van aanbevolen literatuur | (2 bladen) |
| 4. Aansluitgegevens van de connectoren | (1 blad) |
| 5. Het opstarten van het systeem | (2 bladen) |



1. Samenvatting

In dit verslag wordt een besturing beschreven voor een tweepulsige chopper die werd ontwikkeld voor het regelen van de ankerspanning van de tractiemotor van een elektrische auto.

Het besturingssysteem is gerealiseerd met behulp van een micro-processor, waarbij gebruik gemaakt wordt van een microcomputerkit type SDK 85, aangevuld met enige zelf ontwikkelde hulpschakelingen samen met de benodigde programmatuur.

Het verslag omvat een korte beschrijving van de toegepaste chopper, een beschrijving van de microcomputer en de gebruikte hulpschakelingen en een volledige beschrijving van de gebruikte programmatuur.

Hoewel de hier beschreven besturing reeds functioneert, zal deze voor een praktische toepassing nog enige verdere ontwikkeling behoeven.



2. Voorwoord

Het projekt dat in dit verslag beschreven wordt is een vervolg op een projekt dat ik in mijn stageperiode aan de TH Eindhoven in de vakgroep Elektromechanica uitgevoerd heb.

Dit projekt betrof een microprocessorgestuurde tweequadranchopper voor het regelen van het toerental van een gelijkstroommotor en omvatte tevens een microprocessorgestuurde toerentalregeling.

Omdat deze chopper tot tevredenheid heeft gewerkt heeft men mij gevraagd om een nieuwe besturing te ontwikkelen voor een tweepulsige rij/rem chopper voor toepassing in een elektrische auto in plaats van het verder ontwikkelen van de toerenregeling, hetgeen eerst in de bedoeling lag.

In een eerder projekt was reeds een gecombineerde analoog/digitale besturing ontwikkeld voor de tweepulsige chopper die echter nooit tot tevredenheid gewerkt heeft.

De nieuwe besturing zou dus gerealiseerd worden met een microcomputer, hetgeen natuurlijk voordelen ten aanzien van de precisie en de stabiliteit met zich meebrengt.

In de volgende bladzijden wordt deze besturing beschreven.

3. De chopper

3.1 Inleiding

Om de werking van de besturing goed te kunnen begrijpen is het nodig om eerst de werking van de gebruikte chopper nader toe te lichten.

De gebruikte chopper (fig.1) is een tweepulsige chopper met een gemeenschappelijke commutatiecondensator. Tevens kan de chopper met behulp van een relais worden omgeschakeld voor tweequadrantenbedrijf.

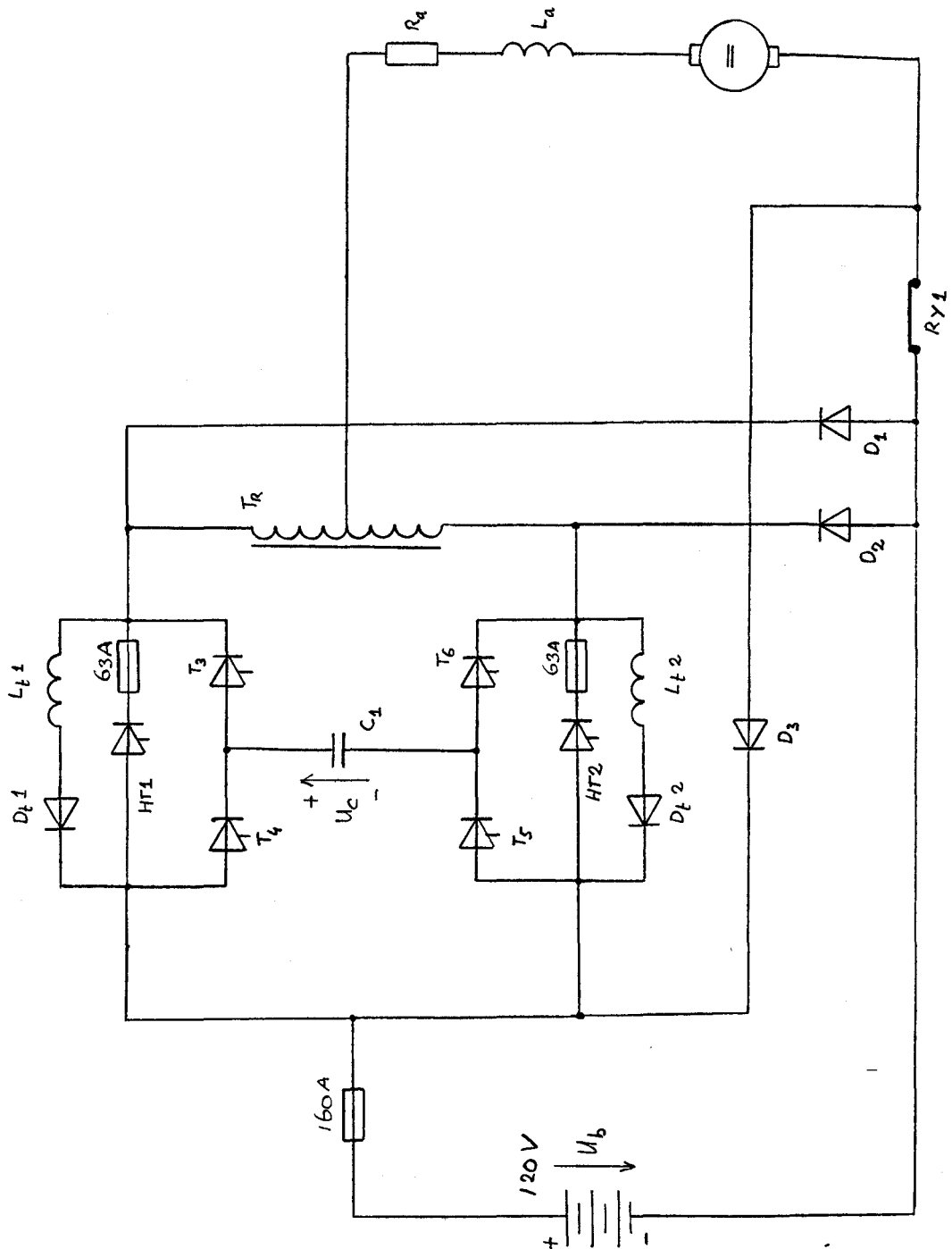
3.2 De werking van de chopper

Wanneer de gemeenschappelijke commutatiecondensator C1 geladen is en een polariteit heeft zoals in fig.1 aangegeven, dan kan hoofdthyristor HT1 ontstoken worden en na een bepaalde tijd weer gedoofd worden door het ontsteken van het doofthyristorpaar T3 en T5. Na een halve periodetijd wordt hoofdthyristor HT2 ontstoken. Ten gevolge van het doven van HT1 is de condensator C1 via de belasting omgeladen tot de tegengestelde polariteit, zodat hoofdthyristor HT2 na de ingestelde geleidingstijd kan worden gedoofd door het ontsteken van het doofthyristorpaar T4 en T6, waarbij de condensator opnieuw wordt omgeladen en het proces zich kan herhalen. De ingestelde geleidingstijd is het actieve deel van de dutycycle.

De dioden D1 en D2 zijn de vrijlooptioden (in rijbedrijf) voor resp. chopperdeel 1 en chopperdeel 2. Deze vrijlooptioden zorgen ervoor dat gedurende de uit-tijd van de thyristoren de spanning over de belasting nul wordt. De stroom commuteert hier van HT1 op D1 en van HT2 op D2.

Wanneer het relais wordt geopend wordt de chopper omgeschakeld voor rembedrijf, waarbij van tevoren het veld van de elektromotor wordt omgekeerd zodat de ankerspanning omkeert.

De beide chopperhelften staan nu via D3 parallel aan de belasting (de elektromotor) waarbij gedurende de in-tijd van de thyristoren de machinestroom via de thyristoren loopt en gedurende de uit-tijd de accubatterij via de vrijlooptioden D1 en D2 wordt bijgeladen zodat de energie in de machine en de bewegingsenergie van de elektrische auto kan worden gerecupereerd.



Het principeschema van de chopper - figuur 1



De transformator in de schakeling dient voor een goede stroomverdeling tussen de beide chopperhelften.

De componenten $Dt1$ en $Lt1$ en de componenten $Dt2$ en $Lt2$ vormen de teruglaadtakken om de omlaadtijd van de commutatiecondensator ook bij kleine belastingsstromen voldoende kort te houden zodat het regelbereik van de dutycycle ook bij kleine belastingsstromen voldoende groot is.

De beschrijving van de chopper moet noodgedwongen summier blijven aangezien deze reeds een compleet verslag omvat. Voor gedetailleerde informatie over deze chopper verwijs ik daarom naar Lit.1 waarin de chopper en de dimensionering hiervan uitgebreid beschreven worden.

4. De beschrijving van de microcomputer

4.1 Inleiding

zoals reeds vermeld wordt voor dit projekt gebruik gemaakt van een SDK 85 microcomputerkit van Intel. Deze microcomputer is bedoeld als basis voor een eigen toepassing. De geboden faciliteiten in de basisuitvoering zijn minimaal, zodat het nodig was om zelf nog een aantal schakelingen te ontwerpen om de vereiste functies uit te voeren. In dit hoofdstuk wordt een beschrijving gegeven van de SDK 85 kit en van de hieraan toegevoegde schakelingen.

4.2 De microcomputerkit type SDK 85

De SDK 85 kit is een microcomputer op basis van een 8085 microprocessor en omvat in de eenvoudigste uitvoering slechts de meest noodzakelijke componenten om een werkend systeem te verkrijgen. De microcomputer is opgebouwd op een enkele printplaat en heeft een hexadecimaal toetsenbord met functietoetsen en een hexadecimale uitlezing met 6 posities om het systeem te kunnen programmeren. Het in ROM aanwezige monitorprogramma omvat de mogelijkheid om het geheugen te inspecteren en te wijzigen, om de interne registers van de microprocessor te bekijken en te wijzigen, om een gebruikersprogramma te starten en om dit in single step te doorlopen. Verder bevat de monitor nog een aantal subroutines om gegevens op het display zichtbaar te maken en om data via het toetsenbord op te vragen welke door de gebruiker in zijn eigen programma kunnen worden aangeropen.

De faciliteiten voor de gebruiker omvatten verder 256 bytes RAM en een aantal I/O lijnen voor communicatie met de buitenwereld. Deze faciliteiten zijn onvoldoende voor een toepassing van enige omvang, zodat het nodig was om de microcomputer uit te breiden met enige hulpschakelingen. Ten behoeve hiervan werd een set IC's aangeschaft voor het bufferen van de bussignalen van de processor welke IC's op de hiervoor voorziene plaats op de print van de SDK 85 kit kunnen worden geplaatst.

Alle verdere uitbreidingen werden op de daarvoor bestemde experimenteerruimte geplaatst. Voor een gedetailleerde beschrijving van de SDK 85 System Design Kit verwijs ik naar Lit.2, de principeschema's zijn opgenomen in bijlage 1.

4.3 De extra hardware-uitbreidingen

De SDK 85 kit beschikt in de basis uitvoering slechts over 256 bytes RAM waarvan ook nog een deel nodig is voor het monitorprogramma zodat er nog slechts 200 bytes over zijn voor de gebruiker.

Aangezien het besturingsprogramma meer ruimte vergt, werd het wenselijk geacht om de geheugencapaciteit met 1 Kbyte RAM (1024 bytes) uit te breiden. Het is dan mogelijk om het totale besturingsprogramma in RAM te zetten zodat het met behulp van de monitorfuncties van de SDK 85 mogelijk is om het programma eventueel te corrigeren.

Om niet iedere keer het programma met de hand te moeten invoeren is ook voorzien in een 2 Kbyte EPROM type 2716. Deze is aanzienlijk goedkoper en makkelijker te programmeren dan de 8755 EPROM-I/O chip die voor dit doel in de SDK 85 kit geplaatst kan worden.

De 2716 EPROM doet dus dienst als drager en uitwisselingsmedium voor het besturingsprogramma dat vanuit deze EPROM naar het RAM-geheugen wordt gekopieerd.

Voor het besturen van het real-time gedeelte van het programma, het opwekken van de stuursignalen voor de diverse thyristoren wordt een 8253 programmeerbare interval timer (PIT) gebruikt, terwijl voor het invoeren van de gewenste duty cycle (stand potmeter) en voor het meten van de stroom door de chopper twee A/D converters worden gebruikt.

4.4 De beschrijving van de deelschakelingen

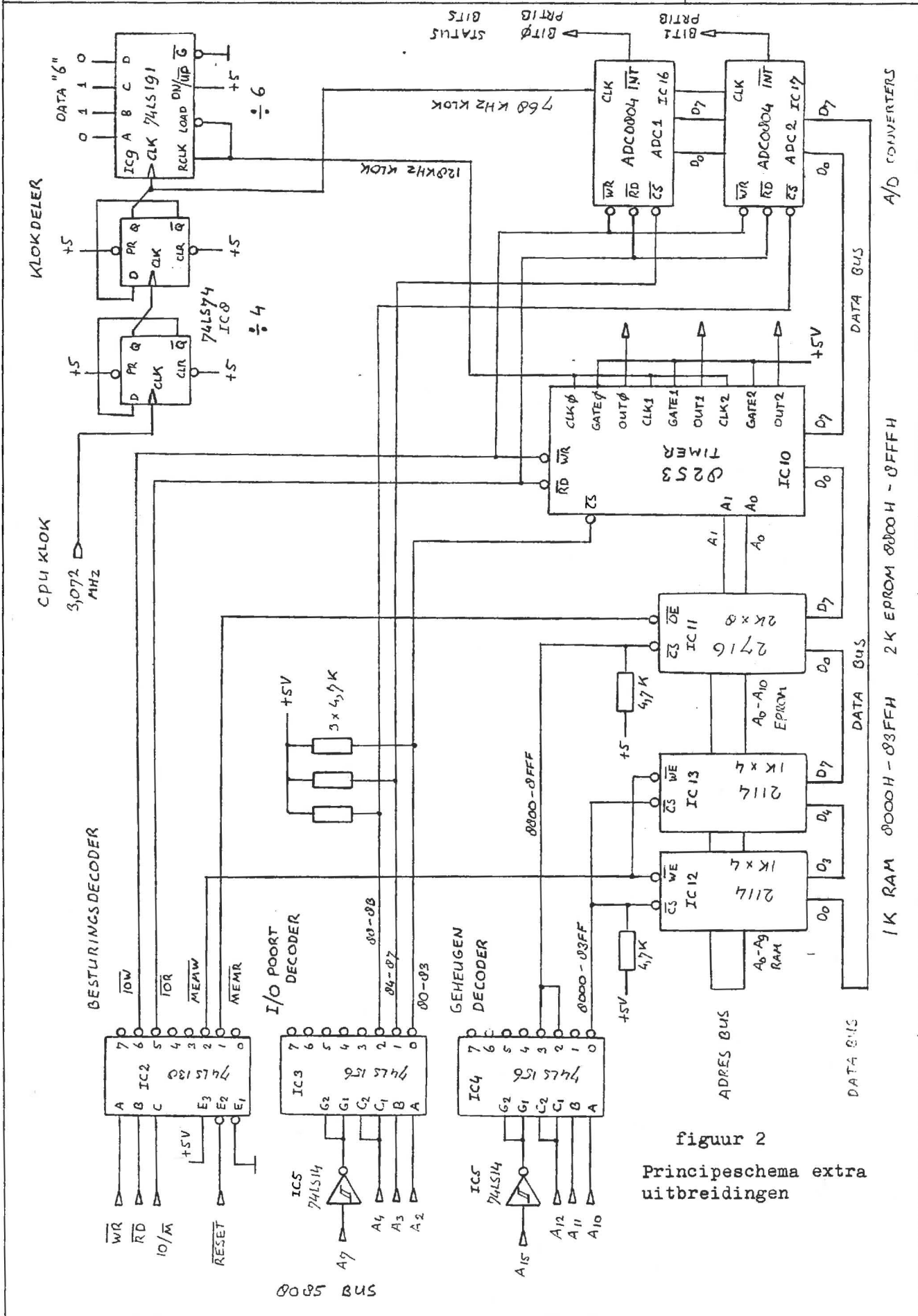
Achtereenvolgens worden de verschillende deelschakelingen beschreven aan de hand van de figuren 1 t/m 5 waarbij de opstelling van de componenten op de experimenteerruimte van de SDK 85 kit is gegeven in fig. 6.

- De besturingsdecoder (IC2 fig. 2)

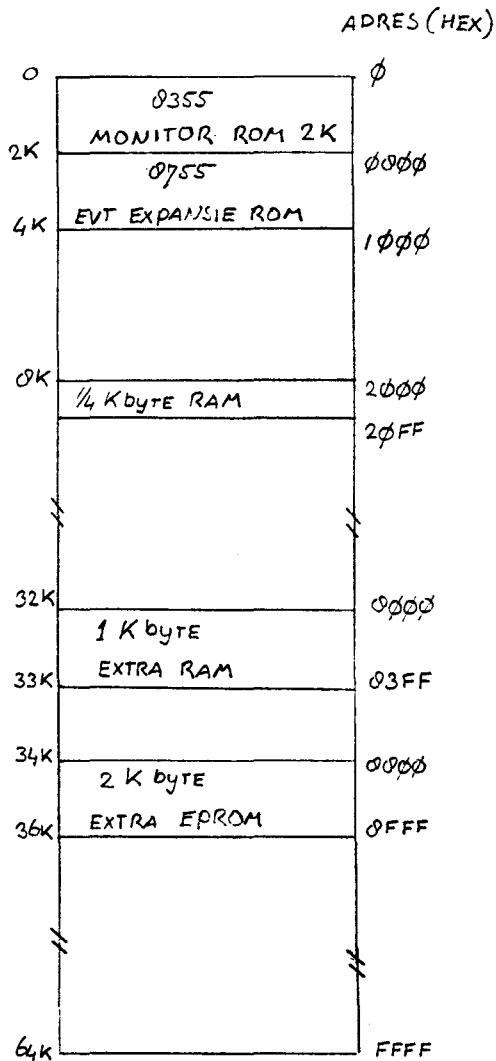
De besturingsdecoder vormt de gecombineerde stuursignalen voor geheugen en I/O (RD, WR, IO/M) van de 8085 processor om tot aparte stuursignalen. In feite zijn dit de oude 8080 signalen IOW, IOR en MEMW, MEMR. Deze zijn hier eenvoudiger in gebruik omdat de gebruikte 8253 timer een IC uit de 8080 serie is. (zie ook Lit. 3 Hfdst. 3)

- De I/O poort decoder (IC3 fig. 2)

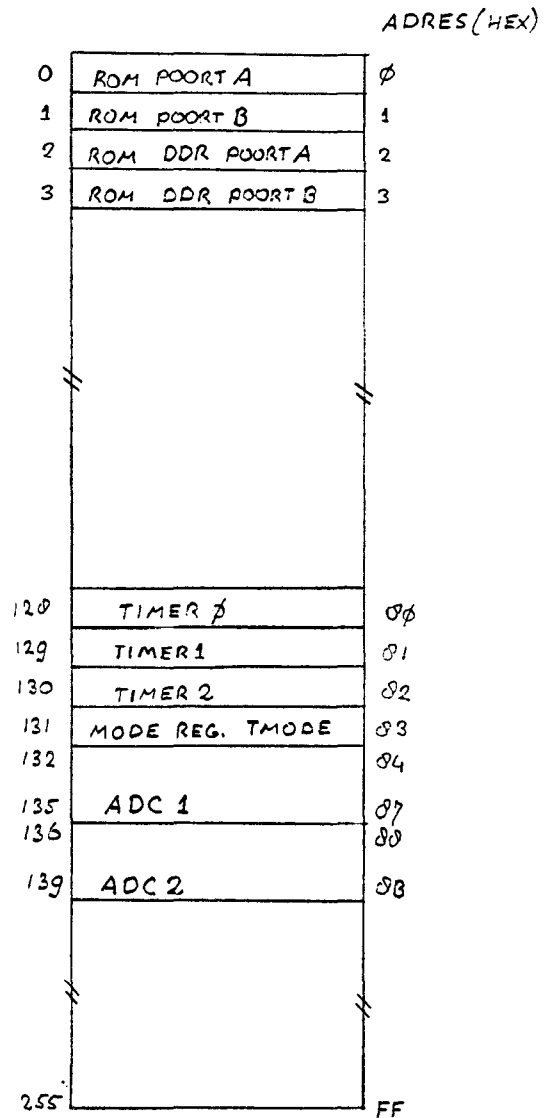
Dit is een open collector decoder die de selektiesignalen levert voor de verschillende in de I/O adresruimte geadresseerde chips, de 8253 timer en de twee A/D converters. De indeling van de I/O adresruimte is aangegeven in fig. 3. De uitgangen van de decoder zijn



figuur 2
Principeschema extra uitbreidingen



Memory map



I/O map

De indeling van de geheugen- en I/O ruimte - figuur 3

aktief per 4 opeenvolgende poortadressen, te beginnen met 80H (128). De lagere orde selectie voor de verschillende registers van de 8253 timer vindt intern plaats (A0,A1) terwijl de A/D converters ieder op 4 opeenvolgende poortadressen reageren waarvan er echter telkens slechts een door het programma wordt gebruikt. (84H en 88H)

- De geheugendecoder (IC4 fig.2)

Dit is een open collector decoder die de selectiesignalen voor de geheugenchips levert. De uitgangen zijn per 1 Kbyte actief, zodat voor de 2Kbyte EPROM twee uitgangen samengenomen kunnen worden (wired or). De decoder levert selectiesignalen vanaf geheugenadres 8000H.

De bus buffer van de SDK 85 is zodanig geschakeld dat deze slechts wordt vrijgegeven voor het geheugengebied boven 8000H (zie Lit.2 blz 3.4) Een tekening van de indeling van het geheugengebied van het systeem wordt gegeven in fig.3.

- Het RAM geheugen (IC12,13 fig.2)

Het RAM-geheugen is opgebouwd uit twee 1K x 4bit statische RAM chips type 2114 zodat er een 1K x 8 bit geheugen ontstaat, nodig voor de opslag van programma en data. Dit geheugen wordt aangesproken in het adresgebied 8000H-83FFFH.

- Het ROM geheugen (IC11 fig.2)

Dit bestaat uit een 2K x 8 bit EPROM type 2716 en wordt aangesproken op de adressen 8800H-8FFFH. Deze EPROM wordt gebruikt als uitwisselingsmedium voor het besturingsprogramma.

- De A/D converters (IC16,17 fig.2)

Dit zijn twee 8 bit A/D omzeters type ADC0804. Deze omzeters kunnen worden gestart en uitgelezen door het aanspreken van de poortadressen 84H voor ADC1 en 88H voor ADC2. Het EOC (end of conversion) signaal van de A/D omzeters wordt naar een input poort gestuurd (PRT1B) zodat het programma kan testen of de conversie afgelopen is.

- De delerschakeling (IC8,9 fig.2)

Het doel van deze schakeling is om de klok van de processor (3,072 MHz) omlaag te delen tot een 768 KHz kloksignaal voor de A/D omzeters en een 128 KHz kloksignaal voor de 8253 timer. Deze frequentie kan eventueel gewijzigd worden door het veranderen van de preset van de programmeerbare deler IC9.



- De interrupt logica (fig.4)

Op de SDK 85 kit zijn alleen de interruptingangen RST6.5 en INT van de 8085 processor nog voor de gebruiker beschikbaar. De RST7.5 ingang van de processor is vast verbonden met de "VECT INTR" toets op het keyboard en kan eventueel worden ingezet als noodstop, welke voorziening echter nog niet in het programma is opgenomen.

Voor de real-time besturingsfuncties blijven dus slechts twee interruptingangen over waarvan de INT ingang zonder de een of andere vorm van interrupt controller niet kan worden gebruikt.

Wanneer de RST6.5 ingang wordt geactiveerd wordt door de processor intern een sprong naar adres 034H opgewekt, vanwaar de interrupt naar het RAM-geheugen omgeleid wordt naar het programma van de gebruiker, zodat hiervoor geen extra hardware nodig is.

Bij het activeren van de INT-ingang verwacht de processor dat het apparaat dat de interrupt aanvraagt een instructie op de bus zet die dan door de processor wordt uitgevoerd. In de meeste gevallen is dit de 1 byte RST instructie, een subroutine aanroep naar 8 mogelijke vaste adressen binnen de eerste 64 bytes van het geheugen. Hiervan zijn er echter al 5 in gebruik bij het monitorprogramma. De overige 3 instructies, RST5, RST6 en RST7 worden via een reflektieadres in RAM omgeleid en zijn voor de gebruiker beschikbaar. (zie ook Lit.2)

De interrupt controller (IC1,5,6) werkt nu als volgt. Wanneer een van de drie interrupt ingangen actief is wordt de INT-uitgang actief zodat de processor onderbroken wordt. Tevens wordt door de poortschakeling de binaire code voor de bijbehorende RST instructie opgewekt, die na het accepteren van de interrupt door de processor op commando van het INTA (interrupt acknowledge) signaal via de buffer op de databus wordt gezet zodat de processor meteen naar de goede interrupt routine wordt gedirigeerd en er geen tijd verloren gaat met het uitzoeken welke timer de interrupt aanvraagt.

Wanneer echter meerdere interrupts tegelijk worden aangevraagd dan wordt de INT lijn ook actief maar wordt de RST instructie opgewekt voor de lijn met de hoogste prioriteit, zodat deze als eerste wordt afgehandeld. Ingang A (timer0) heeft de hoogste prioriteit, gevolgd door B en C (resp. timer1 en timer2).

Het tweede gedeelte van de interrupt logica dient voor de detectie van verzadiging in de kern van de trafo van de chopper. Deze schakeling

wordt gevormd door IC5,6,7 en 14. De RST6.5 ingang van de processor wordt gebruikt om de verzadigingsdetectie te realiseren. Het doel van de schakeling in fig.4 is het vrijgeven van de RST6.5 ingang wanneer slechts een van beide hoofdthyristoren in geleiding is, waarbij tevens een tijdsvertraging is ingebouwd om de betreffende hoofdthyristor de kans te geven om in geleiding te komen voordat de verzadigingsdetector wordt vrijgegeven. Het principe van de verzadigingsdetector wordt verderop besproken.

- De schakeling rond de A/D converters (IC16,17 fig.5)

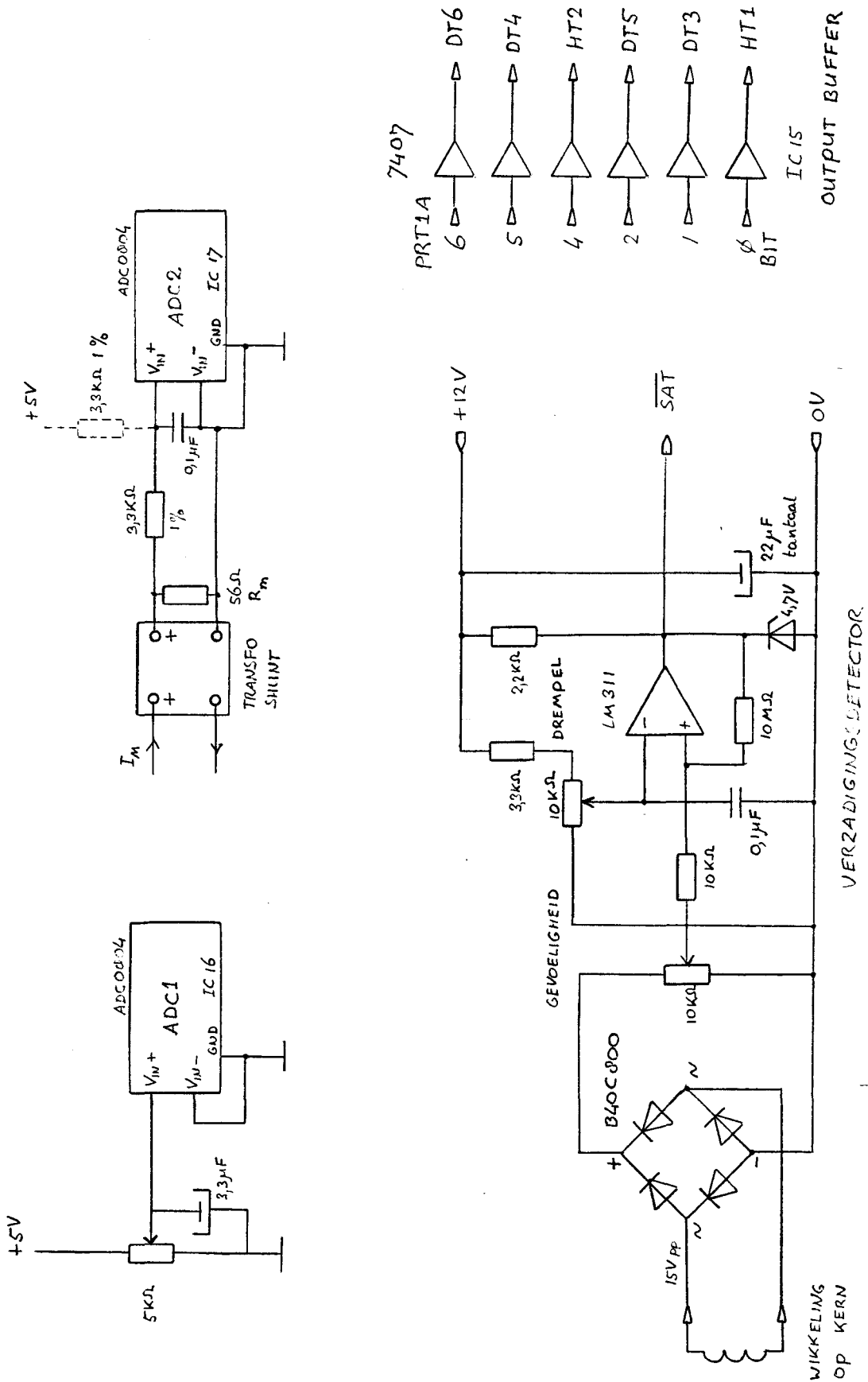
Op de ingang van ADC1 (IC16) is een potmeter aangesloten zodat op eenvoudige wijze de gewenste waarde voor de duty cycle van de chopper kan worden ingesteld. Deze waarde wordt door het programma uitgelezen en verder verwerkt. Op de ingang van ADC2 (IC17) is de transfohunt aangesloten die wordt gebruikt om de stroom door de chopper te meten ten behoeve van de stroomregellus van het programma.

- De uitgangsbuffer (IC15 fig.5)

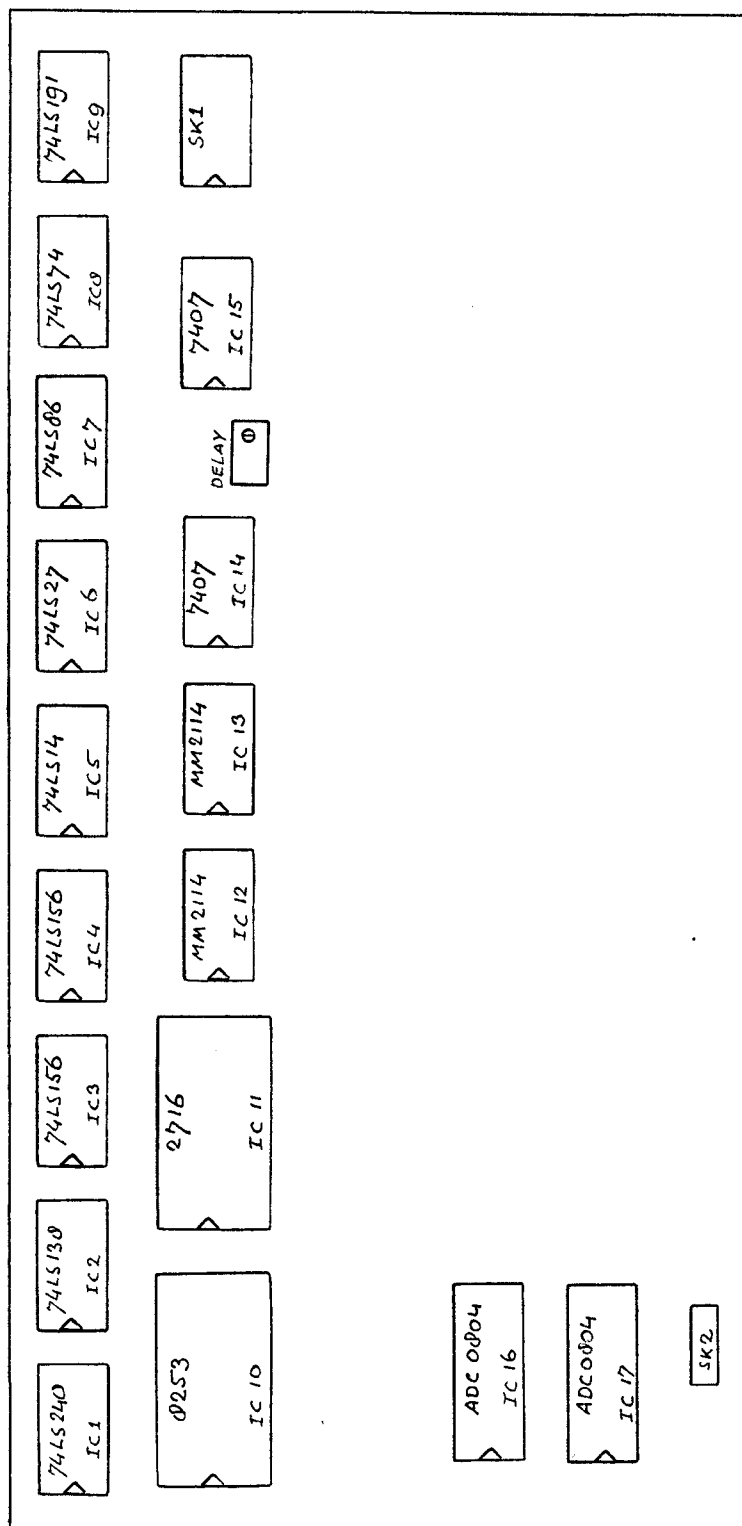
Dit is een open collector buffer om de uitgangen van PRT1A, een van de output poorten van de monitor ROM welke wordt gebruikt voor het opwekken van de stuursignalen te beschermen tegen verkeerd aansluiten van de pulskastjes voor het aansturen van de thyristoren.

- De verzadigingsdetector (fig.5)

Het principe van de hier gebruikte verzadigingsdetectie is erg eenvoudig. Bij normaal bedrijf zal de flux in de trafo nagenoeg lineair toe- of afnemen wanneer een van beide hoofdthyristoren geleidt. De flux zal echter nagenoeg constant blijven wanneer geen of beide hoofdthyristoren geleiden (zie ook bijlage II van Lit.1). Dit heeft tot gevolg dat in de wikkeling op de kern een blokpulsvormige spanning wordt opgewekt, positief wanneer HT1 geleidt, negatief wanneer HT2 geleidt. Raakt de kern gedurende deze tijd in verzadiging, dan zal de spanning in de wikkeling op dat moment abrupt dalen omdat de flux niet meer stijgt. Door nu gedurende de tijd dat een van beide hoofdthyristoren in geleiding is de geïnduceerde spanning te vergelijken met een referentiewaarde kan de verzadiging worden gedetecteerd. Hiertoe dient de schakeling in fig.5 waarvan de uitgang logisch nul wordt wanneer de geïnduceerde spanning in de hulpwikkeling beneden de drempel valt. Samen met de logica van fig.4 vormt dit de verzadigingsdetector die de RST6.5 interrupt ingang van de processor bedient zodat de chopper via een interrupt routine bijgestuurd kan worden.



Het prinsipeschema van de verzadigingsdetector (aparte print) en de schakeling rond de A/D converters - figuur 5



De componentenopstelling op de experimenteerruimte van de SDK 85 kit
figuur 6.

5. De structuur van het programma

Zoals in fig.7 te zien is is het besturingsprogramma modulair opgezet. Het bestaat uit vier hoofddelen, de initialisatie van het programma, het hoofdprogramma dat alle niet real-time gedeeltes omvat en de besturing van de thyristoren en de fluxbewaking.

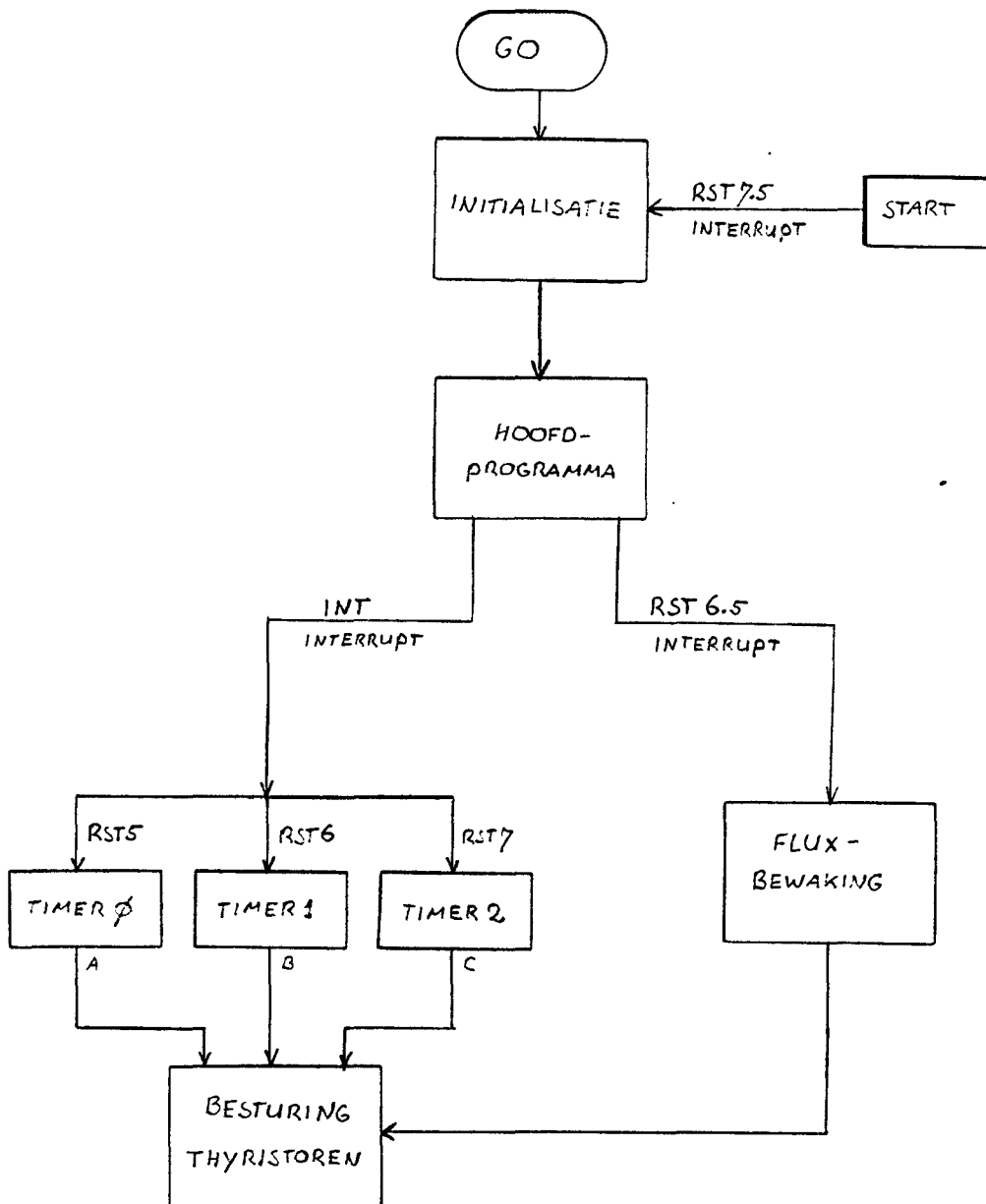
In de initialisatie worden alle noodzakelijke handelingen verricht om de chopper te kunnen opstarten en een goede werking van het programma te verzekeren. Onder andere wordt gewacht totdat de spanning van de chopper is ingeschakeld en wordt de commutatiecondensator van de chopper eerst opgeladen.

Het hoofdprogramma bevat de routines voor het uitlezen van de A/D converters en voor het zichtbaar maken van bepaalde informatie op het display van de microcomputer.

De besturing van de thyristoren gebeurt op real-time basis met behulp van 3 timers (IC10) die ieder een interrupt routine aanroepen welke via een output poort de besturingssignalen opwekken.

De fluxbewaking geschiedt ook op interrupt basis. Wanneer de verzadigings-detector de RST6.5 interrupt activeert wordt de bijbehorende interrupt routine gestart zodat het besturingsprogramma direct kan ingrijpen.

Er zijn drie verschillende versies van het besturingsprogramma welke op de volgende bladzijden achtereenvolgens worden besproken.



De structuur van de besturingsprogramma's - figuur 7



6. Bespreking van het besturingsprogramma versie 2.1

6.1 Inleiding

De verschillende versies van het besturingsprogramma worden besproken aan de hand van de bijbehorende stroomschema's waarbij ook de diverse aspecten van de interrupt routines aan de orde komen. Voor de details verwijs ik naar de geassembleerde listings in bijlage 2 die ook van uitgebreid commentaar zijn voorzien.

6.2 De initialisatie (fig.8)

De initialisatie is voor alle versies van het programma nagenoeg gelijk. Allereerst worden de interrupts uitgeschakeld. Daarna wordt de stack-pointer geïnitieerd. De stack bevindt zich in het 256 byte RAM geheugen op adres 20C0H. Daarna worden de verschillende timers van de 8253 chip geïnitieerd. Alle timers staan in mode 0 waarbij de uitgang van de timer na afloop van de geprogrammeerde tijd een interrupt opwekt. Voor een beschrijving van de timers verwijs ik naar Lit.4.

Daarna worden de twee poorten van de monitor ROM geïnitieerd. Poort A wordt een 8 bit output poort voor het opwekken van de stuursignalen van de thyristoren terwijl poort B als input poort gebruikt wordt voor het lezen van de status van de A/D converters.

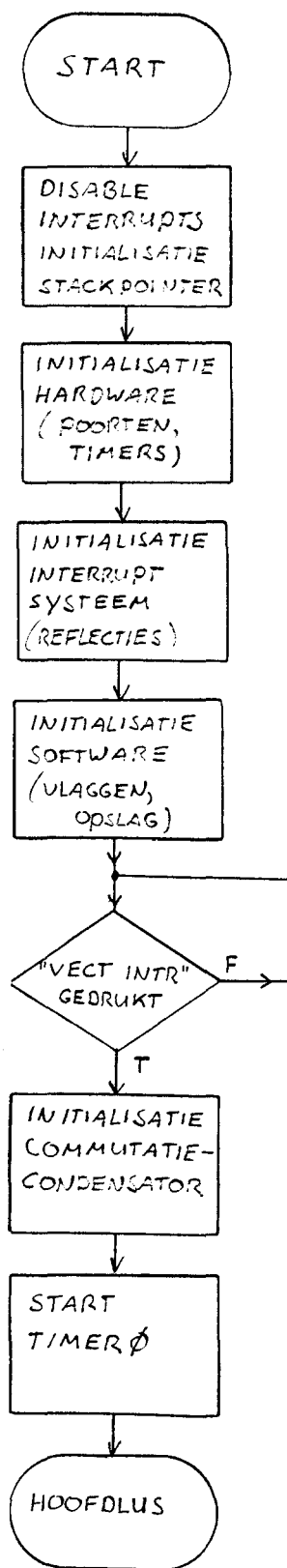
Daarna worden de reflectieadressen van het monitorprogramma geladen met behulp van een tabel. Deze adressen zijn de omleidingen van de verschillende RST instructies die immers alle naar een adres binnen de monitor ROM wijzen. De tabel bevat de startadressen van de diverse interrupt routines.

Daarna volgt de initialisatie van de software waarin alle gebruikte opslaglocaties en vlaggen worden geladen.

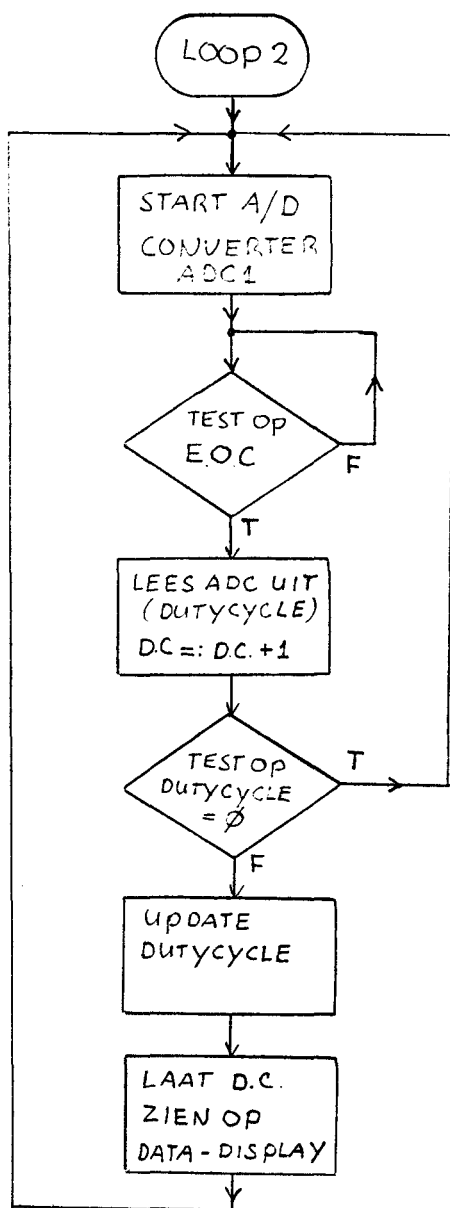
Op dit moment kan de spanning van de chopper worden ingeschakeld omdat het programma wacht totdat de "VECT INTR" toets ingedrukt wordt. Daarna wordt de commutatiecondensator geladen door T4 en T6 korte tijd in te schakelen. Daarna wordt timer 0 geladen met de waarde voor de halve periode (1 ms) waardoor deze tevens gestart wordt. Na afloop van deze periode wordt interrupt routine INTO gestart.

Direkt na het starten van de timer wordt de hoofdlus van het besturingsprogramma betreden.

Tot zover zijn de drie versies van het programma praktisch gelijk, nu wordt per versie de afloop van het programma beschreven.



Algemeen stroomschema van de initialisatie van de programma's - figuur 8



De hoofdloop van programma versie 2.1 - figuur 9

6.3 De hoofdlus (fig.9)

Na de initialisatie wordt de hoofdlus betreden waarin het programma afgezien van de interrupts steeds blijft rondlopen.

De hoofdlus voor programma versie 2.1 is eenvoudig. Allereerst wordt de A/D converter ADC1 gestart, waarna deze uitgelezen wordt. Vervolgens wordt ervoor gezorgd dat de minimale waarde voor de dutycycle 1 bedraagt en de maximale waarde 255 (FFH) door bij de verkregen waarde uit de converter die gebaseerd is op de stand van de potmeter 1 op te tellen en de waarde 0 niet toe te laten, dit in verband met de timer aangezien ze waarde voor de dutycycle tevens de vereiste tijdconstante is waarmee de timers geladen moeten worden. Vervolgens wordt de waarde voor de dutycycle opgeslagen op de daarvoor bestemde plaats in RAM (DCYCL) voor gebruik door de interrupt routines. Daarna wordt de waarde voor de dutycycle als hexadecimaal getal afgebeeld op het data-display van de SDK 85 waarna de hele routine opnieuw doorlopen wordt.

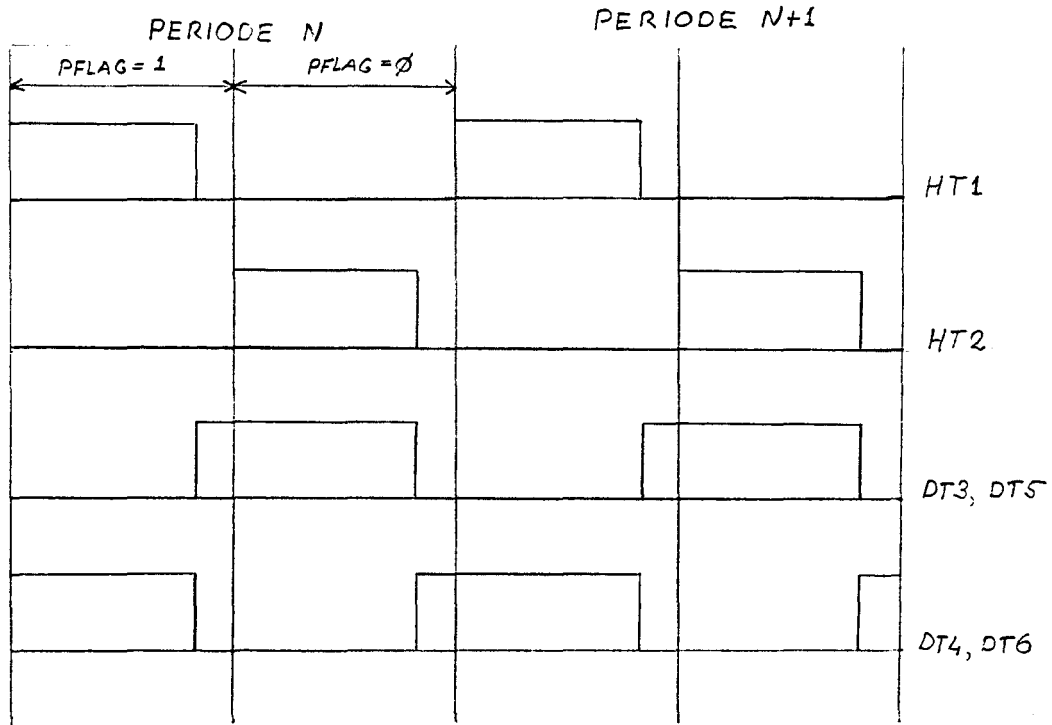
6.4 De besturing van de chopper

De besturing van de chopper wordt gevormd door de interrupt routines INTO, INT1 en INT2 in samenwerking met de drie timers.

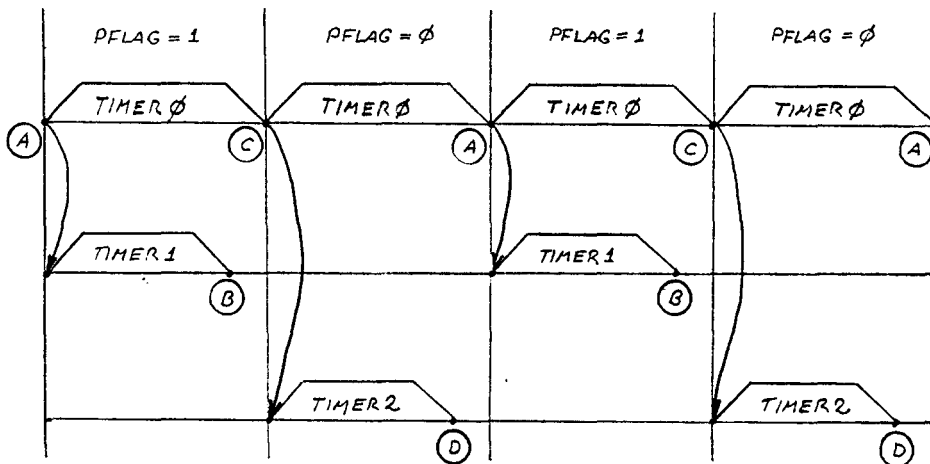
Om de besturing van de chopper te kunnen begrijpen moet eerst het gebruik van de timers nader worden toegelicht.

In figuur 10a zijn de benodigde stuursignalen voor de chopper getekend wanneer de dutycycle kleiner is dan 50%. In figuur 10b is op dezelfde tijdschaal getekend wanneer de diverse timers actief zijn.

Het proces verloopt nu als volgt. Timer 0 die de hoogste prioriteit heeft wordt gebruikt om op elke halve periode een interrupt te genereren. Door middel van het bijhouden van een vlag, PFLAG, is bekend of het het eerste dan wel het tweede deel van een periode betreft. Op de tijdstippen A wordt de hoofdthyristor HT1 door de interrupt routine voor timer 0 (INT0) ontstoken waarna timer 1 wordt gestart met een tijd die overeenkomt met de gewenste dutycycle. Op het moment dat deze tijd is afgelopen genereert timer 1 een interrupt zodat de bijbehorende interrupt routine INT1 gestart wordt, welke ervoor zorgt dat op tijdstip B de sturing voor HT1 wordt onderbroken en de bijbehorende doofthyristoren T3 en T5 worden ontstoken zodat HT1 wordt uitgeschakeld. Op de tijdstippen C, een halve periode, 180° in fase verschoven gebeurt hetzelfde maar dan voor HT2 met behulp van timer 2 zodat HT2 op de tijdstippen

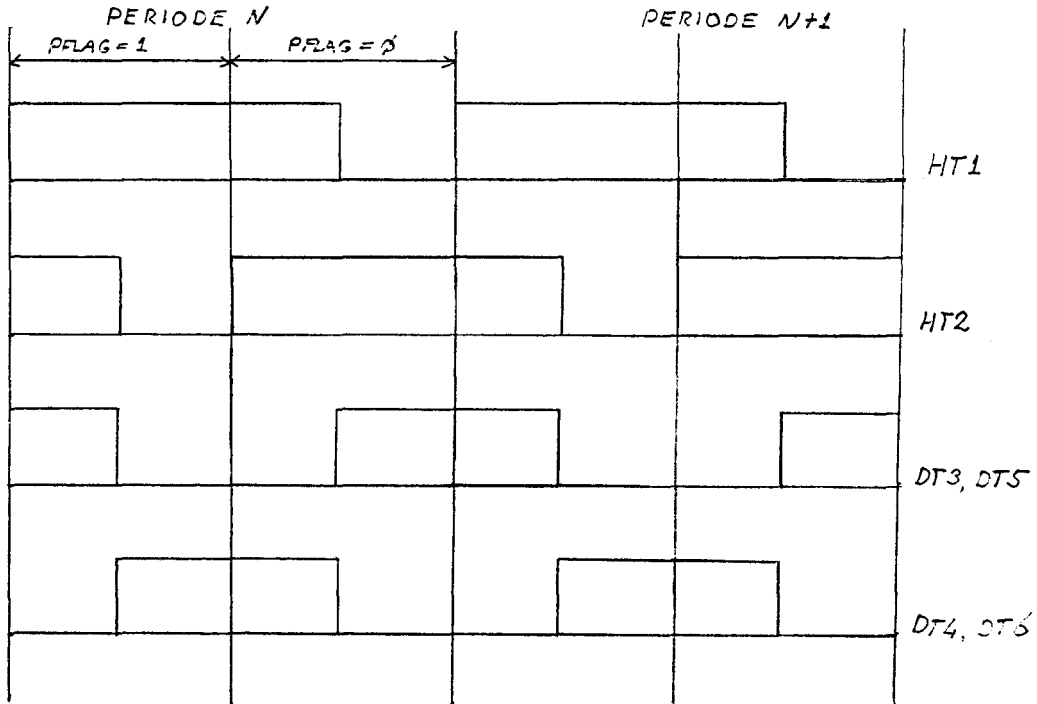


De stuursignalen voor de thyristoren - figuur 10a

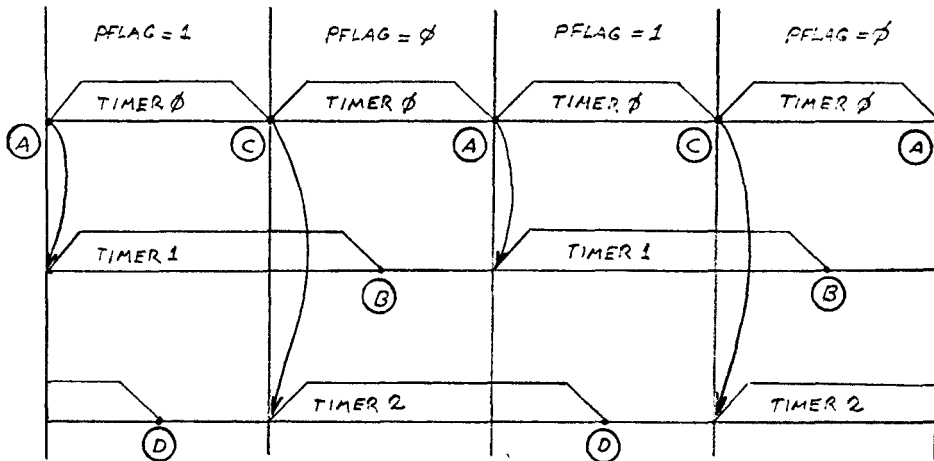


Het gebruik van de timers - figuur 10b

DUTYCYCLE KLEINER DAN 50 %



De stuursignalen voor de thyristoren - figuur 11a



De stuursignalen voor de thyristoren - figuur 11b

DUTYCYCLE GROTER DAN 50 %

D door interrupt routine INT2 gedooft wordt.

In figuur 11a en 11b is dezelfde situatie getekend, maar nu voor een dutycycle groter dan 50%. Uit deze figuren blijkt meteen de noodzaak om voor elke hoofdthyristor een aparte timer te nemen omdat de actieve perioden van de timers 1 en 2 elkaar gaan overlappen.

De hierboven geschetste oplossing heeft een aantal voordelen. In de eerste plaats is de timing van de hoofdthyristoren gekoppeld via timer 0 zodat het faseverschil van 180° onvoorwaardelijk gehandhaafd blijft, ook wanneer de afhandeling van de ene interrupt soms op de andere moet wachten, hetgeen vooral optreedt bij dutycycles rond de 50%. Het is ook niet nodig om het niet-actieve deel van de periode te berekenen en apart te timen aangezien dit reeds automatisch via timer 0 gebeurt, zoals uit het timing diagram blijkt.

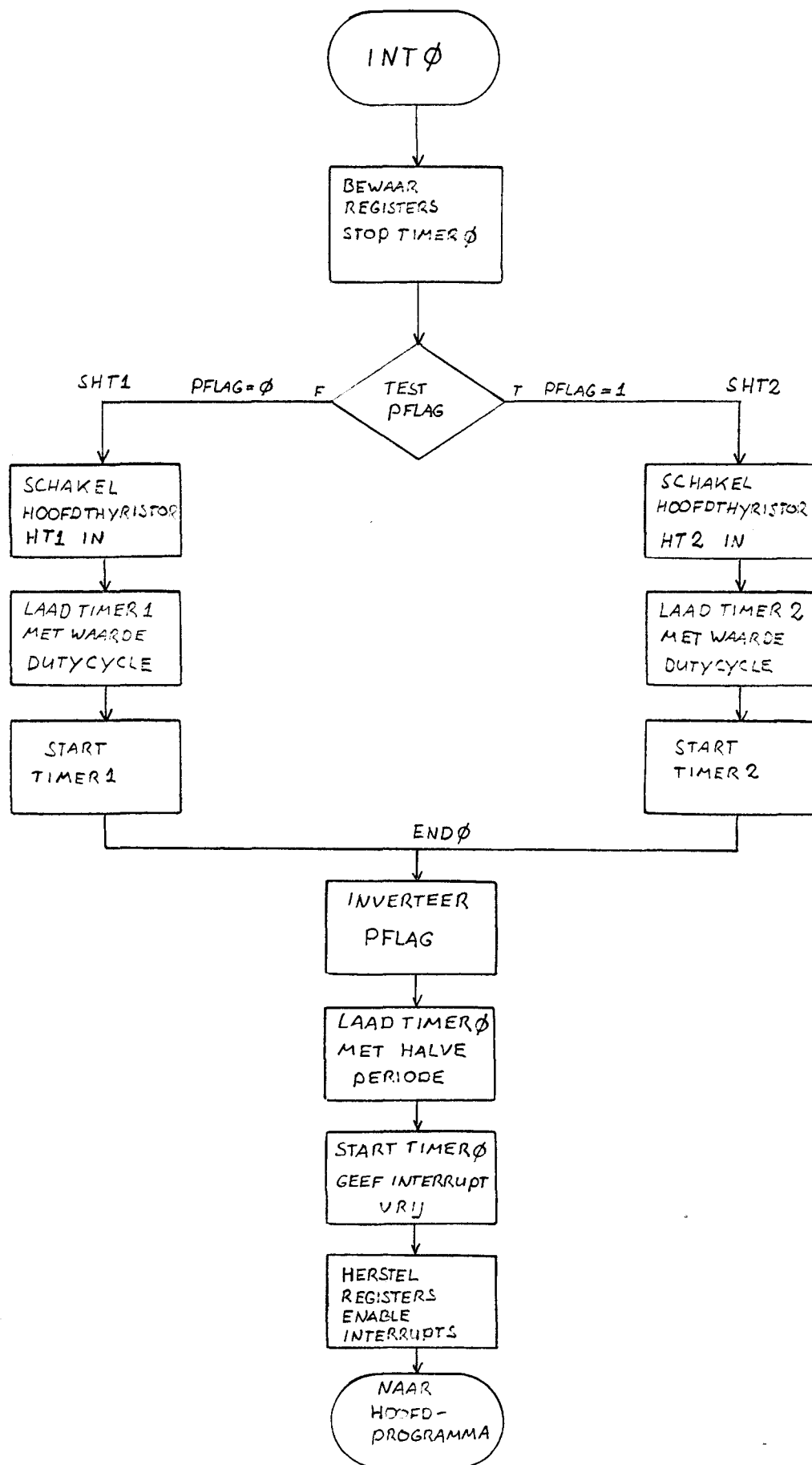
Een nadeel van de hier geschetste oplossing moet echter worden vermeld. Omdat de afhandeling van de interrupts bij een dutycycle van 50% op elkaar moet wachten omdat de duur van een interrupt routine niet oneindig kort is, treedt er een kleine sprong op in het verloop van de dutycycle rond de 50% hetgeen regeltechnisch niet zo wenselijk is. Indien nodig kan deze verkleind worden door gebruik te maken van een snellere processor of door het verder optimaliseren van de interrupt routines, een relatieve verkleining is ook te bereiken door het vergroten van de periodetijd van de chopper, maar deze kleine sprong is nooit geheel te vermijden.

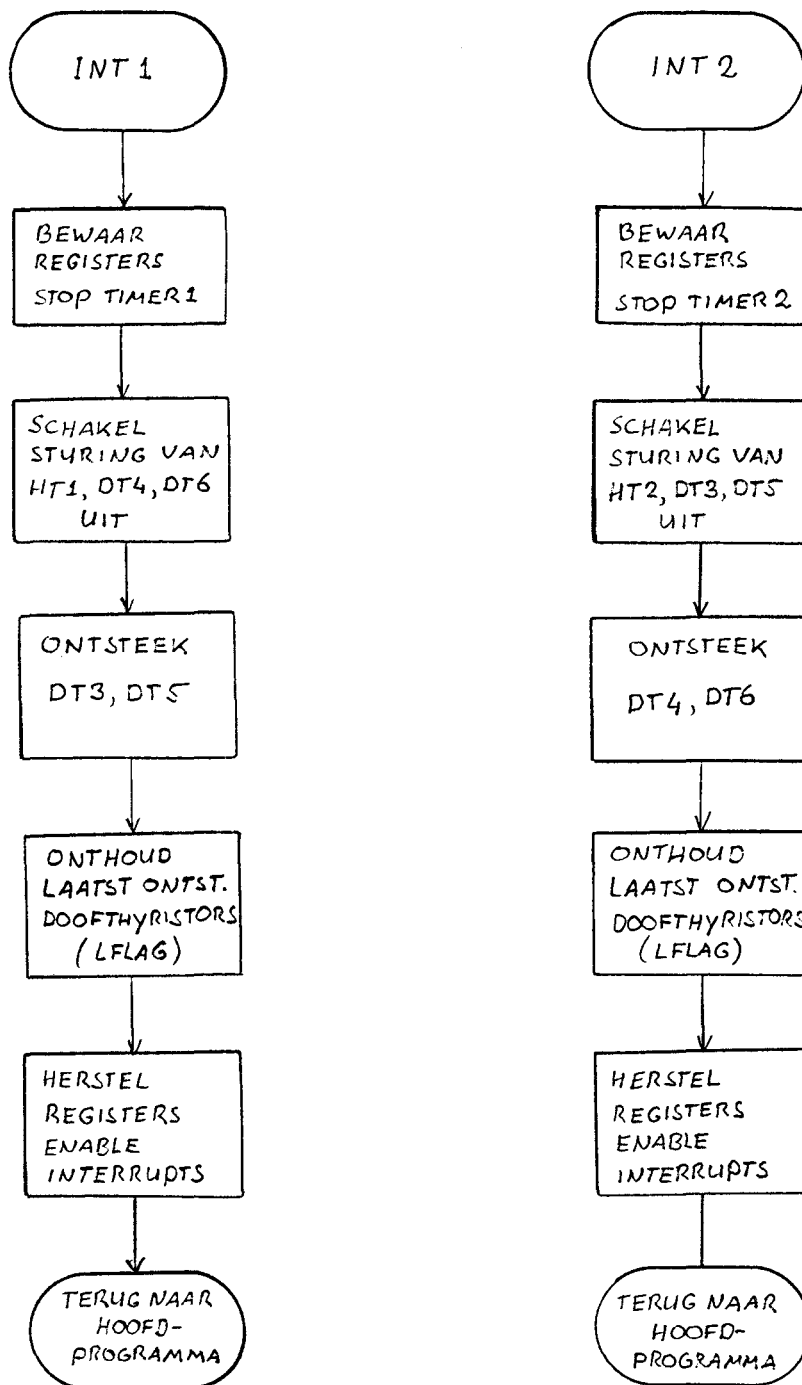
6.5 De interrupt routines van de timers (fig. 12, 13)

Na de beschrijving van het gebruik van de timers spreken deze interrupt routines eigenlijk voor zichzelf. Een paar details moeten echter toegelicht worden. De routine INT0 (fig. 12) wordt betreden wanneer timer 0 een interrupt signaal afgeeft. PFLAG wordt gebruikt om de periodehelft aan te geven waarbij PFLAG in de eerste helft van de periode 1 is en in de tweede helft van de periode 0. De timer 0 die aan het begin van de routine gestopt werd wordt aan het eind weer gestart om de volgende halve periode af te meten. Iedere periode duurt 2 ms, zodat de chopperfrequentie circa 500 Hz bedraagt (periodeduur = $255 \times 1/\text{klok timers} = 2 \text{ ms}$). Alvorens de routine verlaten wordt wordt eerst PFLAG geïnverteerd en de RST6.5 interrupt vrijgegeven ten behoeve van de verzadigingsdetectie. Daarna wordt teruggekeerd naar de hoofdflus.

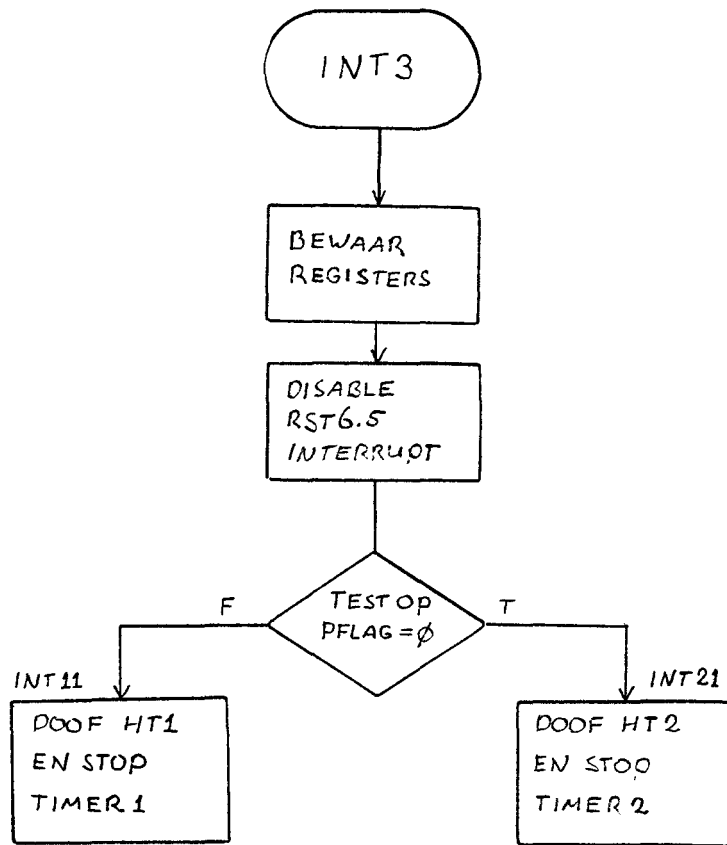


De interrupt routine voor timer 0 - figuur 12





De interruptroutines voor timer 1 en timer 2 - figuur 13



De interrupt routine voor fluxbewaking programma versie 2.1 - figuur 14



De interrupt routines INT1 en INT2 (fig.13) voor resp. timer 1 en timer 2 zijn identiek, afgezien van het feit dat ze elk hun eigen thyristoren bedienen. De vlag LFLAG dient om het laatst ontstoken doofthyristorpaar te onthouden wanneer de chopper eventueel wordt stopgezet om 100% dutycycle te bereiken. Deze voorziening is echter nog niet in het besturingsprogramma opgenomen.

6.6 De routine voor het bewaken van de flux in de trafo

Het principe dat in de versie 2.1 van het besturingsprogramma wordt gebruikt om de flux in de kern van de trafo te bewaken is als volgt. Wanneer de verzadigingsdetector verzadiging constateert wordt eenvoudig de hoofdthyristor die op dat moment in geleiding is direct uitgeschakeld zodat de kern van de trafo niet verder in verzadiging wordt gestuurd. Hierdoor zal ten gevolge van de verliezen de kern gedurende de volgende perioden minder of in het geheel niet meer in verzadiging raken. De betreffende thyristor is in de eerste helft van de periode altijd HT1 en in de tweede helft HT2 zodat alleen PFLAG dient te worden getest. De routine INT3 (fig.14) wordt gestart wanneer de RST6.5 ingang van de processor wordt geactiveerd door de verzadigingsdetector. De routines voor het uitschakelen van de hoofdthyristor zijn identiek aan de routines INT1 en INT2 waarbij echter de eerste instructie (bewaars registers) dient te worden overgeslagen. Dit is aangegeven met de labels INT11 en INT21.



7. Bespreking van het besturingsprogramma versie 2.2

7.1 Inleiding

Bij deze versie van het besturingsprogramma is de initialisatie en de routine voor het besturen van de chopper identiek aan die van versie 2.1 zodat ik voor deze delen verwijs naar het vorige hoofdstuk.

In deze versie 2.2 wordt echter een ander principe gebruikt voor het beheersen van de flux in de kern van de trafo. Als gevolg hiervan zijn de hoofdlus en de routine voor de fluxbewaking gewijzigd.

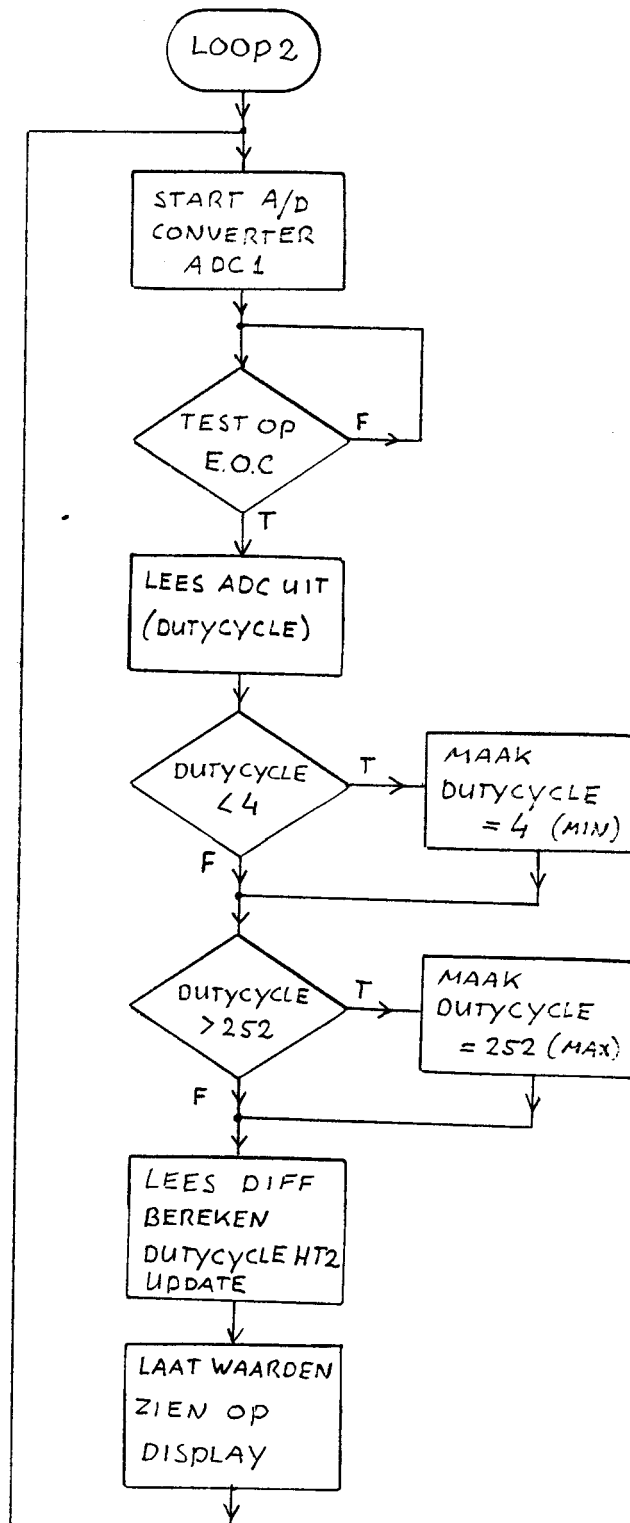
7.2 De hoofdlus (fig. 15)

Het verschil met de hoofdlus van programma versie 2.1 bestaat hierin dat bij het uitlezen van de stand van de potmeter met behulp van de A/D converter de verkregen waarde voor de dutycycle begrensd wordt tussen minimaal 4 en maximaal 252 (FCH), de reden hiervoor komt dadelijk ter sprake. Deze waarde is nu de waarde voor de dutycycle van HT1. De waarde voor de dutycycle van HT2 wordt nu verkregen door bij de waarde voor HT1 de waarde van DIFF op te tellen, waarbij DIFF zowel positief als negatief kan zijn, zodat de dutycycle voor HT2 zowel groter als kleiner dan die voor HT1 kan worden. Met behulp van deze waarde DIFF die in een interrupt routine berekend wordt kan de chopper in balans worden gehouden. Vervolgens worden de waarden voor de dutycycle van HT1 en HT2 en de waarde van DIFF zichtbaar gemaakt op het display van de SDK 85 waarna de hoofdlus opnieuw doorlopen wordt.

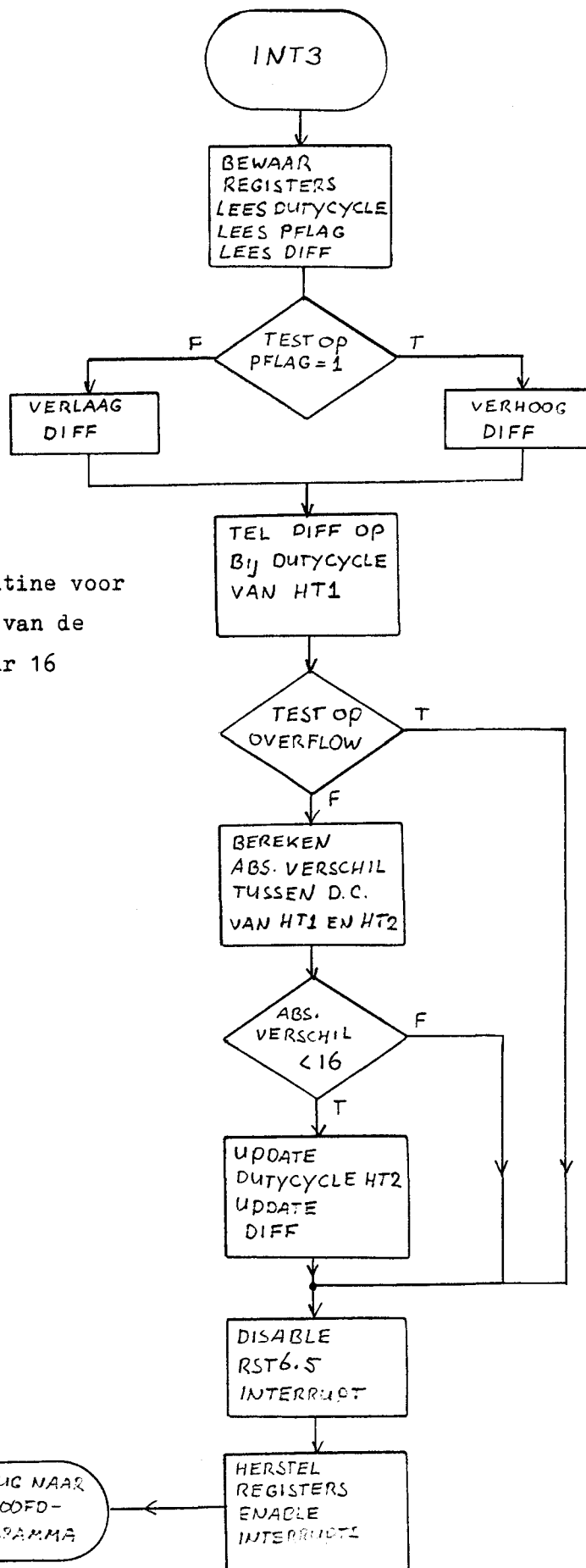
7.3 De routine voor fluxbewaking van programma versie 2.2 (fig 16)

Het principe dat hier gebruikt wordt voor het beheersen van de flux in de trafo is anders dan bij versie 2.1. In plaats van de betreffende thyristor eenvoudig uit te schakelen wordt de onbalans van de flux in de trafo die ontstaat door kleine verschillen tussen de chopperhelften bijgeregeld door de dutycycle van hoofdthyristor HT2 bij te regelen ten opzichte van die van HT1. Deze bijregelfactor, DIFF genaamd wordt nu berekend in de interrupt routine INT3. Verder wordt de factor op ± 15 begrensd om in geval van storing in de detector al te grote onbalans te voorkomen.

De methode voor het berekenen van DIFF is eenvoudig. Wanneer in de eerste helft van de periode verzadiging optreedt betekent dit dat in de voorgaande periode(n) de inschakelduur van HT2 te kort was, zodat



De hoofdloop van programma versie 2.2 - figuur 15



De interruptroutine voor
 het balanceren van de
 chopper - figuur 16



deze verhoogd wordt door de factor DIFF te verhogen. Wanneer in de tweede helft van de periode verzadiging optreedt betekent dit dat de inschakelduur van HT2 te groot was zodat deze verlaagd wordt door de factor DIFF te verlagen. Wanneer geen verzadiging optreedt wordt de interrupt routine ook niet betreden zodat DIFF dan constant blijft. In het programma INT3 (fig.16) worden verder nog de dutycycle voor HT2 berekend waarbij deze uiteraard wel tussen 1 en 255 moet liggen in verband met de timers. De reden voor het begrenzen van de ingestelde waarde voor de dutycycle tussen 4 en 252 zal nu wel duidelijk zijn. Er moet immers ook bij minimale en maximale dutycycle enige speling overblijven om de dutycycle van HT2 nog te kunnen bijregelen. Uit het gebruikte principe voor de fluxbeheersing volgt ook dat er slechts een maal per halve periode kan worden ingegrepen. Om te voorkomen dat het programma in de routine voor de fluxbewaking blijft hangen wordt de RST6.5 ingang na het doorlopen van de routine gemaskeerd. Aan het begin van elke halve periode wordt deze echter weer vrijgegeven in de routine INTO. Op deze manier is gewaarborgd dat de interrupt routine INT3 slechts een maal per halve periode kan worden doorlopen hetgeen ook voldoende is. Het bovenstaande geldt ook voor programma versie 2.1.



8. Bespreking van het besturingsprogramma versie 2.3

8.1 Inleiding

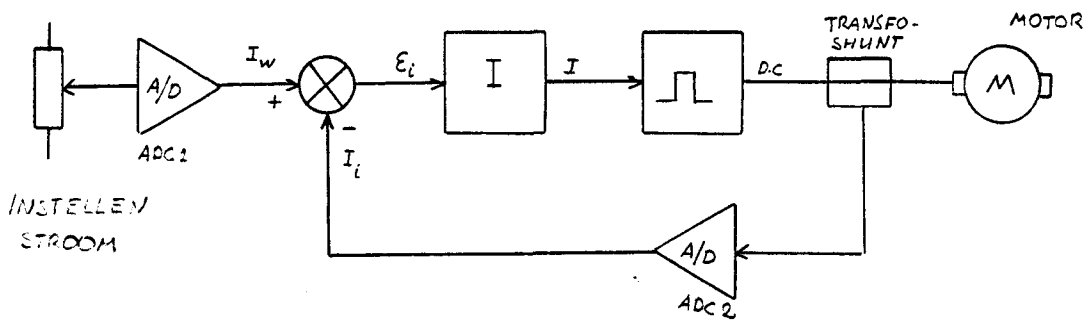
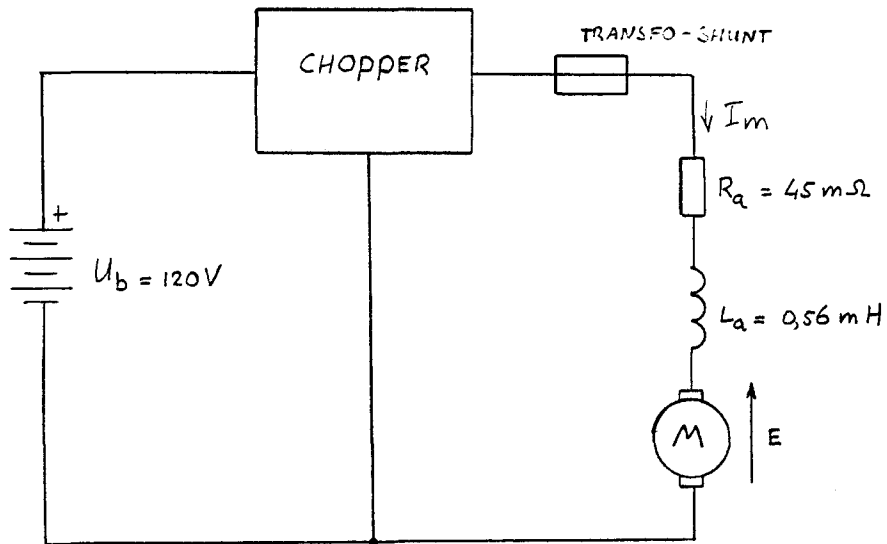
Afgezien van de hoofdflus, in dit geval de stroomregellus, is deze versie gelijk aan programma versie 2.1 zodat ik voor deze delen naar hoofdstuk 6 verwijs.

In tegenstelling tot de andere programma's die een relatief eenvoudige hoofdflus hebben waar met behulp van een potmeter de gewenste waarde voor de dutycycle kan worden ingesteld bevat deze versie 2.3 een stroomregellus. Hier kan met behulp van de potmeter de gewenste stroom door de machine worden ingesteld waarna het programma de chopper zodanig regelt dat deze stroom indien mogelijk gehandhaafd blijft.

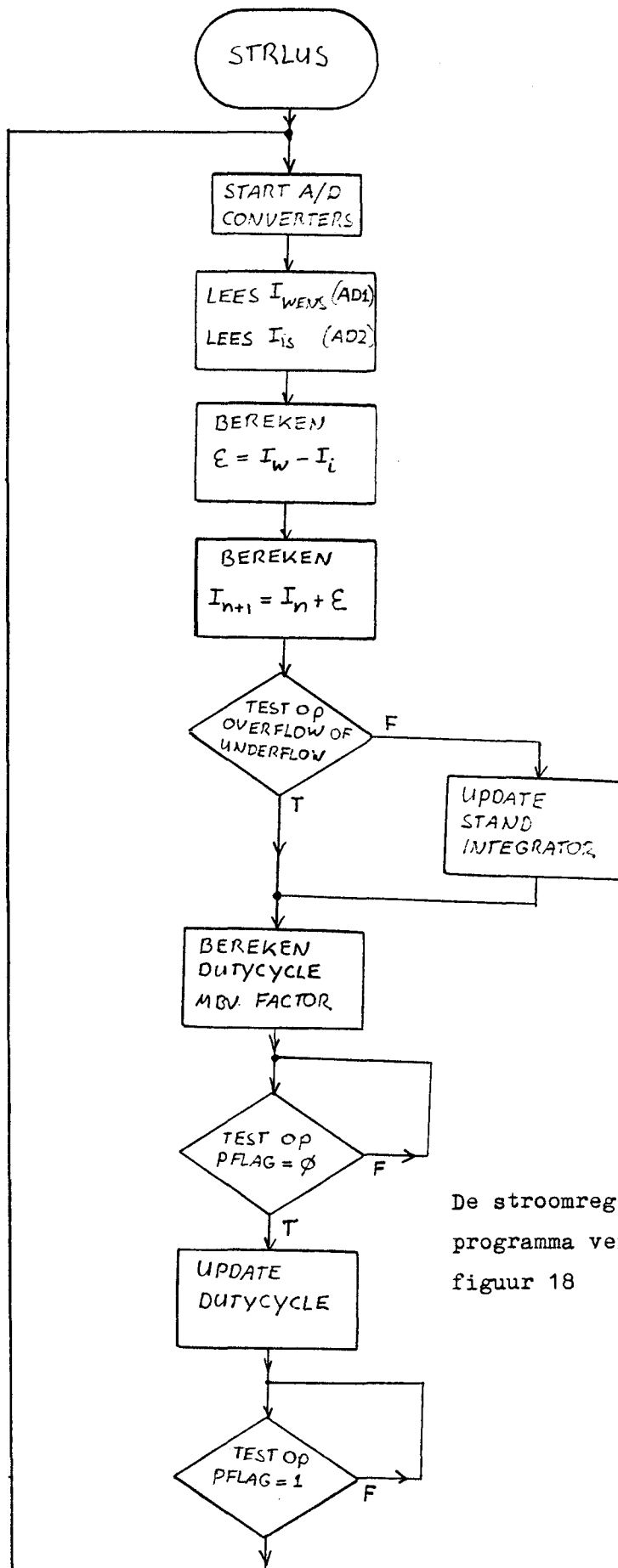
8.2 De stroomregeling (fig. 17a,b)

Het te regelen elektrische systeem is getekend in fig. 17a. De elektrische tijdconstante $T_a = L/R = 12.4$ ms bij de gegeven waarden voor motorzelfinductie en ankerweerstand. Voor een digitaal geregeld 1e orde systeem zoals we het hier geschetste systeem in eerste instantie kunnen benaderen aanzien de tegen-emk over een groot aantal perioden van de chopper constant mag worden verondersteld, wordt als vuistregel opgegeven dat het sample-interval T_s korter moet zijn dan $1/4$ van de tijdconstante van het te regelen systeem, dus in dit geval korter dan $T_a/4 = 3.1$ ms (zie Lit.5 blz 248-252, §11.5). Aan de andere kant bedraagt de periodetijd van de chopper reeds 2 ms. Het heeft duidelijk geen zin om meerdere malen binnen een periode van de chopper de machinestroom I_m te bemonsteren en een nieuwe waarde voor de dutycycle te berekenen aangezien deze nieuwe waarde voor de dutycycle toch pas in de volgende periode effectief wordt. Als compromis kan het sample-interval gelijk worden genomen aan de periodetijd, dus $T_s = 2$ ms. Hierdoor wordt voldaan aan de vuistregel terwijl de nieuwe waarde voor de dutycycle niet te vaak wordt berekend. Wanneer het bemonsteren van de stroom synchroon verloopt met de periode van de chopper geldt als bijkomend voordeel dat van een eventuele rimpel op de stroom door de machine minder hinder wordt ondervonden omdat steeds op een vast tijdstip binnen de periode bemonsterd wordt zodat een eventuele rimpel als fout in de schaalfactor en niet als random of periodieke fout in de meting naar voren treedt. Wanneer de schaalfactoren van de A/D converters en het sample-interval vast liggen kan de regeling alleen worden ingesteld door de vermenigvuldigingsfactor

Het te regelen elektrische systeem - figuur 17a



Het blokschema van de stroomregeling - figuur 17b



De stroomregellus van
 programma versie 2.3
 figuur 18



in het programma te wijzigen. Het blokschema van de regeling is afgebeeld in figuur 17b.

8.3 Het programma voor de stroomlus (fig.18)

Deze stroomregellus is volgens dezelfde principes opgebouwd als die welke ik in mijn eerdere projekt heb gebruikt (zie Lit.6).

In de eerste helft van de periode worden de volgende handelingen verricht. Allereerst worden de A/D converters gestart, waarna de wenswaarde voor de stroom I_w en de stroom door de machine I_i worden uitgelezen. Vervolgens wordt de fout E berekend, waarna de nieuwe stand van de integrator wordt berekend door bij de oude de E op te tellen.

($I_{n+1} = I_n + E$) Wanneer er geen overflow optreedt, dus wanneer de integrator niet 'vastloopt' wordt de nieuwe stand opgeslagen in het geheugen. Daarna wordt de waarde voor de dutycycle berekend door de stand van de integrator met de waarde van de ingestelde factor te vermenigvuldigen. Deze waarde FACTOR wordt voor het opstarten van het programma door de gebruiker in het RAM geheugen geplaatst op adres 2000H en mag liggen tussen 0 en 7. Deze waarde wordt door het programma verwerkt als 2^{factor} , waarmee de regelsnelheid kan worden aangepast.

Vervolgens wordt gewacht op het begin van de tweede helft van de periode waarin de nieuwe berekende waarde voor de dutycycle wordt opgeslagen in RAM voor gebruik door de interrupt routines. Daarna worden de stand van de integrator en de waarde voor de dutycycle aangegeven op het display waarna gewacht wordt op de eerste helft van de volgende periode alvorens de regellus opnieuw wordt doorlopen.



9. Evaluatie van de bereikte resultaten

De ontwikkeling van de in dit verslag beschreven besturing voor de tweepulsige chopper is duidelijk nog niet afgesloten. De voornaamste ontbrekende functie is het omschakelen van de chopper voor rembedrijf met behulp van het relais. Toch kunnen reeds een aantal resultaten worden gemeld.

In de eerste plaats is aangetoond dat het mogelijk is om met een microcomputer alle benodigde stuursignalen op te wekken voor de tweepulsige chopper met regelbare dutycycle, dit bij een chopperfrequentie van 500 Hz. Ook is de nauwkeurigheid van de opgewekte stuursignalen groter dan bij de eerder ontwikkelde analoge sturing aangezien de kern van de trafo zelfs zonder fluxbewaking niet in verzadiging komt zolang de dutycycle constant gehouden wordt. De flux in de kern van de trafo wordt dan reeds door de verliezen in balans gehouden. Het regelbereik van de dutycycle ligt tussen minder dan 5% en meer dan 95%. De volle stroom, 100% dutycycle, kan eventueel worden verkregen door de chopper met behulp van het programma te stoppen en een tak continu in te schakelen.

In de tweede plaats zijn proeven verricht waarbij met behulp van de chopper de ankerspanning van de tractiemotor werd geregeld.

Hierbij is gebleken dat het aanlopen van de machine met behulp van de chopper bij nominaal veld zonder extra voorziening (aanloopweerstand, extra zelfinductie) niet mogelijk is omdat de inschakelstroomstoot te groot is in verband met de minimaal mogelijke dutycycle. Deze beperking is voor het grootste deel te wijten aan het programma, de tijdsduur van de interrupt routines. Het is echter zonder meer mogelijk om de aanloopweerstand met een relais kort te sluiten zodra de machine draait, waarbij het relais door het programma gestuurd wordt.

Wanneer de elektromotor eenmaal draait werkt de chopper verder normaal. Ook is gebleken dat de chopper niet afslaat bij vrijlopen in rijbedrijf, dus wanneer de dutycycle plotseling teruggeregeld wordt.

Er zijn echter nog enkele problemen met de bewaking van de flux in de kern van de trafo die bij bepaalde waarden van de dutycycle niet tot tevredenheid werkt. Naar mijn mening zijn deze problemen terug te voeren op het gebruikte principe voor het constateren van verzadiging in de kern, namelijk het meten van de fluxverandering in de kern en niet het meten van de werkelijke flux. Dit heeft tot gevolg dat er alleen een



uitgangssignaal van de detector wordt verkregen wanneer de flux in de kern veranderd, dus wanneer slechts een van de hoofdthyristoren in geleiding is, zodat ook slechts op deze momenten kan worden ingegrepen hetgeen vooral bij dutycycles groter dan 50% een grote beperking is. In feite wordt gedetecteerd wanneer de flux in de kern in het kromme gedeelte van de hysteresislus komt, op welk moment de geïnduceerde spanning in de hulpwikkeling sterk daalt. Op dit moment is het eigenlijk reeds te laat om in te grijpen. Deze beperkingen kunnen worden verholpen door het meten van de werkelijke flux in de kern, zodat op tijd kan worden ingegrepen door het programma. (zie ook Hfdst. 10)

Hoewel de besturing dus nog niet probleemloos werkt, kunnen alle bovengenoemde problemen naar mijn mening opgelost worden zodat de besturing bij verdere ontwikkeling in de praktijk goed bruikbaar zal zijn en waarbij de flexibiliteit van een besturing onder controle van een programma ten volle benut kan worden.



10. Suggesties voor verdere ontwikkeling

In de eerste plaats moet de omschakeling van de chopper van rijbedrijf naar rembedrijf worden geïmplementeerd. Dit is vooral een initialisatieprobleem, het omkeren van het veld van de machine, het daarna omschakelen van de chopper met behulp van het relais en het daarna weer inschakelen van de goede deelchopper, omdat de benodigde stuursignalen in rembedrijf dezelfde zijn als in rijbedrijf en dus ook door de reeds beschreven interrupt routines kunnen worden opgewekt.

In de tweede plaats is een verbeterde fluxdetector gewenst zodat de werkelijke flux in de kern van de trafo wordt gemeten en dus kan worden ingegrepen nog voor de kern in verzadiging komt. Dit zal de problemen met de fluxbewaking aanzienlijk verminderen.

Als suggestie draag ik hierbij aan om op de kern van de trafo een of meer rekstrookjes te bevestigen zodat de lengteverandering van de kern ten gevolge van magnetostrictie kan worden gemeten. Dit is een maat voor de absolute waarde van de flux in de kern. De richting van de flux kan worden gemeten door middel van een Hall-effect sensor in het strooiveld van de kern. Ook moet bedacht worden dat een nauwkeurige meting van de flux niet vereist is omdat het voldoende is te weten wanneer de flux een max. drempelwaarde overschrijdt. Het is natuurlijk wel noodzakelijk om de meetbrug voor de rekstrookjes met hoogfrequente wisselstroom te voeden zodat de door het strooiveld geïnduceerde storingen kunnen worden uitgefilterd.

Verder kan in principe nog elke gewenste extra besturingsfunctie door het programma worden uitgevoerd aangezien er nog genoeg processortijd over is.

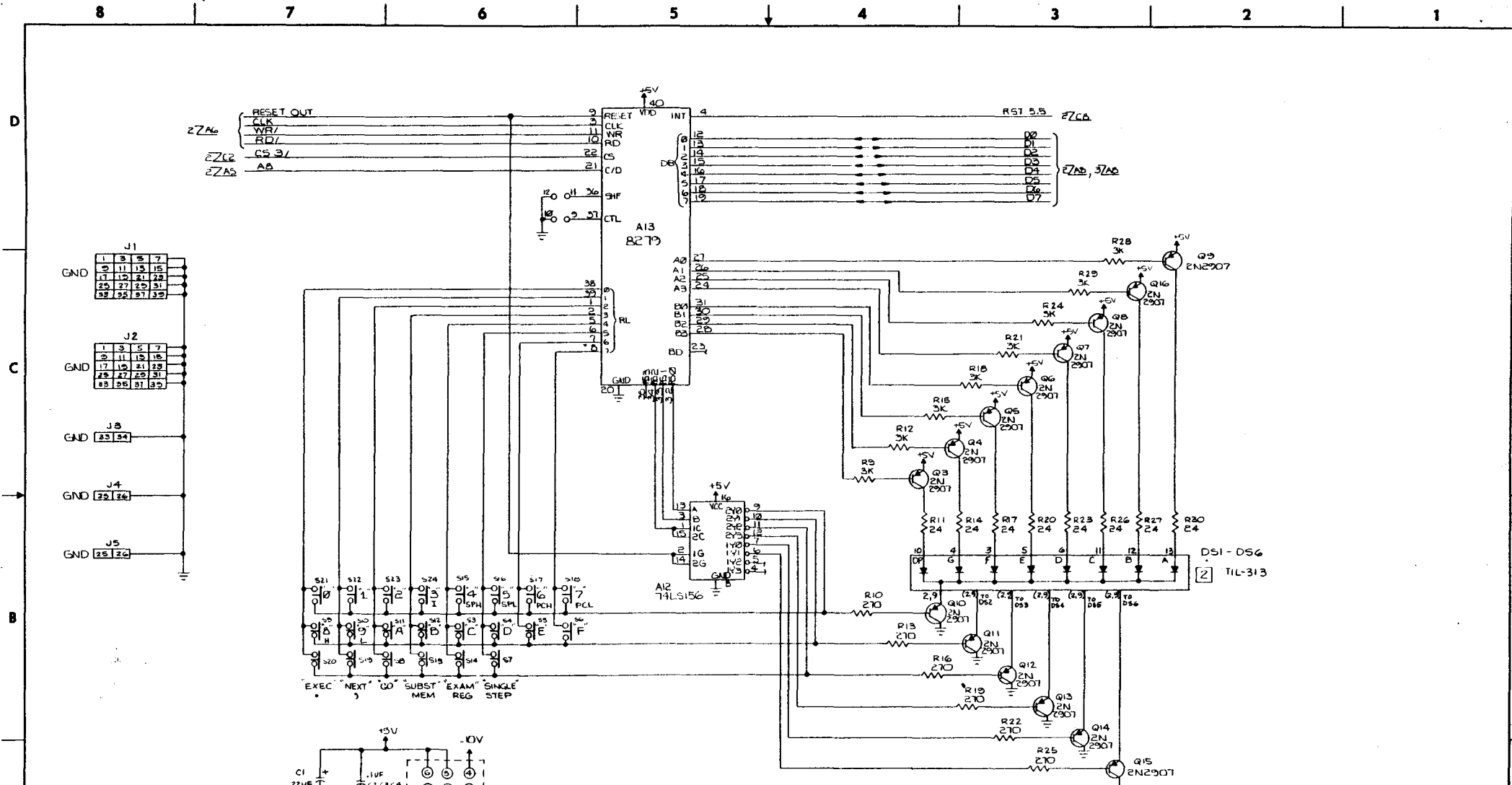
Wanneer een hogere chopperfrequentie gewenst is kan deze worden verkregen door de klok voor de timers te verhogen. Eventueel dient dan wel een snellere processor in overweging te worden genomen aangezien de minimale en de maximale dutycycle die met het programma kunnen worden bereikt afhangen van de relatieve duur van de interrupt routines ten opzichte van de gewenste periodetijd, hetgeen bij hogere chopperfrequentie natuurlijk kritischer wordt.



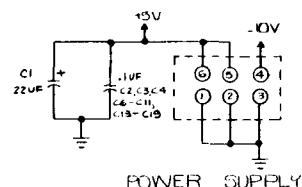
BIJLAGE 1

BIJLAGE 1

DE PRINCIPESCHEMA'S VAN DE SDK 85 SYSTEM DESIGN KIT



NOTES:
UNLESS OTHERWISE SPECIFIED,
1. RESISTOR VALUES ARE IN OHMS, 1/4W, ±5%.



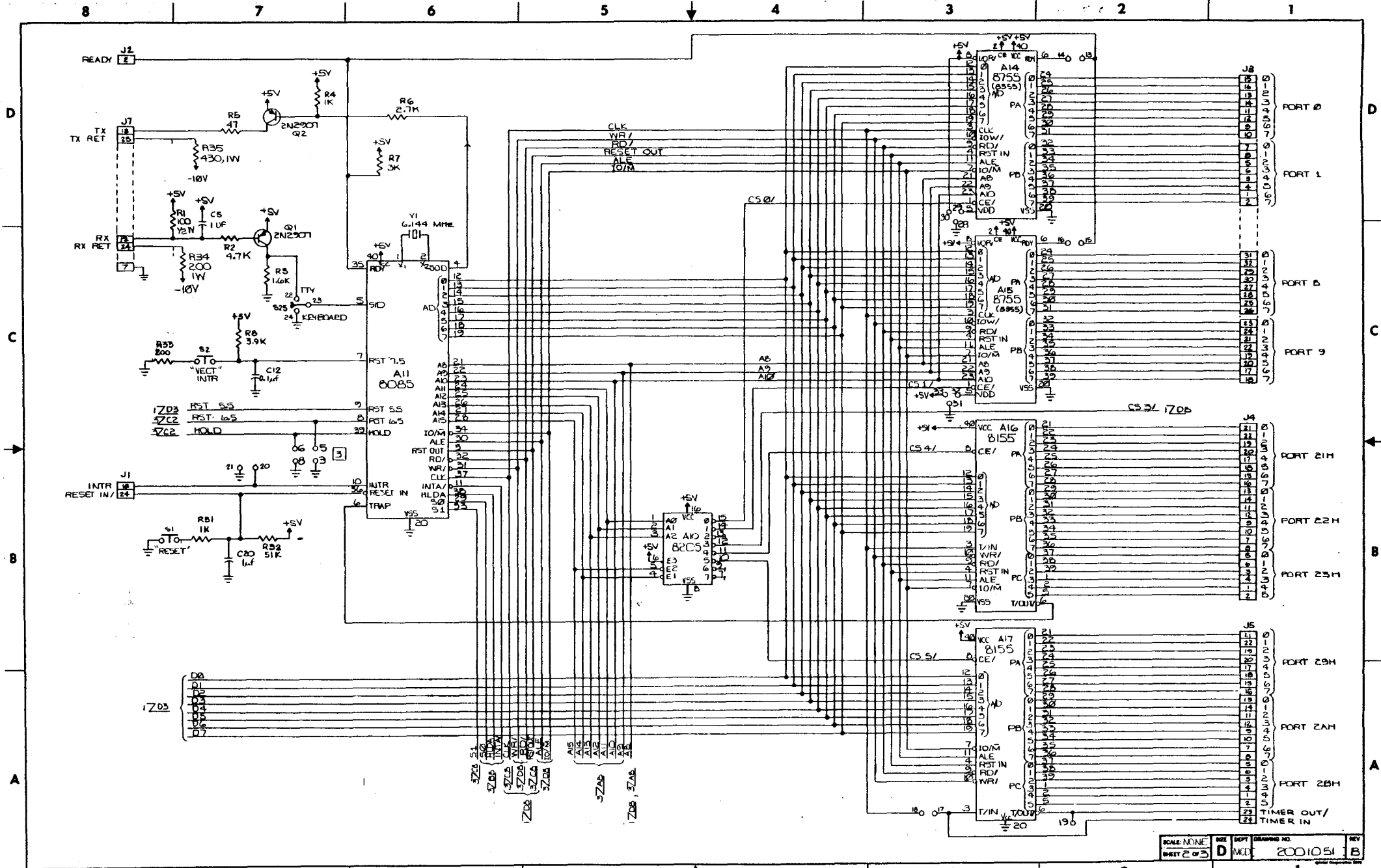
[2] THIS PIN OUT ARRANGEMENT REPRESENTS 6 INDIVIDUAL 7 SEGMENT LED DISPLAYS (TL 313). ALL ANODE CONNECTIONS OF THE CORRESPONDING SEGMENTS ARE WIRED TOGETHER. CATHODES ARE WIRED SEPARATELY TO EACH TRANSISTOR (Q10-Q15)

[3] JUMPER 5 TO 3 AND 6 TO 8 WHEN BUS EXPANSION CIRCUITS ARE NOT INSTALLED.

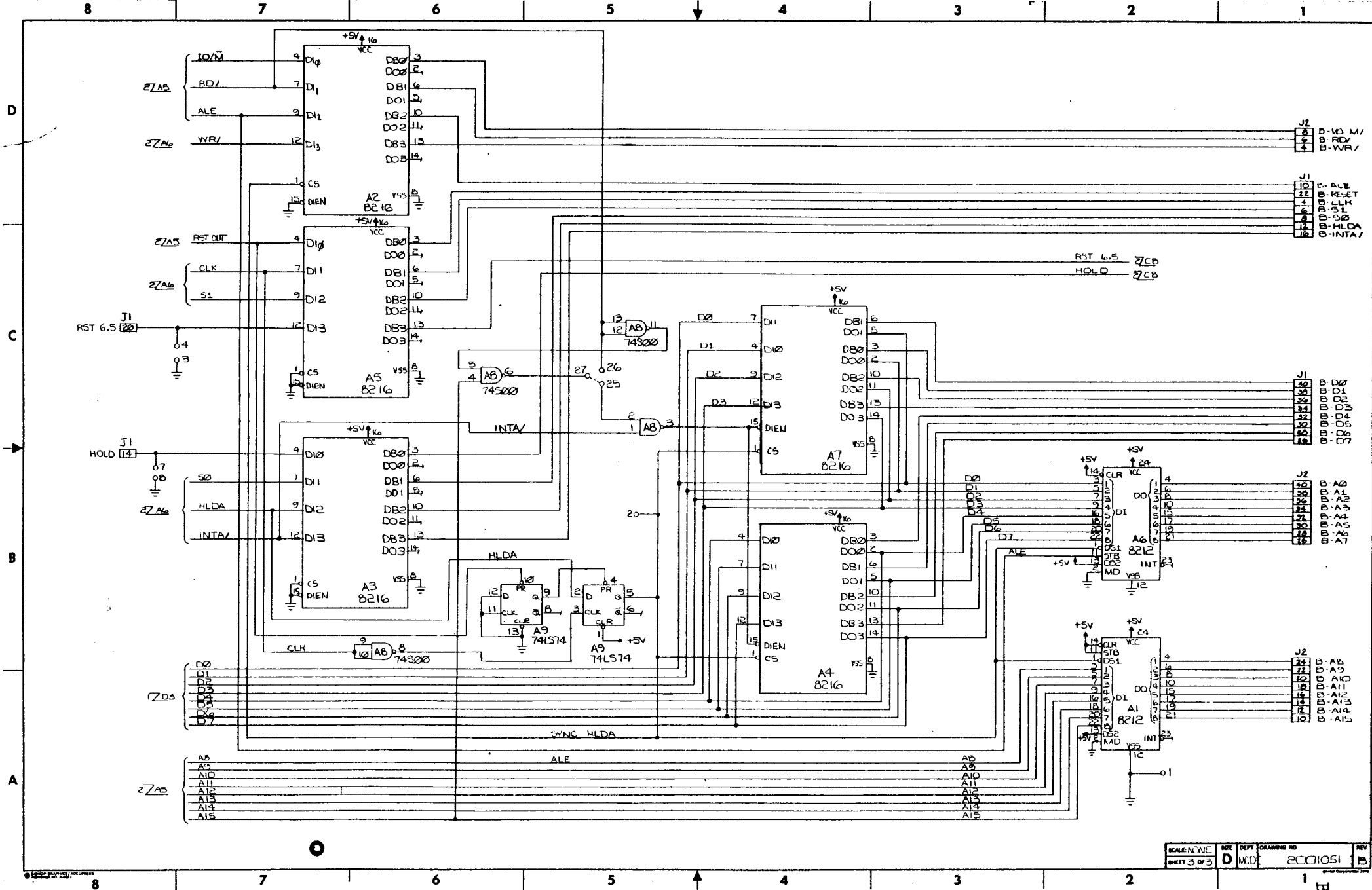
SPARE GATE COUNT			REF DESIGNATIONS	
TYPE	REF DES	QTY	USED	NOT USED
	C20			
	A17			
	R35			
	Q16			
	DS6			
	33			
	285			

400117	SDC 85
NEXT ASSY	USED ON

QUANTITY PER DASH NO.		ITEM NO.	PART NUMBER	DESCRIPTION
SCALE: NONE		intel 3065 BOWERS AVE. SANTA CLARA CALIF. 95051 TITLE: SCHEMATIC SYSTEM DESIGN KIT		
TOL: 2 P/C 3 P/C ANGLE				
MATERIAL:		SIZE DEPT DRAWING NO. REV D MOD 2001051 B		
FINISH:		CODE SHEET 1 OF 3		



SCALE NONE	SIZE D	DEPT MCD	DRAWING NO. 2001051	REV B
SHEET 2 of 3				





BIJLAGE 2

BIJLAGE 2

DE GEASSEMBLEERDE LISTINGS VAN DE BESTURINGSPROGRAMMA'S
(incl. conversietabel 8080/8085 naar Z80 mnemonics)



Z80	8080	Z80	8080	Z80	8080
ADC A, (HL)	ADC M	EX (SP), HL	XTHL	OR n	ORI [B2]
ADC A, n	ACI [B2]	HALT	HLT	OR r	ORA r
ADC A, r	ADC r	IN A, (n)	IN [B2]	OR (HL)	ORA M
ADD A, (HL)	ADD M	INC BC	INX B	OUT (n), A	OUT [B2]
ADD A, n	ADI [B2]	INC DE	INX D	POP AF	POP PSW
ADD A, r	ADD r	INC HL	INX H	POP BC	POP B
ADD HL, BC	DAD B	INC r	INR r	POP DE	POP D
ADD HL, DE	DAD D	INC SP	INX SP	POP HL	POP H
ADD HL, HL	DAD H	INC (HL)	INR M	PUSH AF	PUSH PSW
ADD HL, SP	DAD SP	JP C, nn	JC [B2] [B3]	PUSH BC	PUSH B
AND n	ANI [B2]	JP M, nn	JM [B2] [B3]	PUSH DE	PUSH D
AND r	ANA r	JP NC, nn	JNC [B2] [B3]	PUSH HL	PUSH H
AND (HL)	ANA M	JP nn	JMP [B2] [B3]	RET	RET
CALL C, nn	CC [B2] [B3]	JP NZ, nn	JNZ [B2] [B3]	RET C	RC
CALL M, nn	CM [B2] [B3]	JP P, nn	JP [B2] [B3]	RET M	RM
CALL NC, nn	CNC [B2] [B3]	JP PE, nn	JPE [B2] [B3]	RET NC	RNC
CALL nn	CALL	JP PO, nn	JPO [B2] [B3]	RET NZ	RNZ
CALL NZ, nn	CNZ [B2] [B3]	JP Z, nn	JZ [B2] [B3]	RET P	RP
CALL P, nn	CP [B2] [B3]	JP (HL)	PCHL	RET PE	RPE
CALL PE, nn	CPE [B2] [B3]	LD A, (DE)	LDAX	RET PO	RPO
CALL PO, nn	CPO [B2] [B3]	LDA, (nn)	LDA [B2] [B3]	RET Z	RZ
CALL Z, nn	CZ [B2] [B3]	LD DE, nn	LXID, [B2] [B3]	RLA	RAL
CCF	CMC	LD SP, nn	LXI SP, [B2] [B3]	RLCA	RLC
CP r	CMP r	LD (BC), A	STAX B	RRA	RAR
CP (HL)	CMP M	LD (DE), A	STAX D	RRCA	RRC
CPL	CMA	LD (HL), r	MOV M, r	RST P	RST P
CP n	CPI [B2]	LD (nn), A	STA [B2] [B3]	SBC A, (HL)	SBB M
DAA	DAA	LD (nn), HL	SHLD [B2] [B3]	SBC A, n	SBI [B2]
DEC BC	DCX B	LD A, (BC)	LDAX B	SBC A, r	SBB r
DEC DE	DCX D	LD BC, nn	LXIB, [B2] [B3]	SCF	STC
DEC HL	DCX H	LD HL, (nn)	LHLD [B2] [B3]	SUB n	SUI [B2]
DEC r	DCR r	LD HL, nn	LXI H [B2] [B3]	SUB r	SUB r
DEC SP	DCX SP	LD r, (HC)	MOV I, M	SUB (HL)	SUB M
DEC (HL)	DCR M	LD r, n	MVI r, [B2]	XOR n	XRI [B2]
DI	DI	LD r, r'	MOV r1, r2	XOR r	XRA r
EI	EI	LD SP, HL	SPHL	XOR (HL)	XRA M
EX DE, HL	XCHG	NOP	NOP		

8080	Z80	8080	Z80	8080	Z80
ACI [B2]	ADC A, n	IN [B2]	IN A, (n)	POP H	POP HL
ADC M	ADC A, (HL)	INR M	INC (HL)	POP PSW	POP AF
ADC r	ADC A, r	INR r	INC r	PUSH B	PUSH BC
ADD M	ADD A, (HL)	INX B	INC BC	PUSH D	PUSH DE
ADD r	ADD A, r	INX D	INC DE	PUSH H	PUSH HL
ADI [B2]	ADD A, n	INX H	INC HL	PUSH PSW	PUSH AF
ANA M	AND (HL)	INX SP	INC SP	RAL	RLA
ANA r	AND r	JC [B2] [B3]	JP C, nn	RAR	RRA
ANI [B2]	AND n	JM [B2] [B3]	JP M, nn	RC	RET C
CALL	CALL nn	JMP [B2] [B3]	JP nn	RET	RET
CC [B2] [B3]	CALL C, nn	JNC [B2] [B3]	JP NC, nn	RLC	RLCA
CM [B2] [B3]	CALL M, nn	JNZ [B2] [B3]	JP NZ, nn	RM	RET M
CMA	CPL	JP [B2] [B3]	JP P, nn	RNC	RET NC
CMC	CCF	JPE [B2] [B3]	JP PE, nn	RNZ	RET NZ
CMP M	CP (HL)	JPO [B2] [B3]	JP PO, nn	RP	RET P
CMP r	CP r	JZ [B2] [B3]	JP Z, nn	RPE	RET PE
CNC [B2] [B3]	CALL NC, nn	LDA [B2] [B3]	LD A, (nn)	RPO	RET PO
CNZ [B2] [B3]	CALL NZ, nn	LDAX B	LD A, (BC)	RRC	RRCA
CP [B2] [B3]	CALL P, nn	LDAX D	LD A, (DE)	RST	RST P
CPE [B2] [B3]	CALL PE, nn	LH LD [B2] [B3]	LD HL, (nn)	RZ	RET Z
CPI [B2]	CP n	LXI B [B2] [B3]	LD BC, nn	SBB M	SBC A, (HL)
CPO [B2] [B3]	CALL PO, nn	LDID [B2] [B3]	LD DE, nn	SBB r	SBC A, r
CZ [B2] [B3]	CALL Z, nn	LXI H [B2] [B3]	LD HL, nn	SBI [B2]	SBC A, n
DAA	DAA	LXI SP [B2] [B3]	LD SP, nn	SHLD [B2] [B3]	LD (nn), HL
DAD B	ADD HL, BC	MOV M, r	LD (HL), r	SPHL	LD SP, HL
DAD D	ADD HL, DE	MOV r, M	LD r, (HL)	STA [B2] [B3]	LD (nn), A
DAD H	ADD HL, HL	MOV r1, r2	LD r, r'	STAX B	LD (BC), A
DAD SP	ADD HL, SP	MVI M	LD (HL), n	STAX D	LD (DE), A
DCR M	DEC (HL)	MVI r [B2]	LD r, n	STC	SCF
DCR r	DEC r	NOP	NOP	SUB M	SUB (HL)
DCX B	DEC BC	ORA M	OR (HL)	SUB r	SUB r
DCX D	DEC DE	ORA r	OR r	SUI [B2]	SUB n
DCX H	DEC HL	ORI [B2]	OR n	XCHG	EX DE, HL
DCX SP	DEC SP	OUT [B2]	OUT (n), A	XRA M	XOR (HL)
DI	DI	PCHL	JP (HL)	XRA r	XOR r
EI	EI	POP B	POP BC	XRI [B2]	XOR n
HALT	HLT	POP D	POP DE	XTHL	EX (SP), HL

```

0000          0010          ORG 0
0020 ;*****
0030 ;*   SDK 85   SYSTEM DESIGN KIT   *
0040 ;*****
0050 ; 14-5-82                               VERSION 2.1
0060 ; DIT PROGRAMMA BEVAT:
0070 ; 1. INITIALISATIE CHOPPER
0080 ; 2. INSTELLEN DUTYCYCLE
0090 ; 3. VERZADIGINGSDETECTIE
0100 ;
0110 ; BELANGRYKE ROUTINES VAN DE
0120 ; MONITOR:
0130 ;
0000 0363     0140 UPDAD EQU 0363H
0150 ;SCHRYF DE INHOUD VAN HET DE REGISTER
0160 ;NAAR HET ADRES-VELD VAN HET DISPLAY.
0170 ;ALLE REGISTERS WORDEN BEINVLOED.
0180 ;
0000 036E     0190 UPDDT EQU 036EH
0200 ;SCHRYF DE INHOUD VAN DE ACCUMULATOR IN
0210 ;HEX NAAR HET DATA-VELD VAN HET DISPLAY.
0220 ;ALLE REGISTERS WORDEN BEINVLOED.
0230 ;
0000 05F1     0240 DELAY EQU 05F1H
0250 ;VERTRAGINGSLUS, WAARDE IN DE REG.
0260 ;
0270 ;ZIE VERDER OOK DE BESCHRYVING IN DE
0280 ;DOCUMENTATIE VAN DE SDK 85
0290 ;
0300 ; REFLECTIEADRESSEN VAN HET
0310 ; MONITORPROGRAMMA:
0320 ;
0000 20C2     0330  $\text{\$RST5}$  EQU 20C2H ;RST 5 REFLECTIE ADRES
0000 20C5     0340  $\text{\$RST6}$  EQU 20C5H ;RST 6 REFLECTIE ADRES
0000 20C8     0350  $\text{\$RST6.5}$  EQU 20C8H ;RST 6.5 INTERRUPT ADRES
0000 20CB     0360  $\text{\$RST7}$  EQU 20CBH ;RST 7 REFLECTIE ADRES
0000 20CE     0370  $\text{\$RST7.5}$  EQU 20CEH ;RST 7.5 "VECT INTR"
0000 20FF     0380  $\text{\$CREG3}$  EQU 20FFH ;BRAM STATUS REFLECTIE
0390 ;
0400 ; INPUT/OUTPUT POORTADRESSEN VAN
0410 ; DE SDK 85:
0420 ;
0000 0000     0430 PRT1A EQU 00H ;MONITOR ROM POORT A
0000 0001     0440 PRT1B EQU 01H ;MONITOR ROM POORT B
0000 0002     0450 DDR1A EQU 02H ;DATA DIRECTION REG. POORT A
0000 0003     0460 DDR1B EQU 03H ;DATA DIRECTION REG. POORT B
0470 ;
0000 0008     0480 PRT2A EQU 08H ;EXPANSIE ROM POORT A
0000 0009     0490 PRT2B EQU 09H ;EXPANSIE ROM POORT B
0000 000A     0500 DDR2A EQU 0AH ;DATA DIRECTION REG. POORT A
0000 000B     0510 DDR2B EQU 0BH ;DATA DIRECTION REG. POORT B
0520 ;
0000 0020     0530 CREG3 EQU 20H ;COMM/STATUS REG. RAM
0000 0021     0540 PRT3A EQU 21H ;BASIC RAM POORT A
0000 0022     0550 PRT3B EQU 22H ;BASIC RAM POORT B
0000 0023     0560 PRT3C EQU 23H ;BASIC RAM POORT C
0000 0024     0570 RTCL3 EQU 24H ;TIMER COUNT LOW ORDER BYTE
0000 0025     0580 RTCH3 EQU 25H ;TIMER COUNT HIGH ORDER BYTE
0590 ;
0600 ; POORTADRESSEN VAN DE UITBREIDING:
0610 ;
0620 ; DE ADRESSEN VAN DE 8253 TIMER:

```

```

0000 0080      0630 TIM0   EQU   80H ;TIMER 0 ADRES
0000 0081      0640 TIM1   EQU   81H ;TIMER 1 ADRES
0000 0082      0650 TIM2   EQU   82H ;TIMER 2 ADRES
0000 0083      0660 TMODE  EQU   83H ;TIMER MODE ADRES
                0670 ;
                0680 ;DE ADRESSEN VAN DE A/D CONVERTERS:
0000 0084      0690 ADC1   EQU   84H ;CONVERTER 1
0000 0088      0700 ADC2   EQU   88H ;CONVERTER 2
                0710 ;
                0720 ;*****
0730 ;*           DE BESTURINGSROUTINE           *
0740 ;*****
0750 ;VERSION 2.1           14-5-82
0760 ;
0000 2080      0770 STACK EQU  2080H ;USER STACK
0000 2008      0780 DCYCL  EQU  2008H ;OPSLAG DUTYCYCLE
0000 2002      0790 PFLAG  EQU  2002H ;VLAG VOOR PERIODEHELFT
0000 2004      0800 LFLAG  EQU  2004H ;LAATSTE DOOFTHYRISTOR
0000 0030      0810 SIM    EQU   30H ;8085 SIM INSTRUCTIE
0000 0008      0820 MONTR  EQU   8H ;WARME START SDK-85 MONITOR
                0830 ;
0800           0840           ORG   8000H
0800 F3        0850 START  DI    ;DISABLE INTERRUPTS
0801 31B020    0860      LD   SP,STACK ;INIT. STACKPOINTER
                0870 ;**** INITIALISATIE HARDWARE ****
0804 3E10      0880      LD   A,10H ;MODE WOORD TIMER 0
0806 D383      0890      OUT  (TMODE),A ;INIT. TIMER 0
0808 3E50      0900      LD   A,50H ;MODE WOORD TIMER 1
080A D383      0910      OUT  (TMODE),A ;INIT. TIMER 1
080C 3E90      0920      LD   A,90H ;MODE WOORD TIMER 2
080E D383      0930      OUT  (TMODE),A ;INIT. TIMER 2
0810 3EFF      0940      LD   A,0FFH ;CONTROLEWOORD
0812 D302      0950      OUT  (DDR1A),A ;ZET PRT1A IN OUTPUT MODE
0814 3E00      0960      LD   A,0H ;CONTROLEWOORD PRT1B
0816 D303      0970      OUT  (DDR1B),A ;ZET PRT1B IN INPUT MODE
0818 D300      0980      OUT  (PRT1A),A ;RESET OUTPUT POORT
                0990 ;*** INITIALISATIE INTERRUPT SYSTEEM ***
081A 11C220    1000 IVECT  LD   DE,IRSTS ;BEGINADRES REFLECTIES
081D 217C82    1010      LD   HL,TABLE ;BEGINADRES TABEL
0820 060F      1020      LD   B,TBLEND-TABLE ;LENGTE TABEL
0822 7E        1030 LOOP1 LD   A,(HL) ;LEES BYTE UIT TABEL
0823 12        1040      LD   (DE),A ;SCHRYF NAAR GEHEUGEN
0824 13        1050      INC  DE
0825 23        1060      INC  HL ;PAS POINTERS AAN
0826 05        1070      DEC  B ;VERLAAG TELLER
0827 C22280    1080      JP   NZ,LOOP1 ;ALLE PLAATSEN GEHAD?
082A 3E0B      1090      LD   A,0BH ;INTERRUPT CONTROLEWOORD CPU
082C 30        1100      DEFB SIM ;SET INTERRUPT MASK
                1110 ;(ENABLE RST7.5 INGANG)
                1120 ;**** INITIALISATIE SOFTWARE ****
082D 3E00      1130      LD   A,0
082F 320220    1140      LD   (PFLAG),A ;INIT. PFLAG (1E HELFT)
                1150 ;HET PROGRAMMA WACHT TOT DE "VECT INTR"
                1160 ;TOETS WORDT GEDRUKT,ZODAT DE SPANNING
                1170 ;VAN DE CHOPPER KAN WORDEN INGESCHAKELD.
0832 FB        1180      EI   ;ENABLE INTERRUPTS
0833 76        1190      HALT.;WACHT OP "VECT INTR" TOETS
                1200 ;
                1210 ;** INITIALISATIE COMMUTATIECONDENSATOR **
0834 3E60      1220      LD   A,60H
0836 D300      1230      OUT  (PRT1A),A ;SCHAKEL DT4,DT6 IN
0838 11FFFF    1240      LD   DE,0FFFFH ;TYDSDUUR VERTRAGING
083B CDF105    1250      CALL DELAY ;WACHTLUS
083E 3E80      1260      LD   A,80H ;HALVE PERIODE

```

```

8040 D380      1270      OUT  (TIM0),A ;START TIMER 0
8042 C30081    1280      JP   LOOP2 ;SPRING NAAR HOOFDPROGRAMMA
8100           1290      ORG  8100H
                1300 ;**** HOOFDPROGRAMMA ****
                1310 ;
8100 D384      1320 LOOP2  OUT  (ADC1),A ;START CONVERSIE SOC
8102 DB01      1330 SADC1  IN   A,(PRT1B) ;LEES STATUS BIT
8104 E601      1340          AND  01H ;TEST BIT 0
8106 C20281    1350          JP   NZ,SADC1 ;INDIEN GEEN EOC
8109 DB84      1360          IN   A,(ADC1) ;LEES ADC UIT (STAND POTM.)
810B 3C        1370          INC  A ;MIN DUTYCYCLE=1
810C CA0081    1380          JP   Z LOOP2 ;GEEN 0 TOELATEN
810F 320820    1390          LD   (DCYCL),A ;UPDATE DUTYCYCLE
8112 CD6E03    1400          CALL UPDDT ;LAAT ZIEN OP DATA-DISPLAY
8115 C30081    1410          JP   LOOP2 ;OPNIEUW
                1420 ;
8200           1430      ORG  8200H
                1440 ;*****
                1450 ;* NU VOLGEN DE INTERRUPT ROUTINES *
                1460 ;*****
                1470 ;
                1480 ;RST 5 INTERRUPT ROUTINE
                1490 ;
8200 F5        1500 INT0   PUSH AF ;BEWAAR REGISTERS
8201 3E10      1510          LD   A,10H ;MODE WOORD TIMER 0
8203 D383      1520          OUT  (TMODE),A ;STOP TIMER 0
8205 3A0220    1530          LD   A,(PFLAG) ;LEES PFLAG
8208 B7        1540          OR   A ;TEST VLAG
8209 C21E82    1550          JP   NZ,SHT2 ;INDIEN <>0 DAN 2E HELFT PER.
820C DB00      1560 SHT1   IN   A,(PRT1A) ;1E HELFT PERIODE
820E F601      1570          OR   01H ;SET BIT 0
8210 D300      1580          OUT  (PRT1A),A ;SCHAKEL HT1 IN
8212 3E50      1590          LD   A,50H ;MODE WOORD TIMER 1
8214 D383      1600          OUT  (TMODE),A ;INIT. TIMER 1
8216 3A0820    1610          LD   A,(DCYCL) ;LAAD DUTYCYCLE
8219 D381      1620          OUT  (TIM1),A ;EN START TIMER 1
821B C32D82    1630          JP   END0 ;VERDER
021E DB00      1640 SHT2   IN   A,(PRT1A) ;2E HELFT PERIODE
8220 F610      1650          OR   10H ;SET BIT 4
8222 D300      1660          OUT  (PRT1A),A ;SCHAKEL HT2 IN
8224 3E90      1670          LD   A,90H ;MODE WOORD TIMER 2
8226 D383      1680          OUT  (TMODE),A ;INIT. TIMER 2
8228 3A0820    1690          LD   A,(DCYCL) ;LAAD DUTYCYCLE
822B D382      1700          OUT  (TIM2),A ;EN START TIMER 2
822D 3A0220    1710 END0   LD   A,(PFLAG) ;LEES PFLAG
8230 2F        1720          CPL  ;INVERTEER VLAG
8231 320220    1730          LD   (PFLAG),A ;BEWAAR VLAG
8234 3E80      1740          LD   A,80H ;LAAD HALVE PERIODE
8236 D380      1750          OUT  (TIM0),A ;EN START TIMER 0
8238 3E09      1760          LD   A,09H ;INTERRUPT MASKER
823A 30        1770          DEFB SIM ;GEEF RST6.5 INTERRUPT VRY
823B F1        1780          POP  AF ;HERSTEL REGISTERS
823C FB        1790          EI   ;RE-ENABLE INTERRUPTS
823D C9        1800          RET  ;TERUG NAAR HOOFDPROGRAMMA
                1810 ;
                1820 ;RST 6 INTERRUPT ROUTINE
                1830 ;
823E F5        1840 INT1   PUSH AF ;BEWAAR
823F 3E50      1850 INT11  LD   A,50H ;MODE WOORD TIMER 1
8241 D383      1860          OUT  (TMODE),A ;STOP TIMER 1
8243 DB00      1870          IN   A,(PRT1A) ;LEES TOESTAND OUTPUT POORT
8245 E69E      1880          AND  9EH ;RESET BITS 0,5,6
8247 D300      1890          OUT  (PRT1A),A ;STURING HT1,DT4,DT6 UIT
8249 F606      1900          OR   06H ;SET BITS 1 EN 2

```

```

824B D300      1910      OUT  (PRT1A),A ;SCHAKEL DT3,DT5 IN      B2-6
824D 3E06      1920      LD   A,06H ;CODE VOOR INSCHAK. DT3,DT5
824F 320420    1930      LD   (LFLAG),A ;ZET LFLAG GOED
8252 F1        1940      POP  AF ;HERSTEL
8253 FB        1950      EI   ;RE-ENABLE INTERRUPTS
8254 C9        1960      RET  ;TERUG
                1970 ;
                1980 ;RST 7 INTERRUPT ROUTINE
                1990 ;
8255 F5        2000 INT2   PUSH AF ;BEWAAR
8256 3E90      2010 INT21  LD   A,90H ;MODE WOORD TIMER 2
8258 D383      2020      OUT  (TMODE),A ;STOP TIMER 2
825A DB00      2030      IN   A,(PRT1A) ;LEES TOESTAND OUTPUT POORT
825C E6E9      2040      AND  0E9H ;RESET BITS 4,1,2
825E D300      2050      OUT  (PRT1A),A ;STURING HT2,DT3,DT5 UIT
8260 F660      2060      OR   60H ;SET BITS 5 EN 6
8262 D300      2070      OUT  (PRT1A),A ;SCHAKEL DT4,DT6 IN
8264 3E60      2080      LD   A,60H ;CODE VOOR INSCHAK. DT4,DT6
8266 320420    2090      LD   (LFLAG),A ;ZET LFLAG GOED
8269 F1        2100      POP  AF ;HERSTEL
826A FB        2110      EI   ;RE-ENABLE INTERRUPTS
826B C9        2120      RET  ;TERUG
                2130 ;
                2140 ;RST 6.5 INTERRUPT ROUTINE
                2150 ;
826C F5        2160 INT3   PUSH AF ;BEWAAR REGISTERS
826D 3E0B      2170      LD   A,0BH ;INTERRUPT MASKER
826F 30        2180      DEFB SIM ;DISABLE RST6.5 INTERRUPT
8270 3A0220    2190      LD   A,(PFLAG) ;LEES VLAG
8273 B7        2200      OR   A ;TEST VLAG
8274 C23F82    2210      JP   NZ,INT11 ;DOOF HT1 EN STOP TIMER 1
8277 C35682    2220      JP   INT21 ;DOOF HT2 EN STOP TIMER 2
                2230 ;
                2240 ;
                2250 ;RST 7.5 INTERRUPT ROUTINE
                2260 ;
827A FB        2270 INT4   EI   ;RE-ENABLE INTERRUPTS
827B C9        2280      RET  ;TERUG
                2290 ;
                2300 ;*****
                2310 ;*  INITIALISATIETABEL REFLECTIES  *
                2320 ;*****
                2330 ;
827C C30082    2340 TABLE JP   INT0 ;RST 5 ROUTINE
827F C33E82    2350      JP   INT1 ;RST 6 ROUTINE
8282 C36C82    2360      JP   INT3 ;RST 6.5 ROUTINE
8285 C35582    2370      JP   INT2 ;RST 7 ROUTINE
8288 C37A82    2380      JP   INT4 ;RST 7.5 ROUTINE
828B 0001      2390 TBLEND DEFS 1
                2400 ;
                2410 ;
                2420 ;*****
                2430 ;*          UTILITY ROUTINES          *
                2440 ;*****
                2450 ;
                2460 ;
                2470 ;COPIEERPROGRAMMA
                2480 ;DIT PROGRAMMA COPIEERT DE 1E HELFT VAN
                2490 ;DE 2716 EPROM NAAR HET RAM GEHEUGEN
                2500 ;
8C00           2510      ORG  8C00H
8C00 210088    2520 COPY  LD   HL,8800H ;BRONADRES
8C03 110080    2530      LD   DE,8000H ;BESTEMMING
8C06 010004    2540      LD   BC,400H

```

```

8C09 7E      2550 LOOP3 LD  A,(HL) ;LEES UIT ROM
8C0A 72      2560      LD  (DE),A ;SCHRYF NAAR RAM
8C0B 23      2570      INC HL
8C0C 13      2580      INC DE
8C0D 0B      2590      DEC BC
8C0E 78      2600      LD  A,B
8C0F B1      2610      OR  C
8C10 C2098C  2620      JP  NZ,LOOP3
8C13 CF      2630      RST MONTR ;TERUG NAAR MONITOR
                2640 ;

```

Z80 ASSEMBLER - SYMBOL TABLE

```

20FFH 0380  IREG3      20C2H 0330  IREG5
20C5H 0340  IREG6      20C8H 0350  IREG65
20CBH 0360  IREG7      20CEH 0370  IREG75
0084H 0690  ADC1       0088H 0700  ADC2
8C00H 2520  COPY       0020H 0530  CREG3
2008H 0780  DCYCL      0002H 0450  DDR1A
0003H 0460  DDR1B      000AH 0500  DDR2A
000BH 0510  DDR2B      05F1H 0240  DELAY
822DH 1710  END0       8200H 1500  INT0
823EH 1840  INT1       823FH 1850  INT11
8255H 2000  INT2       8256H 2010  INT21
826CH 2160  INT3       827AH 2270  INT4
801AH 1000  IVECT      2004H 0800  LFLAG
8022H 1030  LOOP1      8100H 1320  LOOP2
8C09H 2550  LOOP3      0008H 0820  MONTR
2002H 0790  PFLAG      0000H 0430  PRT1A
0001H 0440  PRT1B      0008H 0480  PRT2A
0009H 0490  PRT2B      0021H 0540  PRT3A
0022H 0550  PRT3B      0023H 0560  PRT3C
0025H 0580  RTCH3      0024H 0570  RTCL3
8102H 1330  SADC1      820CH 1560  SHT1
821EH 1640  SHT2       0030H 0810  SIM
20B0H 0770  STACK      8000H 0850  START
827CH 2340  TABLE     828BH 2390  TBLEND
0080H 0630  TIM0       0081H 0640  TIM1
0082H 0650  TIM2       0083H 0660  TMODE
0363H 0140  UPDAD      036EH 0190  UPDDT

```

```

0000      0010      ORG 0
0020 ;*****
0030 ;*      SDK 85      SYSTEM DESIGN KIT      *
0040 ;*****
0050 ; 6-4-82                      VERSION 2.2
0060 ; DIT PROGRAMMA BEVAT:
0070 ; 1. INITIALISATIE CHOPPER
0080 ; 2. INSTELBARE DUTYCYCLE
0090 ; 3. VERZADIGINGSCONTROLE DOOR
0100 ;      REGELING VAN DE DUTYCYCLE VAN HT2
0110 ; 4. VERBETERDE INTERRUPT ROUTINES
0120 ;      BELANGRYKE ROUTINES VAN DE
0130 ;      MONITOR:
0140 ;
0000 0363      0150 UPDAD EQU 0363H
0160 ;SCHRYF DE INHOUD VAN HET DE REGISTER
0170 ;NAAR HET ADRES-VELD VAN HET DISPLAY.
0180 ;ALLE REGISTERS WORDEN BEINVLOED.
0190 ;
0000 036E      0200 UPDDT EQU 036EH
0210 ;SCHRYF DE INHOUD VAN DE ACCUMULATOR IN
0220 ;HEX NAAR HET DATA-VELD VAN HET DISPLAY.
0230 ;ALLE REGISTERS WORDEN BEINVLOED.
0240 ;
0000 05F1      0250 DELAY EQU 05F1H
0260 ;VERTRAGINGSGLUS,WAARDE IN DE REG.
0270 ;
0280 ;ZIE VERDER OOK DE BESCHRYVING IN DE
0290 ;DOCUMENTATIE VAN DE SDK 85
0300 ;
0310 ;      REFLECTIEADRESSEN VAN HET
0320 ;      MONITORPROGRAMMA:
0330 ;
0000 20C2      0340 %RST5 EQU 20C2H ;RST 5 REFLECTIE ADRES
0000 20C5      0350 %RST6 EQU 20C5H ;RST 6 REFLECTIE ADRES
0000 20C8      0360 %RST65 EQU 20C8H ;RST 6.5 INTERRUPT ADRES
0000 20CB      0370 %RST7 EQU 20CBH ;RST 7 REFLECTIE ADRES
0000 20CE      0380 %RST75 EQU 20CEH ;RST 7.5 "VECT INTR"
0000 20FF      0390 %CREG3 EQU 20FFH ;BRAM STATUS REFLECTIE
0400 ;
0410 ;      INPUT/OUTPUT POORTADRESSEN VAN
0420 ;      DE SDK 85:
0430 ;
0000 0000      0440 PRT1A EQU 00H ;MONITOR ROM POORT A
0000 0001      0450 PRT1B EQU 01H ;MONITOR ROM POORT B
0000 0002      0460 DDR1A EQU 02H ;DATA DIRECTION REG. POORT A
0000 0003      0470 DDR1B EQU 03H ;DATA DIRECTION REG. POORT B
0480 ;
0000 0008      0490 PRT2A EQU 08H ;EXPANSIE ROM POORT A
0000 0009      0500 PRT2B EQU 09H ;EXPANSIE ROM POORT B
0000 000A      0510 DDR2A EQU 0AH ;DATA DIRECTION REG. POORT A
0000 000B      0520 DDR2B EQU 0BH ;DATA DIRECTION REG. POORT B
0530 ;
0000 0020      0540 CREG3 EQU 20H ;COMM/STATUS REG. RAM
0000 0021      0550 PRT3A EQU 21H ;BASIC RAM POORT A
0000 0022      0560 PRT3B EQU 22H ;BASIC RAM POORT B
0000 0023      0570 PRT3C EQU 23H ;BASIC RAM POORT C
0000 0024      0580 RTCL3 EQU 24H ;TIMER COUNT LOW ORDER BYTE
0000 0025      0590 RTCH3 EQU 25H ;TIMER COUNT HIGH ORDER BYTE
0600 ;
0610 ;      POORTADRESSEN VAN DE UITBREIDING:
0620 ;

```



```

0000 0080 0630 ;DE ADRESSEN VAN DE 8253 TIMER:
0000 0081 0640 TIM0 EQU 80H ;TIMER 0 ADRES
0000 0082 0650 TIM1 EQU 81H ;TIMER 1 ADRES
0000 0083 0660 TIM2 EQU 82H ;TIMER 2 ADRES
0000 0083 0670 TMODE EQU 83H ;TIMER MODE ADRES
0680 ;
0690 ;DE ADRESSEN VAN DE A/D CONVERTERS:
0000 0084 0700 ADC1 EQU 84H ;CONVERTER 1
0000 0088 0710 ADC2 EQU 88H ;CONVERTER 2
0720 ;
0730 ;*****
0740 ;* BESTURINGSROUTINE CHOPPER *
0750 ;*****
0760 ;VERSION 2.2 6-4-82
0770 ;
0000 2080 0780 STACK EQU 2080H ;USER STACK
0000 2000 0790 FACTR EQU 2000H ;OPSLAG AFREGELFACTOR
0000 2002 0800 PFLAG EQU 2002H ;VLAG VOOR PERIODAHELEFT
0000 2004 0810 DIFF EQU 2004H ;OPSLAG VERSCHIL HT2-HT1
0000 2006 0820 SILDC EQU 2006H ;OPSLAG INTEGRATOR
0000 2008 0830 DCYCL EQU 2008H ;OPSLAG DUTYCYCLE
0000 200A 0840 LFLAG EQU 200AH ;LAATSTE DOOFTHYRISTOR
0000 2008 0850 DCYCL1 EQU DCYCL ;DUTYCYCLE HT1
0000 2009 0860 DCYCL2 EQU DCYCL+1 ;DUTYCYCLE HT2
0000 0030 0870 SIM EQU 30H ;8085 SIM INSTRUCTIE
0000 0008 0880 MONTR EQU 8H ;WARME START SDK-85 MONITOR
0890 ;
8000 0900 ORG 8000H
8000 F3 0910 START DI ;DISABLE INTERRUPTS
8001 31B020 0920 LD SP,STACK ;INIT. STACKPOINTER
0930 ;**** INITIALISATIE HARDWARE ****
8004 3E10 0940 LD A,10H ;MODE WOORD TIMER 0
8006 D383 0950 OUT (TMODE),A ;INIT. TIMER 0
8008 3E50 0960 LD A,50H ;MODE WOORD TIMER 1
800A D383 0970 OUT (TMODE),A ;INIT. TIMER 1
800C 3E90 0980 LD A,90H ;MODE WOORD TIMER 2
800E D383 0990 OUT (TMODE),A ;INIT. TIMER 2
8010 3EFF 1000 LD A,0FFH ;CONTROLEWOORD
8012 D302 1010 OUT (DDR1A),A ;ZET PRT1A IN OUTPUT MODE
8014 3E00 1020 LD A,0H ;CONTROLEWOORD PRT1B
8016 D303 1030 OUT (DDR1B),A ;ZET PRT1B IN INPUT MODE
8018 D300 1040 OUT (PRT1A),A ;RESET OUTPUT POORT
1050 ;*** INITIALISATIE INTERRUPT SYSTEEM ***
801A 11C220 1060 IVECT LD DE,&RST5 ;BEGINADRES REFLECTIES
801D 210083 1070 LD HL,TABLE ;BEGINADRES TABEL
8020 060F 1080 LD B,TBLEND-TABLE ;LENGTE TABEL
8022 7E 1090 LOOP1 LD A,(HL) ;LEES BYTE UIT TABEL
8023 12 1100 LD (DE),A ;SCHRYF NAAR GEHEUGEN
8024 13 1110 INC DE
8025 23 1120 INC HL ;PAS POINTERS AAN
8026 05 1130 DEC B ;VERLAAG TELLER
8027 C22280 1140 JP NZ,LOOP1 ;ALLE PLAATSEN GEHAD?
802A 3E0B 1150 LD A,0BH ;INTERRUPT CONTROLEWOORD CPU
802C 30 1160 DEFB SIM ;SET INTERRUPT MASK
1170 ;(ENABLE RST7.5 INGANG)
1180 ;**** INITIALISATIE SOFTWARE ****
802D 3E00 1190 LD A,0
802F 320220 1200 LD (PFLAG),A ;INIT. PFLAG (1E HELFT)
8032 320420 1210 LD (DIFF),A ;INIT. VERSCHIL HT2-HT1
8035 210101 1220 LD HL,0101H
8038 220820 1230 LD (DCYCL),HL ;INITIALISATIE DUTYCYCLE
1240 ;HET PROGRAMMA WACHT TOT DE "VECT INTR"
1250 ;TOETS WORDT GEDRUKT,ZODAT DE SPANNING
1260 ;VAN DE CHOPPER KAN WORDEN INGESCHAKELD.

```

```

803B FB      1270      EI      ;ENABLE INTERRUPTS
803C 76      1280      HALT    ;WACHT OP "VECT INTR" TOETS
1290 ;
1300 ;** INITIALISATIE COMMUTATIECONDENSATOR **
803D 3E60    1310      LD      A,60H
803F D300    1320      OUT    (PRT1A),A ;SCHAKEL DT4,DT6 IN
8041 320A20  1330      LD      (LFLAG),A ;INITIALISATIE LFLAG
8044 11FFFF  1340      LD      DE,0FFFFH ;TYDSDUUR VERTRAGING
8047 CDF105  1350      CALL   DELAY ;WACHTLUS
804A 3E80    1360      LD      A,80H ;HALVE PERIODE
804C D380    1370      OUT    (TIM0),A ;START TIMER 0
804E C30081  1380      JP     LOOP2 ;SPRING NAAR HOOFDPROGRAMMA
1390 ;
8100      1400      ORG    8100H
1410 ;**** HOOFDPROGRAMMA ****
1420 ;
8100 D384    1430  LOOP2  OUT    (ADC1),A ;START CONVERSIE SOC
8102 DB01    1440  SADC1  IN     A,(PRT1B) ;LEES STATUS BIT
8104 E601    1450          AND    01H ;TEST BIT 0
8106 C20281  1460          JP     NZ,SADC1 ;INDIEN GEEN EOC
8109 DB84    1470          IN     A,(ADC1) ;LEES ADC UIT (STAND POTM.)
810B FE04    1480          CP     4 ;IS GEVR. DUTYCYCLE <=4 ?
810D D21281  1490          JP     NC,SADC2 ;NEE,DAN VERDER
8110 3E04    1500          LD      A,4 ;MIN. D.C. =4
8112 FEFC    1510  SADC2  CP     252 ;TEST OF GEVR. D.C. > 252
8114 DA1981  1520          JP     C,SADC3 ;NEE,DAN VERDER
8117 3EFC    1530          LD      A,252 ;MAX. D.C.=252
8119 6F      1540  SADC3  LD     L,A ;UPDATE DUTYCYCLE HT1
811A 67      1550          LD     H,A ;BEWAAR IN H
811B 3A0420  1560          LD     A,(DIFF) ;LEES VERSCHIL
811E 84      1570          ADD    A,H ;BEREKEN DUTYCYCLE HT2
811F 67      1580          LD     H,A ;ZET IN REG. H
8120 220820  1590          LD     (DCYCL),HL ;ZET IN GEHEUGEN
8123 EB      1600  DISPL  EX     DE,HL ;LAAD DE MET HL
8124 CD6303  1610          CALL  UPDAD ;LAAT ZIEN OP ADRES-DISPLAY
8127 3A0420  1620          LD     A,(DIFF) ;LEES DIFF
812A CD6E03  1630          CALL  UPDDT ;LAAT ZIEN OP DATA-DISPLAY
812D C30081  1640          JP     LOOP2 ;OPNIEUW
1650 ;
8200      1660      ORG    8200H
1670 ;*****
1680 ;* NU VOLGEN DE INTERRUPT ROUTINES *
1690 ;*****
1700 ;
1710 ;RST 5 INTERRUPT ROUTINE
1720 ;
8200 F5      1730  INT0   PUSH  AF ;BEWAAR REGISTERS
8201 3E10    1740          LD     A,10H ;MODE WOORD TIMER 0
8203 D383    1750          OUT    (TMODE),A ;STOP TIMER 0
8205 3A0220  1760          LD     A,(PFLAG) ;LEES PFLAG
8208 B7      1770          OR     A ;TEST VLAG
8209 C21E82  1780          JP     NZ,SHT2 ;INDIEN <>0 DAN 2E HELFT PER.
820C DB00    1790  SHT1  IN     A,(PRT1A) ;1E HELFT PERIODE
820E F601    1800          OR     01H ;SET BIT 0
8210 D300    1810          OUT    (PRT1A),A ;SCHAKEL HT1 IN
8212 3E50    1820          LD     A,50H ;MODE WOORD TIMER 1
8214 D383    1830          OUT    (TMODE),A ;INIT. TIMER 1
8216 3A0820  1840          LD     A,(DCYCL1) ;LAAD DUTYCYCLE
8219 D381    1850          OUT    (TIM1),A ;EN START TIMER 1
821B C32D82  1860          JP     ENDO ;VERDER
821E DB00    1870  SHT2  IN     A,(PRT1A) ;2E HELFT PERIODE
8220 F610    1880          OR     10H ;SET BIT 4
8222 D300    1890          OUT    (PRT1A),A ;SCHAKEL HT2 IN
8224 3E90    1900          LD     A,90H ;MODE WOORD TIMER 2

```

```

8226 D383      1910      OUT   (TMODE),A ; INIT. TIMER 2
8228 3A0920    1920      LD    A,(DCYCL2) ; LAAD DUTYCYCLE
820B D382      1930      OUT   (TIM2),A ; EN START TIMER 2
822D 3E09      1940      ENDO   LD    A,09H ; INTERRUPT MASKER
822F 30        1950      DEFB  SIM ; ENABLE RST7.5 EN RST6.5
8230 3A0220    1960      LD    A,(PFLAG) ; LEES PFLAG
8233 2F        1970      CPL   ; INVERTEER VLAG
8234 320220    1980      LD    (PFLAG),A ; BEWAAR VLAG
8237 3E80      1990      LD    A,80H ; LAAD HALVE PERIODE
8239 D380      2000      OUT   (TIM0),A ; EN START TIMER 0
823B F1        2010      POP  AF ; HERSTEL REGISTERS
823C FB        2020      EI    ; RE-ENABLE INTERRUPTS
823D C9        2030      RET   ; TERUG NAAR HOOFDPROGRAMMA
                2040      ;
                2050      ;RST 6 INTERRUPT ROUTINE
                2060      ;
823E F5        2070      INT1   PUSH AF ; BEWAAR
823F 3E50      2080      INT11  LD    A,50H ; MODE WOORD TIMER 1
8241 D383      2090      OUT   (TMODE),A ; STOP TIMER 1
8243 DB00      2100      IN    A,(PRT1A) ; LEES TOESTAND OUTPUT POORT
8245 E69E      2110      AND   9EH ; RESET BITS 0,5,6
8247 D300      2120      OUT   (PRT1A),A ; STURING HT1,DT4,DT6 UIT
8249 F606      2130      OR    06H ; SET BITS 1 EN 2
824B D300      2140      OUT   (PRT1A),A ; SCHAKEL DT3,DT5 IN
824D 3E06      2150      LD    A,06H ; CODE VOOR INSCHAK. DT3,DT5
824F 320A20    2160      LD    (LFLAG),A ; ZET FLAG GOED
8252 F1        2170      POP  AF ; HERSTEL
8253 FB        2180      EI    ; RE-ENABLE INTERRUPTS
8254 C9        2190      RET   ; TERUG
                2200      ;
                2210      ;RST 7 INTERRUPT ROUTINE
                2220      ;
8255 F5        2230      INT2   PUSH AF ; BEWAAR
8256 3E90      2240      INT21  LD    A,90H ; MODE WOORD TIMER 2
8258 D383      2250      OUT   (TMODE),A ; STOP TIMER 2
825A DB00      2260      IN    A,(PRT1A) ; LEES TOESTAND OUTPUT POORT
825C E6E9      2270      AND   0E9H ; RESET BITS 4,1,2
825E D300      2280      OUT   (PRT1A),A ; STURING HT2,DT3,DT5 UIT
8260 F660      2290      OR    60H ; SET BITS 5 EN 6
8262 D300      2300      OUT   (PRT1A),A ; SCHAKEL DT4,DT6 IN
8264 3E60      2310      LD    A,60H ; CODE VOOR INSCHAK. DT4,DT6
8266 320A20    2320      LD    (LFLAG),A ; ZET VLAG GOED
8269 F1        2330      POP  AF ; HERSTEL
826A FB        2340      EI    ; RE-ENABLE INTERRUPTS
826B C9        2350      RET   ; TERUG
                2360      ;
                2370      ;RST 7.5 INTERRUPT ROUTINE
                2380      ;
826C FB        2390      INT4   EI    ; RE-ENABLE INTERRUPTS
826D C9        2400      RET   ; TERUG
                2410      ;
                2420      ;RST 6.5 INTERRUPT ROUTINE
                2430      ;
826E F5        2440      INT3   PUSH AF ; BEWAAR REGISTERS
826F E5        2450      PUSH  HL
8270 2A0820    2460      LD    HL,(DCYCL) ; LEES DUTYCYCLE(S)
8273 3A0220    2470      LD    A,(PFLAG) ; LEES VLAG
8276 B7        2480      OR    A ; SET FLAGS
8277 3A0420    2490      LD    A,(DIFF) ; LEES VERSCHIL
827A C28982    2500      JP    NZ,PERH1 ; INDIEN PFLAG=1 IE HELFT PER.
827D 3D        2510      PERH2  DEC  A ; VELAAG DIFF (2E HELFT PER.)
827E F29082    2520      JP    P,NEXT2 ; DIFF POSITIEF, GEEN PROBLEMEN
8281 3D        2530      NEXT1  DEC  A ; KEER TEKEN DIFF OM
8282 2F        2540      CPL   ; (MAAK 2-COMPLEMENT)

```

```

8283 67      2550      LD      H,A ;BEWAAR DIFF IN REG. H      B2-12
8284 7D      2560      LD      A,L ;LAAD DUTYCYCLE HT1
8285 94      2570      SUB     H ;TREK DIFF AF
8286 C39182  2580      JP      NEXT3 ;NU WERKEN DE TESTS WEL
8289 3C      2590 PERH1  INC     A ;VERHOOG DIFF (1E HELFT PER.)
828A F29082  2600      JP      P,NEXT2 ;DIFF POSITIEF,GEEN PROBLEMEN
828D C38182  2610      JP      NEXT1 ;DIFF NEGATIEF,CONVERTEER
8290 85      2620 NEXT2  ADD     A,L ;TEL DIFF OP BY D.C. HT1
8291 CAAB82  2630 NEXT3  JP      Z,NOUPD ;NUL IS NIET TOELAATBAAR
8294 DAAB82  2640      JP      C,NOUPD ;INDIEN OVERDRACHT
8297 67      2650      LD      H,A ;BEWAAR D.C. VAN HT2 IN REG. H
8298 95      2660      SUB     L ;BEREKEN D.C. HT2 - D.C. HT1
8299 F29E82  2670      JP      P,INT31 ;INDIEN VERSCHIL POS.
829C 3D      2680      DEC     A ;KEER TEKEN OM
829D 2F      2690      CPL     ;(MAAK 2-COMPLEMENT)
829E FE10    2700 INT31  CP      16 ;KYK OF VERSCHIL <16
82A0 D2AB82  2710      JP      NC,NOUPD ;INDIEN >=16
82A3 220820  2720 UPDAT  LD      (DCYCL),HL ;UPDATE DUTYCYCLE(S)
82A6 7C      2730      LD      A,H ;BEREKEN OPNIEUW DIFF
82A7 95      2740      SUB     L
82A8 320420  2750      LD      (DIFF),A ;UPDATE DIFF
82AB 3E0B    2760 NOUPD  LD      A,0BH ;INTERRUPT MASKER
82AD 30      2770      DEFB   SIM ;DISABLE RST6.5 INGANG (8085)
82AE E1      2780      POP    HL ;HERSTEL REGISTERS
82AF F1      2790      POP    AF
82B0 FB      2800      EI     ;RE-ENABLE INTERRUPTS
82B1 C9      2810      RET    ;TERUG NAAR HOOFDPROGRAMMA
2820 ;
2830 ;OPM: BINNEN DEZE ROUTINE BEVAT
2840 ;REGISTER L DE DUTYCYCLE VOOR HT1
2850 ;EN REGISTER H DE DUTYCYCLE VOOR HT2
2860 ;
8300      2870      ORG   8300H
2880 ;*****
2890 ;*  INITIALISATIETABEL REFLECTIES  *
2900 ;*****
2910 ;
8300 C30082  2920 TABLE JP    INT0 ;RST 5 ROUTINE
8303 C33E82  2930      JP    INT1 ;RST 6 ROUTINE
8306 C36E82  2940      JP    INT3 ;RST 6.5 ROUTINE
8309 C35582  2950      JP    INT2 ;RST 7 ROUTINE
830C C36C82  2960      JP    INT4 ;RST 7.5 ROUTINE
830F 0001    2970 TBLEND DEFS 1
2980 ;
2990 ;
3000 ;*****
3010 ;*          UTILITY ROUTINES          *
3020 ;*****
3030 ;
3040 ;
3050 ;COPIEERPROGRAMMA
3060 ;DIT PROGRAMMA COPIEERT DE 1E HELFT VAN
3070 ;DE 2716 EPROM NAAR HET RAM GEHEUGEN
3080 ;
8C00      3090      ORG   8C00H
8C00 210088  3100 COPY  LD      HL,8800H ;BRONADRES
8C03 110080  3110      LD      DE,8000H ;BESTEMMING
8C06 010004  3120      LD      BC,400H
8C09 7E      3130 LOOP3  LD      A,(HL) ;LEES UIT ROM
8C0A 12      3140      LD      (DE),A ;SCHRYF NAAR RAM
8C0B 23      3150      INC     HL
8C0C 13      3160      INC     DE
8C0D 0B      3170      DEC     BC
8C0E 78      3180      LD      A,B

```

8C0F B1	3190	OR	C	
8C10 C2098C	3200	JP	NZ,LOOP3	
8C13 CF	3210	RST	MONTR ;TERUG NAAR MONITOR	
	3220 ;			

B2-13

Z80 ASSEMBLER - SYMBOL TABLE

20FFH 0390	ICREG3	20C2H 0340	IRST5
20C5H 0350	IRST6	20C8H 0360	IRST65
20CBH 0370	IRST7	20CEH 0380	IRST75
0084H 0700	ADC1	0088H 0710	ADC2
8C00H 3100	COPY	0020H 0540	CREG3
2008H 0830	DCYCL	2008H 0850	DCYCL1
2009H 0860	DCYCL2	0002H 0460	DDR1A
0003H 0470	DDR1B	000AH 0510	DDR2A
000BH 0520	DDR2B	05F1H 0250	DELAY
2004H 0810	DIFF	8123H 1600	DISPL
820DH 1940	END0	2000H 0790	FACTR
8200H 1730	INT0	823EH 2070	INT1
823FH 2080	INT11	8255H 2230	INT2
8256H 2240	INT21	826EH 2440	INT3
829EH 2700	INT31	826CH 2390	INT4
801AH 1060	IVECT	200AH 0840	LFLAG
8022H 1090	LOOP1	8100H 1430	LOOP2
8C09H 3130	LOOP3	0008H 0880	MONTR
8281H 2530	NEXT1	8290H 2620	NEXT2
8291H 2630	NEXT3	82ABH 2760	NOUPD
8289H 2590	PERH1	827DH 2510	PERH2
2002H 0800	PFLAG	0000H 0440	PRT1A
0001H 0450	PRT1B	0008H 0490	PRT2A
0009H 0500	PRT2B	0021H 0550	PRT3A
0022H 0560	PRT3B	0023H 0570	PRT3C
0025H 0590	RTCH3	0024H 0580	RTCL3
8102H 1440	SADC1	8112H 1510	SADC2
8119H 1540	SADC3	820CH 1790	SHT1
821EH 1870	SHT2	2006H 0820	SILDC
0030H 0870	SIM	20B0H 0780	STACK
8000H 0910	START	8300H 2920	TABLE
830FH 2970	TBLEND	0080H 0640	TIM0
0081H 0650	TIM1	0082H 0660	TIM2
0083H 0670	TMODE	0363H 0150	UPDAD
82A3H 2720	UPDAT	036EH 0200	UPDDT

```

0000      0010      ORG 0
0020      ;*****
0030      ;*   SDK 85   SYSTEM DESIGN KIT   *
0040      ;*****
0050      ;14-5-82                               VERSION 2.3
0060      ; DIT PROGRAMMA BEVAT:
0070      ; 1. INITIALISATIE CHOPPER
0080      ; 2. STROOMREGELLUS
0090      ; 3. INSTELBARE BELASTINGSSTROOM
0100      ; 4. VERZADIGINGSDETECTIE
0110      ; 5. VERBETERDE INTERRUPT ROUTINES
0120      ;
0130      ;   BELANGRYKE ROUTINES VAN DE
0140      ;   MONITOR:
0150      ;
0000 0363      0160 UPDAD EQU 0363H
0170      ;SCHRYF DE INHOUD VAN HET DE REGISTER
0180      ;NAAR HET ADRES-VELD VAN HET DISPLAY.
0190      ;ALLE REGISTERS WORDEN BEINVLOED.
0200      ;
0000 036E      0210 UPDDT EQU 036EH
0220      ;SCHRYF DE INHOUD VAN DE ACCUMULATOR IN
0230      ;HEX NAAR HET DATA-VELD VAN HET DISPLAY.
0240      ;ALLE REGISTERS WORDEN BEINVLOED.
0250      ;
0260      ;
0000 05F1      0270 DELAY EQU 05F1H
0280      ;VERTRAGINGSLSUS,WAARDE IN DE REG.
0290      ;
0300      ;ZIE VERDER OOK DE BESCHRYVING IN DE
0310      ;DOCUMENTATIE VAN DE SDK 85
0320      ;
0330      ;   REFLECTIEADRESSEN VAN HET
0340      ;   MONITORPROGRAMMA:
0350      ;
0000 20C2      0360 IIRST5 EQU 20C2H ;RST 5 REFLECTIE ADRES
0000 20C5      0370 IIRST6 EQU 20C5H ;RST 6 REFLECTIE ADRES
0000 20C8      0380 IIRST65 EQU 20C8H ;RST 6.5 INTERRUPT ADRES
0000 20CB      0390 IIRST7 EQU 20CBH ;RST 7 REFLECTIE ADRES
0000 20CE      0400 IIRST75 EQU 20CEH ;RST 7.5 "VECT INTR"
0000 20FF      0410 ICREG3 EQU 20FFH ;BRAM STATUS REFLECTIE
0420      ;
0430      ;   INPUT/OUTPUT POORTADRESSEN VAN
0440      ;   DE SDK 85:
0450      ;
0000 0000      0460 PRT1A EQU 00H ;MONITOR ROM POORT A
0000 0001      0470 PRT1B EQU 01H ;MONITOR ROM POORT B
0000 0002      0480 DDR1A EQU 02H ;DATA DIRECTION REG. POORT A
0000 0003      0490 DDR1B EQU 03H ;DATA DIRECTION REG. POORT B
0500      ;
0000 0008      0510 PRT2A EQU 08H ;EXPANSIE ROM POORT A
0000 0009      0520 PRT2B EQU 09H ;EXPANSIE ROM POORT B
0000 000A      0530 DDR2A EQU 0AH ;DATA DIRECTION REG. POORT A
0000 000B      0540 DDR2B EQU 0BH ;DATA DIRECTION REG. POORT B
0550      ;
0000 0020      0560 CREG3 EQU 20H ;COMM/STATUS REG. RAM
0000 0021      0570 PRT3A EQU 21H ;BASIC RAM POORT A
0000 0022      0580 PRT3B EQU 22H ;BASIC RAM POORT B
0000 0023      0590 PRT3C EQU 23H ;BASIC RAM POORT C
0000 0024      0600 RTCL3 EQU 24H ;TIMER COUNT LOW ORDER BYTE
0000 0025      0610 RTCH3 EQU 25H ;TIMER COUNT HIGH ORDER BYTE
0620      ;

```

```

0630 ; POORTADRESSEN VAN DE UITBREIDING:
0640 ;
0650 ;DE ADRESSEN VAN DE 8253 TIMER:
0000 0080 0660 TIM0 EQU 80H ;TIMER 0 ADRES
0000 0081 0670 TIM1 EQU 81H ;TIMER 1 ADRES
0000 0082 0680 TIM2 EQU 82H ;TIMER 2 ADRES
0000 0083 0690 TMODE EQU 83H ;TIMER MODE ADRES
0700 ;
0710 ;DE ADRESSEN VAN DE A/D CONVERTERS:
0000 0084 0720 ADC1 EQU 84H ;CONVERTER 1
0000 0088 0730 ADC2 EQU 88H ;CONVERTER 2
0740 ;
0750 ;*****
0760 ;* DE BESTURINGSROUTINE *
0770 ;*****
0780 ;VERSION 2.3 14-5-82
0790 ;
0000 20B0 0800 STACK EQU 20B0H ;USER STACK
0000 2000 0810 FACTOR EQU 2000H ;AFREGELFACTOR
0000 2002 0820 PFLAG EQU 2002H ;VLAG VOOR PERIODEHELF
0000 2004 0830 DIFF EQU 2004H ;OPSLAG VOOR HT2-HT1
0000 2006 0840 SILOC EQU 2006H ;OPSLAG VOOR INTEGRATOR
0000 2008 0850 DCYCL EQU 2008H ;OPSLAG DUTYCYCLE
0000 200A 0860 LFLAG EQU 200AH ;LAATSTE DOOFTHYRISTOR
0000 0030 0870 SIM EQU 30H ;8085 SIM INSTRUCTIE
0000 0008 0880 MONTR EQU 8H ;WARME START SDK-85 MONITOR
0890 ;
8000 0900 ORG 8000H
8000 F3 0910 START DI ;DISABLE INTERRUPTS
8001 31B020 0920 LD SP,STACK ;INIT. STACKPOINTER
0930 ;**** INITIALISATIE HARDWARE ****
8004 3E10 0940 LD A,10H ;MODE WOORD TIMER 0
8006 D383 0950 OUT (TMODE),A ;INIT. TIMER 0
8008 3E50 0960 LD A,50H ;MODE WOORD TIMER 1
800A D383 0970 OUT (TMODE),A ;INIT. TIMER 1
800C 3E90 0980 LD A,90H ;MODE WOORD TIMER 2
800E D383 0990 OUT (TMODE),A ;INIT. TIMER 2
8010 3EFF 1000 LD A,0FFH ;CONTROLEWOORD
8012 D302 1010 OUT (DDR1A),A ;ZET PRT1A IN OUTPUT MODE
8014 3E00 1020 LD A,0H ;CONTROLEWOORD PRT1B
8016 D303 1030 OUT (DDR1B),A ;ZET PRT1B IN INPUT MODE
8018 D300 1040 OUT (PRT1A),A ;RESET OUTPUT PRT1A
1050 ;*** INITIALISATIE INTERRUPT SYSTEEM ***
801A 11C220 1060 IVECT LD DE,IRST5 ;BEGINADRES REFLECTIES
801D 217C82 1070 LD HL,TABLE ;BEGINADRES TABEL
8020 060F 1080 LD B,TBLEND-TABLE ;LENGTE TABEL
8022 7E 1090 LOOP1 LD A,(HL) ;LEES BYTE UIT TABEL
8023 12 1100 LD (DE),A ;SCHRYF NAAR GEHEUGEN
8024 13 1110 INC DE
8025 23 1120 INC HL ;PAS POINTERS AAN
8026 05 1130 DEC B ;VERLAAG TELLER
8027 C22280 1140 JP NZ,LOOP1 ;ALLE PLAATSEN GEHAD?
802A 3E0B 1150 LD A,0BH ;INTERRUPT CONTROLEWOORD CPU
802C 30 1160 DEFB SIM ;SET INTERRUPT MASK
1170 ;ENABLE RST6.5 EN RST7.5 INGANGEN
1180 ;**** INITIALISATIE SOFTWARE ****
802D 3E00 1190 LD A,0
802F 320220 1200 LD (PFLAG),A ;INIT. PFLAG (1E HELFT)
8032 3E01 1210 LD A,1
8034 320820 1220 LD (DCYCL),A ;INIT. DUTYCYCLE
8037 210000 1230 LD HL,0
803A 220620 1240 LD (SILOC),HL ;INIT. INTEGRATOR
1250 ;HET PROGRAMMA WACHT TOT DE "VECT INTR"
1260 ;TOETS WORDT GEDRUKT,ZODAT DE SPANNING

```

```

1270 ;VAN DE CHOPPER KAN WORDEN INGESHAKELD.      B2-16
803D FB      1280      EI      ;ENABLE INTERRUPTS
803E 76      1290      HALT    ;WACHT OP "VECT INTR" TOETS
1300 ;
1310 ;** INITIALISATIE COMMUTATIECONDENSATOR **
803F 3E60    1320      LD      A,60H
8041 D300    1330      OUT    (PRT1A),A ;SCHAKEL DT4,DT6 IN
8043 11FFFF  1340      LD      DE,0FFFFH ;TYDSDUUR VERTRAGING
8046 CDF105  1350      CALL   DELAY ;WACHTLUS
8049 3E80    1360      LD      A,80H ;HALVE PERIODE
804B D380    1370      OUT    (TIM0),A ;START TIMER 0
804D C30081  1380      JP      STRLUS ;SPRING NAAR HOOFDPROGRAMMA
8100         1390      ORG    8100H
1400 ;
1410 ;**** HOOFDPROGRAMMA ****
1420 ;STROOMREGELLUS VER.1
1430 ;ALLEEN POSITIEVE MACHINESTROOM
1440 ;
8100 D384    1450      STRLUS OUT (ADC1),A ;START ADC1 (I-WENS)
8102 D388    1460      OUT    (ADC2),A ;START ADC2 (I-MACHINE)
8104 DB01    1470      WAIT1  IN    A,(PRT1B) ;LEES STATUS BITS
8106 E603    1480      AND    03H ;TEST BITS 0 EN 1
8108 C20481  1490      JP      NZ,WAIT1 ;INDIEN GEEN EOC
810B DB88    1500      IN    A,(ADC2) ;LEES STROOM MACHINE (>=0)
810D 5F      1510      LD      E,A ;MAAK DUBBELE PRECISIE GETAL IN DE
810E 1600    1520      LD      D,0 ;SIGN EXTEND
8110 DB84    1530      IN    A,(ADC1) ;LEES WENSWAARDE STROOM
8112 FEF0    1540      CP      240 ;KYK OF NIET TE GROOT
8114 DA1981  1550      JP      C,NEXT1 ;O.K.
8117 3EF0    1560      LD      A,240 ;BEGRENS WENSWAARDE OP 240
8119 93      1570      NEXT1  SUB    E ;BEREKEN E=IW-II (LOW ORDER)
811A 5F      1580      LD      E,A ;BEWAAR IN E
811B 7A      1590      LD      A,D ;NEEM HIGH ORDER PART
811C DE00    1600      SBC    A,0 ;VERWERK EVT. CARRY
811E 57      1610      LD      D,A ;EPS IN REG. PAAR DE
811F 210620  1620      LD      HL,SILOC ;HL WYST NAAR SILOC (OPSLAG)
8122 7E      1630      LD      A,(HL) ;LEES LOW ORDER PART
8123 83      1640      ADD    A,E ;TEL OP
8124 5F      1650      LD      E,A ;BEWAAR RESULTAAT IN E
8125 23      1660      INC    HL ;VERHOOG POINTER
8126 7E      1670      LD      A,(HL) ;LEES HIGH ORDER PART
8127 8A      1680      ADC    A,D ;TEL HIGH ORDER PART OP
8128 57      1690      LD      D,A ;BEWAAR RESULTAAT IN DE
8129 F22F81  1700      JP      P,NEXT2 ;INDIEN INTEGRATOR POSITIEF
812C 110000  1710      LD      DE,0 ;INDIEN NEGATIEF,RESET INTEGRATOR
812F 3EF0    1720      NEXT2  LD      A,0F0H ;MASKER
8131 A2      1730      AND    D ;TEST BOVENSTE 4 BITS REG. D
8132 CA3881  1740      JP      Z,NEXT3
8135 11FF0F  1750      LD      DE,0FFFH ;BEGRENS INTEGRATOR OP +4095
8138 EB      1760      NEXT3  EX    DE,HL ;ZET STAND INTEGRATOR IN HL
8139 220620  1770      LD      (SILOC),HL ;BEWAAR NIEUWE STAND INT.
813C 3A0020  1780      LD      A,(FACTOR) ;LEES AFREGELFACTOR
813F C604    1790      ADD    A,4 ;MIN. 4 I.V.M. PRODUKT
8141 29      1800      MULT  ADD    HL,HL ;HL MAAL 2
8142 3D      1810      DEC    A ;VERLAAG TELLER
8143 C24181  1820      JP      NZ,MULT ;OPNIEUW,PRODUKT IN REG. H
8146 3A0220  1830      WAIT2  LD      A,(PFLAG) ;LEES VLAG
8149 B7      1840      OR     A ;TEST VLAG
814A C24681  1850      JP      NZ,WAIT2 ;WACHT OP BEGIN 2E HELFT PER.
814D 7C      1860      LD      A,H ;DUTYCYCLE IN A
814E 3C      1870      INC    A ;MIN. D.C.=1
814F C25381  1880      JP      NZ,NEXT4 ;MAX. D.C.=FF (255)
8152 3D      1890      DEC    A ;0 IS NIET TOELAATBAAR
8153 320820  1900      NEXT4  LD      (DCYCL),A ;BEWAAR DUTYCYCLE

```



```

8156 2A0620 1910 LD HL,(SILOC) ;LEES STAND INTEGRATOR
8159 EB 1920 EX DE,HL ;ZET IN DE
815A CD6303 1930 CALL UPDAD ;LAAT ZIEN OP ADRES-DISPLAY
815D 3A0820 1940 LD A,(DCYCL) ;LEES DUTYCYCLE
8160 CD6E03 1950 CALL UPDDT ;LAAT ZIEN OP DATA-DISPLAY
8163 3A0220 1960 WAIT3 LD A,(PFLAG) ;LEES VLAG
8166 B7 1970 OR A ;TEST VLAG
8167 CA6381 1980 JP Z,WAIT3 ;WACHT OP BEGIN 1E HELFT PER.
816A C30081 1990 JP STRLUS ;DOE REGELLUS OPNIEUW
2000 ;
8200 2010 ORG 8200H
2020 ;*****
2030 ;* NU VOLGEN DE INTERRUPT ROUTINES *
2040 ;*****
2050 ;
2060 ;RST 5 INTERRUPT ROUTINE
2070 ;
0200 F5 2080 INT0 PUSH AF ;BEWAAR REGISTERS
8201 3E10 2090 LD A,10H ;MODE WOORD TIMER 0
8203 D383 2100 OUT (TMODE),A ;STOP TIMER 0
8205 3A0220 2110 LD A,(PFLAG) ;LEES PFLAG
8208 B7 2120 OR A ;TEST VLAG
8209 C21E82 2130 JP NZ,SHT2 ;INDIEN <>0 DAN 2E HELFT PER.
820C DB00 2140 SHT1 IN A,(PRT1A) ;1E HELFT PERIODE
820E F601 2150 OR 01H ;SET BIT 0
8210 D300 2160 OUT (PRT1A),A ;SCHAKEL HT1 IN
8212 3E50 2170 LD A,50H ;MODE WOORD TIMER 1
8214 D383 2180 OUT (TMODE),A ;INIT. TIMER 1
8216 3A0820 2190 LD A,(DCYCL) ;LAAD DUTYCYCLE
8219 D381 2200 OUT (TIM1),A ;EN START TIMER 1
821B C32D82 2210 JP END0 ;VERDER
821E DB00 2220 SHT2 IN A,(PRT1A) ;2E HELFT PERIODE
8220 F610 2230 OR 10H ;SET BIT 4
8222 D300 2240 OUT (PRT1A),A ;SCHAKEL HT2 IN
8224 3E90 2250 LD A,90H ;MODE WOORD TIMER 2
8226 D383 2260 OUT (TMODE),A ;INIT. TIMER 2
8228 3A0820 2270 LD A,(DCYCL) ;LAAD DUTYCYCLE
822B D382 2280 OUT (TIM2),A ;EN START TIMER 2
822D 3A0220 2290 END0 LD A,(PFLAG) ;LEES PFLAG
8230 2F 2300 CPL ;INVERTEER VLAG
8231 320220 2310 LD (PFLAG),A ;BEWAAR VLAG
8234 3E09 2320 LD A,09H ;INTERRUPT MASKER
8236 30 2330 DEFB SIM ;ENABLE RST 6.5 INTERRUPT (8085)
8237 3E80 2340 LD A,80H ;LAAD HALVE PERIODE
8239 D380 2350 OUT (TIM0),A ;EN START TIMER 0
823B F1 2360 POP AF ;HERSTEL REGISTERS
823C FB 2370 EI ;RE-ENABLE INTERRUPTS
823D C9 2380 RET ;TERUG NAAR HOOFDPROGRAMMA
2390 ;
2400 ;RST 6 INTERRUPT ROUTINE
2410 ;
823E F5 2420 INT1 PUSH AF ;BEWAAR
823F 3E50 2430 INT11 LD A,50H ;MODE WOORD TIMER 1
8241 D383 2440 OUT (TMODE),A ;STOP TIMER 1
8243 DB00 2450 IN A,(PRT1A) ;LEES TOESTAND OUTPUT POORT
8245 E69E 2460 AND 9EH ;RESET BITS 0,5,6
8247 D300 2470 OUT (PRT1A),A ;STURING HT1,DT4,DT6 UIT
8249 F606 2480 OR 06H ;SET BITS 1 EN 2
824B D300 2490 OUT (PRT1A),A ;SCHAKEL DT3,DT5 IN
824D 3E06 2500 LD A,06H ;CODE VOOR INSCHAK. DT3,DT5
824F 320A20 2510 LD (LFLAG),A ;ZET FLAG GOED
8252 F1 2520 POP AF ;HERSTEL
8253 FB 2530 EI ;RE-ENABLE INTERRUPTS
8254 C9 2540 RET ;TERUG

```

```

2550 ;
2560 ;RST 7 INTERRUPT ROUTINE
2570 ;
8255 F5 2580 INT2 PUSH AF ;BEWAAR
8256 3E90 2590 INT21 LD A,90H ;MODE WOORD TIMER 2
8258 D383 2600 OUT (TMODE),A ;STOP TIMER 2
825A DB00 2610 IN A,(PRT1A) ;LEES TOESTAND OUTPUT POORT
825C E6E9 2620 AND 0E9H ;RESET BITS 4,1,2
825E D300 2630 OUT (PRT1A),A ;STURING HT2,DT3,DT5 UIT
8260 F660 2640 OR 60H ;SET BITS 5 EN 6
8262 D300 2650 OUT (PRT1A),A ;SCHAKEL DT4,DT6 IN
8264 3E60 2660 LD A,60H ;CODE VOOR INSCHAK. DT4,DT6
8266 320A20 2670 LD (LFLAG),A ;ZET VLAG GOED
8269 F1 2680 POP AF ;HERSTEL
826A FB 2690 EI ;RE-ENABLE INTERRUPTS
826B C9 2700 RET ;TERUG
2710 ;
2720 ;RST 6.5 INTERRUPT ROUTINE
2730 ;
826C F5 2740 INT3 PUSH AF ;BEWAAR REGISTERS
826D 3E0B 2750 LD A,0BH ;INTERRUPT MASKER
826F 30 2760 DEFB SIM ;DISABLE RST6.5 INTERRUPT
8270 3A0220 2770 LD A,(PFLAG) ;LEES PFLAG
8273 B7 2780 OR A ;TEST VLAG
8274 C23F82 2790 JP NZ,INT11 ;DOOF HT1 EN STOP TIMER 1
8277 C35682 2800 JP INT21 ;DOOF HT2 EN STOP TIMER 2
2810 ;
2820 ;
2830 ;RST 7.5 INTERRUPT ROUTINE
2840 ;
827A FB 2850 INT4 EI ;RE-ENABLE INTERRUPTS
827B C9 2860 RET ;TERUG
2870 ;
2880 ;*****
2890 ;* INITIALISATIETABEL REFLECTIES *
2900 ;*****
2910 ;
827C C30082 2920 TABLE JP INTO ;RST 5 ROUTINE
827F C33E82 2930 JP INT1 ;RST 6 ROUTINE
8282 C36C82 2940 JP INT3 ;RST 6.5 ROUTINE
8285 C35582 2950 JP INT2 ;RST 7 ROUTINE
8288 C37A82 2960 JP INT4 ;RST 7.5 ROUTINE
828B 0001 2970 TBLEND DEFS 1
2980 ;
2990 ;
3000 ;*****
3010 ;* UTILITY ROUTINES *
3020 ;*****
3030 ;
3040 ;
3050 ;COPIEERPROGRAMMA
3060 ;DIT PROGRAMMA COPIEERT DE 1E HELFT VAN
3070 ;DE 2716 EPROM NAAR HET RAM GEHEUGEN
3080 ;
8C00 3090 ORG 8C00H
8C00 210088 3100 COPY LD HL,8800H ;BRONADRES
8C03 110080 3110 LD DE,8000H ;BESTEMMING
8C06 010004 3120 LD BC,400H
8C09 7E 3130 LOOP3 LD A,(HL) ;LEES UIT ROM
8C0A 12 3140 LD (DE),A ;SCHRYF NAAR RAM
8C0B 23 3150 INC HL
8C0C 13 3160 INC DE
8C0D 0B 3170 DEC BC
8C0E 78 3180 LD A,B

```

```

8C0F B1          3190          OR    C
8C10 C2098C     3200          JP - NZ,LOOP3
8C13 CF          3210          RST  MONTR ;TERUG NAAR MONITOR
                3220 ;

```

B2-19

Z80 ASSEMBLER - SYMBOL TABLE

20FFH 0410	ICREG3	20C2H 0360	IRST5
20C5H 0370	IRST6	20C8H 0380	IRST65
20CBH 0390	IRST7	20CEH 0400	IRST75
0084H 0720	ADC1	0088H 0730	ADC2
8C00H 3100	COPY	0020H 0560	CREG3
2008H 0850	DCYCL	0002H 0480	DDR1A
0003H 0490	DDR1B	000AH 0530	DDR2A
000BH 0540	DDR2B	05F1H 0270	DELAY
2004H 0830	DIFF	822DH 2290	END0
2000H 0810	FACTOR	8200H 2080	INT0
823EH 2420	INT1	823FH 2430	INT11
8255H 2580	INT2	8256H 2590	INT21
826CH 2740	INT3	827AH 2850	INT4
801AH 1060	IVECT	200AH 0860	LFLAG
8022H 1090	LOOP1	8C09H 3130	LOOP3
0008H 0880	MONTR	8141H 1800	MULT
8119H 1570	NEXT1	812FH 1720	NEXT2
8138H 1760	NEXT3	8153H 1900	NEXT4
2002H 0820	PFLAG	0000H 0460	PRT1A
0001H 0470	PRT1B	0008H 0510	PRT2A
0009H 0520	PRT2B	0021H 0570	PRT3A
0022H 0580	PRT3B	0023H 0590	PRT3C
0025H 0610	RTCH3	0024H 0600	RTCL3
820CH 2140	SHT1	821EH 2220	SHT2
2006H 0840	SILDC	0030H 0870	SIM
20B0H 0800	STACK	8000H 0910	START
8100H 1450	STRLUS	827CH 2920	TABLE
828BH 2970	TBLEND	0080H 0660	TIM0
0081H 0670	TIM1	0082H 0680	TIM2
0083H 0690	TMODE	0363H 0160	UPDAD
036EH 0210	UPDDT	8104H 1470	WAIT1
8146H 1830	WAIT2	8163H 1960	WAIT3



BIJLAGE 3

BIJLAGE 3

LIJST VAN AANBEVOLEN LITERATUUR



Lijst van aanbevolen literatuur:

1. Dimensionering van een tweepulsige chopper ten behoeve van een elektrisch aangedreven voertuig.
EM-80-08 Keskin, K
2. SDK 85 System Design Kit - User's manual
Order number 9800451B Intel
3. MCS 80/85 Family User's Manual October 1979
4. Intel Components 1979
5. Regeltechniek Elsevier
Cool/Schijff/Viersma vierde druk ISBN 90 10 01 797 4
6. Het regelen van het toerental van een gelijkstroommotor met behulp van een microprocessor.
EM-81-17 Bauwens, PPH
7. Microprocessors in Instruments and Control
Robert J Bibero John Wiley & Sons
8. 8080/8085 Assembly Language Programming
Lance A Leventhal Osborne
9. 8080 Software Gourmet Guide & Cookbook
Robert Findley Scelbi
10. How to program the Z80
Rodney Zaks Sybex
11. 8080/8085 Assembly Language Programming Manual
Order number 9800301-04 Intel



BIJLAGE 4

Aansluitgegevens van de connectoren

Connector SK1 16-polige d.i.l. voet

pin no. omschrijving

+ 1	+15 V	voeding voor pulskastjes
2,3,4	n.c.	not connected
+ 5	$\overline{\text{SAT}}$	ingang voor verzadigingsdetector
6	n.c.	
7,8	GND	massaverbinding
9	HT1 - D0	hoofdthyristor 1
10	T3 - D1	doofthyristor T3
11	T5 - D2	doofthyristor T5
12	n.c.	
13	HT2 - D4	hoofdthyristor HT2
14	T4 - D5	doofthyristor T4
15	T6 - D6	doofthyristor T6
16	n.c.	
+ ingang		

Connector SK2 Molex connectorstrook

pin no omschrijving

1	+5 V	voeding voor potmeter
2	n.c.	
3	ADC2	ingang voor transfoshunt
4,5	n.c.	
6	ADC1	ingang voor potmeter
7	GND	massaverbinding



BIJLAGE 5

BIJLAGE 5

HET OPSTARTEN VAN HET SYSTEEM



Het opstarten van het systeem

Bij het opstarten van het systeem, de besturing en de chopper, dienen eerst alle connectors te worden aangesloten. Vervolgens wordt de + 5V voeding aangesloten op de SDK 85 (5V, 2A) en de + 15V voeding voor de pulskastjes wordt aangesloten op SK1 (15V, 0.2A). Daarna wordt de EPROM met het gewenste besturingsprogramma in de voet voor IC11 geplaatst, waarna de voedingen kunnen worden ingeschakeld.

Daarna moeten de volgende handelingen worden verricht, waarbij de betreffende functietoetsen worden aangeduid met "naam toets".

Het is ook wenselijk om tevoren de beschrijving van de monitorfuncties van de SDK 85 in Lit.2 door te nemen.

Handeling

Omschrijving

1. Schak. S1 naar rechts Hiermee worden voortijdige interrupts van de timers geblokkeerd.
 2. "RESET" Het monitorprogramma van de SDK 85 wordt geïntialiseerd en gestart.
- De handelingen 3,4 en 5 zijn alleen nodig voor programma versie 2.3.
3. "SUBST MEM" 2000 Laat de inhoud van geheugenplaats 2000H zien. (FACTOR)
 4. data 00 - 07 Vul een waarde in tussen 00 en 07, welke de snelheid van de stroomregeling bepaalt. De ingevulde waarde verschijnt op het data-display.
 5. "NEXT" en "RESET" Voer de ingetoetste waarde in in het geheugen en keer terug naar de monitor.
 6. "GO" 8000 "EXEC" Start het copieerprogramma op adres 8000H dat het besturingsprogramma vanuit de EPROM overbrengt naar het RAM geheugen, waarna wordt teruggekeerd naar de monitor.
 7. "GO" 8000 "EXEC" Start het besturingsprogramma dat nu op adres 8000H in het RAM begint.
 8. Schak. S1 naar links Geef de interrupts voor de timers vrij
 9. Schakel de spanning van de chopper in en zorg ervoor dat de potmeter op minimale dutycycle of stroom staat (linksom).
 10. "VECT INTR" Op het moment dat deze toets gedrukt wordt start de besturing en begint de chopper te werken.

Het stoppen van de chopper kan het best op de volgende manier gebeuren:

11. Schakel de spanning van de chopper uit.
12. Schak. S1 naar rechts Onderbreek de interrupts van de timers.
13. "RESET" Start het monitorprogramma van de SDK 85. De besturing kan nu weer gestart worden door vanaf handeling 2 verder te gaan, of meteen handeling 7 e.v. uit te voeren. (minder veilig)